

CAPÍTULO 6

Amplificadores de circuitos integrados multietapa

6.1	El amplificador diferencial con carga activa	361	6.5.1.- Tensión Residual de entrada	392
6.2	El par diferencial MOS cargado activamente	362	6.5.2.- Circuito de polariz. para estabilizar g_{fs}	393
6.3	El par diferencial bipolar cargado activamente	367	6.6 Amplif. Operac. de Cascodo doblado	396
6.4	Estudio de etapas de entrada de amplificadores operacionales:		6.6.1.- El cascode doblado	398
6.4.1.-	Ejemplo genérico comparativo:	375	6.6.2.- Máximo Modo Común de entrada	400
6.4.2.-	Etapas de entrada del amplificador operacional 741	378	6.6.3.- Ampliac. del Modo Común de entrada	400
6.4.3.-	Otra etapa de entrada de amplificador operacional (LM118)	385	6.7 Configuración D'Arlington	403
6.4.4.-	Etapas Diferenciales de Entrada Balanceadas en transistores MOSFETS	387	6.8 Amplificador Cascode bipolar	412
6.5	Amplificadores Operacionales CMOS	389	6.9 Segunda etapa del amplificador Operacional 741	416
			6.10 Etapa de salida del Amp. Op. 741	420
			6.11 Aplicaciones básicas del Amp.Op.	424

6.1 EL AMPLIFICADOR DIFERENCIAL CON CARGA ACTIVA

Como se describió en el capítulo 5, al reemplazar la resistencia de drenaje R_D con una fuente de corriente constante se obtiene una ganancia de tensión mucho más alta, además de reducción en el área del chip. Por supuesto, lo mismo se puede aplicar en el caso del amplificador diferencial. En esta sección se estudia un ingenioso circuito para la implementación de un amplificador diferencial cargado activamente y que al mismo tiempo convierte la salida de tipo diferencial (entre drenajes) o balanceada en una salida sencilla (entre un drenaje y masa) o desbalanceada. A continuación se estudian las formas MOS y bipolares de este popular circuito.

En la sección anterior se vio que si se toma la salida del amplificador diferencial como diferencia de potencial entre los dos drenajes (o colectores) se obtiene el doble del valor de la ganancia de tensión diferencial, además de una ganancia de tensión de modo común muy reducida. En realidad, la única razón de que aparezca una pequeña fracción de una señal de entrada de modo común entre los terminales de salida diferencial es la inevitable falta de simetría que se registre entre los componentes que integran las dos ramas del amplificador diferencial. Por lo tanto, si un amplificador multietapa (como el caso de un amplificador operacional) debe alcanzar una elevada CMRR, la salida de su primera etapa debe tomarse de manera diferencial. 361

Sin embargo, mas allá de la primera etapa, a menos que el sistema sea completamente diferencial, la señal pasa de un circuito balanceado o flotante de masa a una salida desbalanceada o con referencia de masa. La manera mas simple y básica para la conversión de diferencial a desbalanceada es la que se utilizo en los circuitos de aplicación de los ejemplos de verificación y de proyecto que se describieron en el capítulo precedente, es decir cargando al amplificador diferencial en una de sus ramas. La obvia desventaja de tales soluciones es una perdida del 50 % (o de 6 dB) en ganancia como resultado del “desperdicio” de corriente de señal en el drenaje (o colector) de la rama opuesta. Un método mucho mas eficiente seria encontrar una manera de utilizar la corriente de señal del drenaje (o colector) de ambas ramas del amplificador diferencial, y eso es exactamente lo que hace el circuito que se pasara a analizar a continuación.

6.2. EL PAR DIFERENCIAL MOS CARGADO ACTIVAMENTE

En la figura 6.1.a) se muestra un par diferencial MOS formado por los transistores Q_1 y Q_2 cargado por un espejo de corriente formado por los transistores Q_3 y Q_4 . Para ver la manera en que opera este circuito considere, en primer lugar, el estado en reposo con los dos terminales de entrada de compuerta conectados a una tensión de C.C. igual al valor de equilibrio de modo común, en este caso 0V, como se muestra en la figura 6.1.b). Si se supone una coincidencia perfecta, la corriente de polarización I se divide equitativamente entre Q_1 y Q_2 . La corriente de drenaje de Q_1 , $I/2$ alimenta al transistor de entrada del espejo Q_3 . Por lo tanto, el transistor de salida del espejo, Q_4 , provee una replica de esta corriente. Obsérvese que en el nodo de salida las dos corrientes $I/2$ se equilibran entre si, determinando así una corriente nula hacia la siguiente etapa, o carga (no mostrada). Si Q_4 es idéntico a Q_3 su tensión de drenaje seguirá a la tensión del drenaje de Q_3 : por lo tanto en equilibrio la tensión de salida será $V_{DD} - V_{SG3}$.

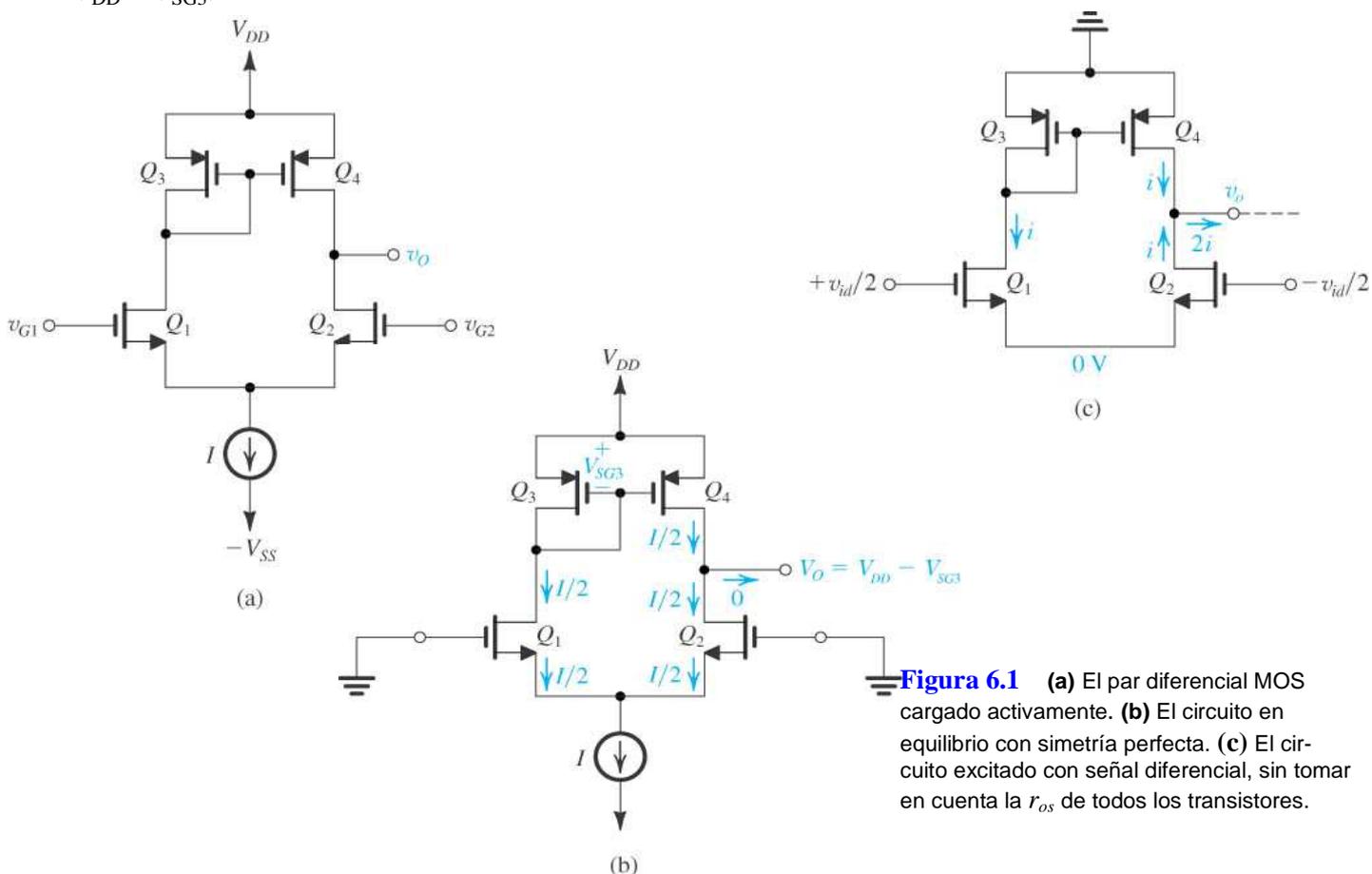


Figura 6.1 (a) El par diferencial MOS cargado activamente. (b) El circuito en equilibrio con simetría perfecta. (c) El circuito excitado con señal diferencial, sin tomar en cuenta la r_{os} de todos los transistores.

Sin embargo, debe tomarse en cuenta que en los circuitos prácticos siempre hay asimetrías entre transistores aun integrados en el mismo sustrato de silicio, lo que arroja como consecuencia la presencia de una corriente de C.C. neta en la salida. En ausencia de una resistencia de carga esta corriente circula por las propias resistencias de salida de fuente común de los transistores Q_2 y Q_4 y puede causar, en la tensión de salida, una gran diferencia respecto de la tensión descrita para el caso ideal. Por lo tanto, este circuito siempre está diseñado para que la tensión de salida de polarización de C.C. este definida por un circuito de retroalimentación en lugar de solo depender de la coincidencia entre Q_4 y Q_3 . Mas adelante se vera como se cumplimenta esta solución.

A continuación considere el circuito con una señal diferencial de entrada v_{id} aplicada a la entrada, como se muestra en la figura 6.1.c). Dado que, con el concepto del teorema de superposición, ahora se estudiara la operación del circuito con pequeña señal, se han eliminado las fuentes de alimentación de C.C. (incluso la fuente de corriente I). Además por sencillez y solo por esta vez, se supondrá una resistencia de salida infinito de todos los transistores. Como se muestra en la figura 6.1.c), se desarrollara una tierra virtual en la terminal de fuente común de Q_1 y Q_2 . El transistor Q_1 conducirá una corriente de señal de drenaje $i = g_{fs1} v_{id}/2$ y el Q_2 una corriente opuesta pero igual a i . La corriente de señal del drenaje i de Q_1 alimenta a la entrada del espejo $Q_3 - Q_4$, que responde al proporcionar una replica en el drenaje de Q_4 . Ahora en el nodo de salida existen dos corrientes, cada una igual a $i = g_{fs1} v_{id}/2$, que se suman para proporcionar una corriente de salida igual a $2i$. Es este ultimo factor de 2, resultado de la acción del espejo de corriente, el que posibilita la conversión de una señal desde su forma diferencial (entre ambas compuertas) a una señal de salida entre el nodo de salida y tierra (forma desbalanceada) ¡sin perdida de ganancia!. Si una resistencia de carga se conecta al nodo de salida, la corriente $2i$ circula por ella y, por lo tanto, determina la tensión de salida v_o . En ausencia de una resistencia de carga, la tensión de salida es definida por la corriente de salida $2i$ y la resistencia de salida del circuito, como se verá en breve.

6.2.1 Ganancia diferencial del par MOS cargado activamente

Como se describió en el capítulo 5, la resistencia de salida r_{os} del transistor desempeña un papel importante en la operación de los amplificadores cargados activamente. Por lo tanto, ahora se tomara en cuenta r_{os} y se obtendrá una expresión para la ganancia de tensión diferencial v_o/v_d del par diferencial MOS cargado activamente.

Para tal fin asociaremos al circuito bajo estudio, un circuito equivalente dinámico para la señal diferencial tal como se describe en la figura 6.2.

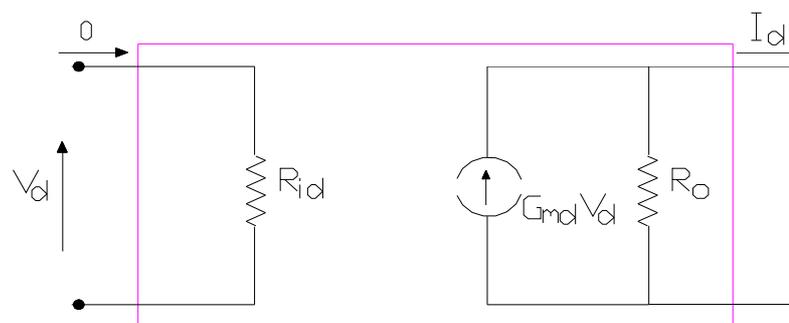


Figura 6.2 Circuito equivalente dinámico para la señal diferencial del par amplificador diferencial MOS cargado activamente.

En el circuito mencionado se ha supuesto resistencia de entrada de los MOS fuente común

infinita, con lo cual R_{id} es teóricamente infinita y como se indico allí mismo, la corriente de entrada resulta nula.

Por otro lado, el parámetro que controla la corriente del generador de salida del último circuito equivalente, es decir la transconductancia diferencial Gm_d se define como:

$$Gm_d = \frac{I_d \text{ (con la salida en corto circuito)}}{V_d} \tag{6.1}$$

mientras que en el circuito de la figura 6.2., imponiendo la condición de corto circuito en la salida, la corriente diferencial en el cortocircuito resulta ser la suma de ambas corrientes de drenaje diferencial (la de los transistores Q_2 y Q_4), es decir:

$$I_d \text{ (con la salida en corto circuito)} = 2i = g_{fs1} v_d$$

entonces reemplazando en (6.1)

$$Gm_d = g_{fs1} \tag{6.2}$$

Por lo tanto, la transconductancia diferencial con la salida en cortocircuito es igual a la g_{fs} de cada uno de los dos transistores del par diferencial. Aquí se debe tomar en cuenta que, en ausencia de la acción de espejo de corriente, Gm_d seria igual a $g_{fs}/2$.

En la figura 6.3 se muestra el circuito para determinar R_o . Observe que la corriente i que ingresa en Q_2 debe salir de su fuente. Luego entra en Q_1 , saliendo por el drenaje para alimentar al espejo $Q_3 - Q_4$. Debido a que para el transistor conectado al diodo Q_3 , $1/g_{fs3}$ es mucho mas pequeño que r_{os3} , la mayor parte de la corriente i circulara por el drenaje de Q_3 . El espejo responde proporcionando una corriente igual, i , en el drenaje de Q_4 . Ahora resta determinar la relación entre i y v_x . En la figura 6.3 se ve que

$$i = \frac{v_x}{R_{o2}}$$

en donde R_{o2} es la resistencia de salida de Q_2 . Ahora, Q_2 es un transistor CG y tiene en su terminal de fuente la resistencia de entrada de Q_1 . Esta ultima esta conectada en la configuración CG con una pequeña resistencia en el drenaje (aproximadamente igual a $1/g_{fs3}$), por lo tanto su resistencia de entrada es de

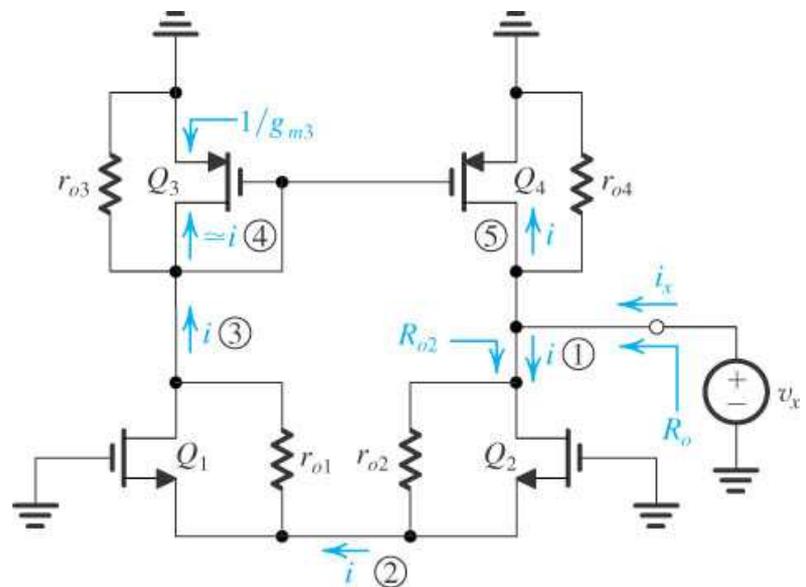


Figura 6.3 Circuito para determinar R_o . Los números en circulo indican el orden de los pasos del análisis.

alrededor de $1/g_{fs1}$. Ahora se puede usar la ecuación de la resistencia de salida de un R de fuente sin puentear:

$$R_{o2} = r_{os2} \cdot \left[1 + g_{fs2} \cdot \frac{1}{g_{fs1}} \right]$$

y como $g_{fs1} = g_{fs2}$ resulta

$$R_{o2} = 2 \cdot r_{os2} \quad (6.3)$$

Al regresar al circuito de la figura 6.3, es factible escribir en el nodo de salida:

$$i_x = i + i + \frac{v_x}{r_{os4}} \quad \text{o sea} \quad i_x = 2 \frac{v_x}{R_{o2}} + \frac{v_x}{r_{os4}}$$

Al sustituir R_{o2} de la ecuación (6.3), se obtiene:

$$i_x = \frac{v_x}{r_{os2}} + \frac{v_x}{r_{os4}}$$

por lo tanto:

$$R_o = r_{os2} // r_{os4} \quad (6.4)$$

Volviendo al circuito de la figura 6.2 el supuesto de resistencia de entrada diferencial infinita conjuntamente con las expresiones 6.2 y 6.4 describen a sus componentes constitutivos y si en el mismo planteamos la relación v_o/v_d estaremos determinando la ganancia de tensión diferencial con la salida a circuito abierto (sin carga) que llamaremos A_{vd} y el resultado que obtenemos es:

$$A_{vd} = \frac{v_o}{v_d} = G_{md} \cdot R_o = g_{fs} \cdot (r_{os2} // r_{os4}) \quad (6.5)$$

Para el caso en que $r_{os2} = r_{os4} = r_{os}$

$$A_{vd} = \frac{1}{2} g_{fs} \cdot r_{os} = \mu/2 \quad (6.6)$$

recordando que μ era el llamado coeficiente de amplificación de tensión del transistor, también llamada ganancia intrínseca del transistor MOS.

6.2.2 Comportamiento frente al modo común

En cuanto al comportamiento del circuito frente a una excitación de modo común es de destacar que aunque su salida se establece por uno de los terminales de drenaje, el amplificador diferencial MOS cargado activamente tiene una baja ganancia de modo común y, en correspondencia, una alta CMRR. En la figura 6.4.a) se muestra el circuito con v_{icm} aplicado y con las fuentes de alimentación

eliminadas, con excepción, por supuesto, de la resistencia de salida R_{SS} de la fuente de corriente de polarización I .

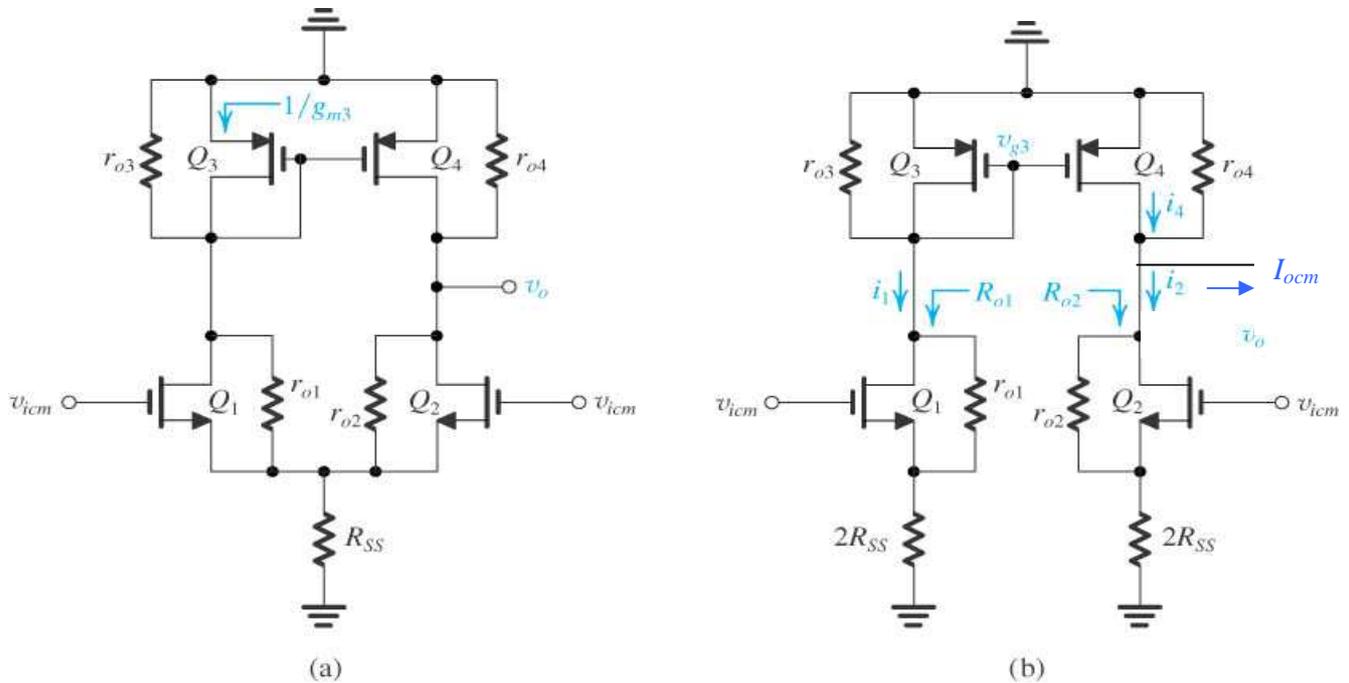


Figura 6.4 a) Análisis del amplificador diferencial MOS cargado activamente para determinar su comportamiento para el modo común , b) circuito equivalente para el modo común con la resistencia R_{SS} dividida.

Para un circuito exactamente simétrico las corrientes de drenaje de Q_1 y Q_2 , dado que ambas tensiones de excitación de modo común v_{icm} son iguales, resultan coincidentes y por ello la corriente que circula por la resistencia R_{SS} se duplica, es factible dividir R_{SS} igualmente entre Q_1 y Q_2 , como se muestra en la figura 6.4.b). Ahora puede verse que tanto Q_1 como Q_2 son transistores CS con una resistencia de degeneración de fuente de gran valor (es decir $2R_{SS}$). Se pueden usar las expresiones obtenidas en la sección 4.8.4 para determinar las corrientes i_1 e i_2 que se obtienen de la aplicación de la señal de entrada v_{icm} . Como opción, obsérvese que debido a que $2R_{SS}$ suele ser mucho mas grande que $1/g_{fs}$ de Q_1 y Q_2 , las señales en las terminales de fuente serán aproximadamente iguales a v_{icm} . Además, puede demostrarse que el efecto de r_{os1} y r_{os2} es insignificante. Por lo tanto, es valido escribir:

$$i_1 = i_2 = \frac{v_{icm}}{2R_{SS}} \quad (6.7)$$

La corriente de señal del drenaje i_1 de Q_1 alimenta a la entrada del espejo $Q_3 - Q_4$, que responde al proporcionar una replica en el drenaje de Q_4 . Ahora en el nodo de salida la corriente de salida de modo común $I_{ocm} = i_2 - i_4 = i_2 - i_1$ por lo que si el circuito es exactamente simétrico dicha corriente resulta nula lo mismo que la tensión v_o de salida de modo común. Esto nos conduce a afirmar que la ganancia de tensión de modo común es tanto mas pequeña cuanto mayor es el grado de simetría del circuito y cuanto mayor sea la resistencia de salida de la fuente de corriente de polarización R_{SS} por lo que estos circuitos incluyen las fuentes de corriente cascode y de Wilson que se estudiaron en las secciones 5.6.4 y 5.6.5.

6.3 EL PAR DIFERENCIAL BIPOLAR CON CARGA ACTIVA

La versión bipolar del par diferencial cargado activamente se muestra en la figura 6.5.a). La estructura y la operación del circuito son muy parecidas a las de contraparte MOS, con la excepción de que aquí se tienen que enfrentar los efectos de una β finita y la resistencia de entrada finita resultante en la base h_{ie} . Sin embargo, por el momento se ignorara el efecto de la β finita sobre la polarización de C.C. de los cuatro transistores y se supone que en el equilibrio todos los transistores operan a una corriente de C.C. de $I/2$.

Ganancia de tensión diferencial: Para obtener una expresión para la ganancia de tensión diferencial se aplica una señal diferencial de entrada v_d dispuesta entre ambos terminales de entrada.

Como ya se realizo en estudios de la etapa diferencial sencilla se dispondrán sendos generadores de tensión diferencial $v_d/2$ en contrafase en cada una de las entradas tal como como se observa en la figura 6.6.a).

Con la finalidad de volver a obtener un circuito equivalente de parámetros diferenciales [fig.6.6.b)] (R_{id} , G_{md} y R_o) tal como se realizo con el par diferencial MOS, sobre dicho circuito se han marcado las corrientes de colector de modo diferencial en los transistores Q_1 y Q_2 las que dada la simetría resultan en modulo iguales y de fase opuesta.

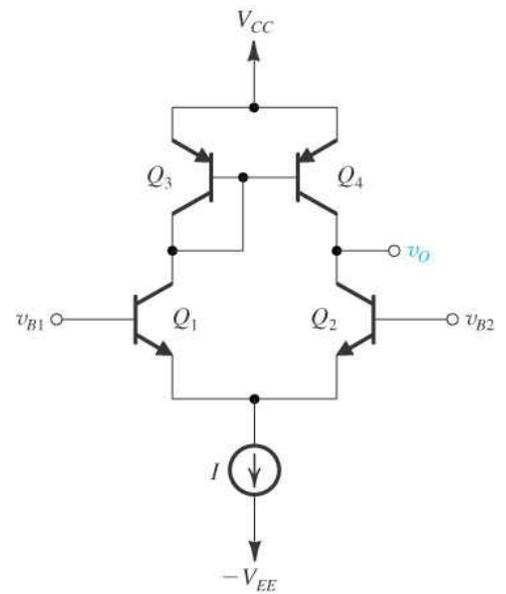


Figura 6.5 Par diferencial bipolar cargado activamente.

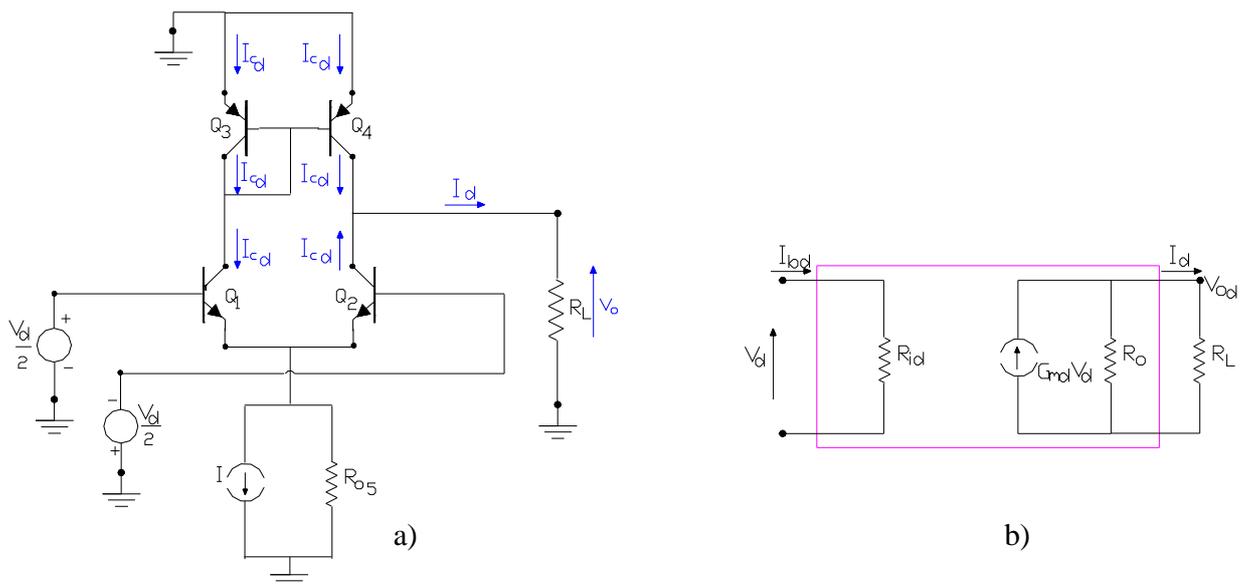


Figura 6.6 a) El amplificador diferencial bipolar cargado activamente excitado con una tensión de entrada de modo diferencial, b) circuito equivalente que emplea la transconductancia diferencial con la salida en corto.

En el circuito equivalente de la figura 6.6.b), la resistencia de entrada diferencial queda definida como:

$$R_{id} = \frac{v_d}{I_{bd}}$$

Mientras que en el circuito de la figura 6.6.a), toda vez que v_d queda dispuesta entre ambas bases, por donde además circulan las corrientes I_{bd} de ambos transistores, tal como si determino para la configuración diferencial sencilla, la resistencia de entrada diferencial resulta:

$$R_{id} = 2 h_{ie1-2} \quad (6.8)$$

En el circuito de la figura 6.6.a) se han marcado los sentidos de las corrientes de los colectores de Q_1 y Q_2 iguales en magnitud (si admitimos exacta simetría) y opuestos en fase debido a la diferencia de fase de ambos generadores de excitación de tensión de modo diferencial $v_d/2$. Así entonces, mientras la corriente de colector diferencial de Q_2 (I_{cd}) se hace presente en el nodo de salida, la correspondiente corriente de colector diferencial de Q_1 atraviesa el diodo Q_3 alimentando al espejo de corrientes $Q_3 - Q_4$. El espejo responde proporcionando una corriente igual, I_{cd} , en el colector de Q_4 arribando al nodo de salida para sumarse a la generado por Q_2 . En consecuencia la corriente diferencial total que circulara por la carga resulta:

$$I_d = 2 \cdot I_{cd}$$

En consecuencia y dado que G_{md} es la misma transconductancia diferencial con la salida en corto circuito ya definida para el caso de los amplificadores diferenciales MOS, es decir

$$G_{md} = \frac{I_d}{v_d} \Big|_{R_L=0} \quad \text{en este caso} \quad G_{md} = \frac{2 I_{cd}}{v_d} = \frac{2 hfe I_{bd}}{v_d}$$

Por lo tanto teniendo en cuenta la definición de R_{id} y el resultado obtenido en la expresión 6.8

$$G_{md} = \frac{2 hfe}{R_{id}} = \frac{2 hfe}{2 hie} \quad \text{y en consecuencia} \quad G_{md} = g_m \quad (6.9)$$

Por último, para la obtención de la resistencia de salida R_o del modelo equivalente propuesto debe recordarse aplicar el concepto de tierra virtual en el nodo unión de los dos emisores de Q_1 y Q_2 de modo una las ramas del nodo de salida presenta una resistencia de salida de emisor común r_{oe2} en tanto que en la otra rama también el transistor Q_4 posee su emisor conectado a masa a través de la fuente de alimentación positiva y en consecuencia en su colector la resistencia de salida también es r_{oe4} , por ello:

$$R_o = \frac{r_{oe2} \cdot r_{oe4}}{r_{oe2} + r_{oe4}} \quad (6.10)$$

Conocido el modelo equivalente, ya que en la misma figura V.5. se ha agregado la carga R_L , mediante el uso del mismo se puede determinar la ganancia de tensión de modo diferencial:

$$A_{vd} = \frac{v_{od}}{v_d} = \frac{G_{m_d} \cdot v_d \cdot (R_o // R_L)}{v_d} = g_{m_{1-2}} \cdot (R_o // R_L) \quad (6.11)$$

desprendiéndose que el sistema estudiado posee una ganancia de tensión de modo diferencial igual al doble de la que presenta una etapa diferencial convencional, cargada en forma asimétrica como en nuestro caso.

Si en una dada aplicación se tiene que $R_L \ll R_o$ resulta $A_{vd} = g_{m_{1-2}} \cdot R_L = 40 \cdot I_{CQ1-2} \cdot R_L$

En cambio si $R_d \gg R_o$ se obtendría el mayor valor de ganancia posible:

$$A_{vd} = \frac{1}{\eta_N + \eta_P}$$

que típicamente, de acuerdo a los valores de tensión de Early del semiconductor, variará entre unas 1000 y 2000 veces.

Por otro lado en la figura 6.7 se ha representado el circuito equivalente válido para el modo común y en el mismo se han indicado asimismo los sentidos de referencia de las corrientes para este modo de excitación. Se desprende de dicho análisis que, al menos teóricamente, es decir si existe simetría completa entre ambas ramas de la configuración diferencial y su correspondiente carga activa, la corriente de salida o componente de modo común de la corriente en la carga sería nula por lo que la C.M.R.R. sería de valor infinito.

En la práctica tal simetría perfecta no es posible de obtener, de modo que la componente remanente de modo común de la corriente en la carga entonces queda rechazada en función de la constancia en la corriente de la fuente de polarización I_{CQ5} o sea en forma directamente proporcional al valor de R_{o5} . Estas características hacen que el valor de la C.M.R.R. para este caso solo puede obtenerse por medición.

A lo largo del desarrollo de este capítulo veremos otras topologías prácticas en las que se utiliza esta técnica de carga activa pero previamente es conveniente rever las condiciones de polarización de este circuito, especialmente en lo que se refiere a las tensiones de polarización de Q_2 y Q_4 .

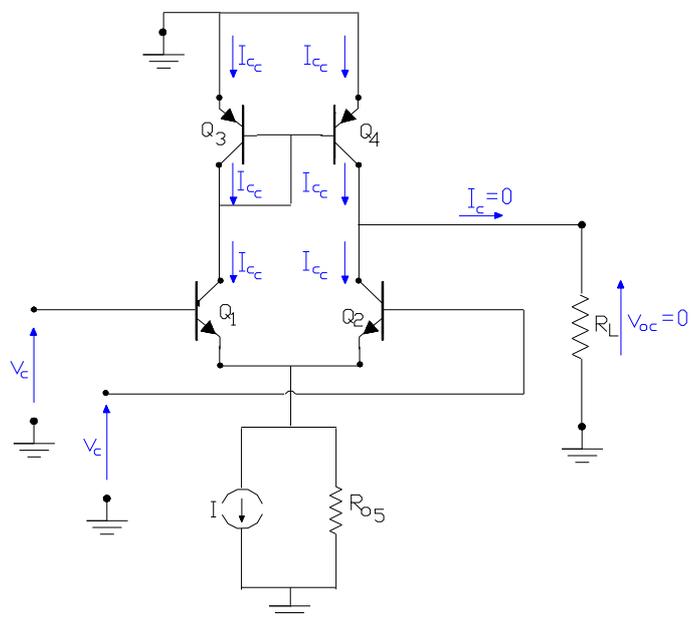


Figura 6.7 Par diferencial bipolar cargado activamente y excitado con una señal de modo común

Volviendo al circuito de la figura 6.5 ya hemos dicho que por simetría y despreciando las corrientes de base de Q_3 y Q_4 los cuatro transistores en reposo poseen la misma corriente $I/2$ para lo cual se necesita que los circuitos de excitación conectados a los terminales de base de Q_1 y Q_2 permitan establecerse las corrientes de base de estos transistores. Entonces si suponemos que para C.C. ambas bases poseen potencial de masa, entonces la unión de los emisores se hallaran a una tensión $-V_{BEU} = -0,7$ V. Entonces dado que el transistor diodo Q_3 posee una tensión de reposo $V_{EC3} = V_{EBu3} = 0,7$ V (se trata de transistores PNP) motivo por el cual la tensión de reposo de Q_1 es igual a $V_{CEQ1} = V_{CC}$.

Para la rama par en cambio, la tensión total disponible es también $V_{CC} + 0,7$ V pero nadie puede asegurar a priori como se distribuirá entre V_{CEQ2} y V_{ECQ4} . Este problema ya se había anticipado en el circuito diferencial MOS cargado activamente y aunque no se profundizo si se indico que el origen del problema es la no identidad de ambos componentes y también se indico que la realimentación a establecerse en un sistema multitapa permitiría darle solución.

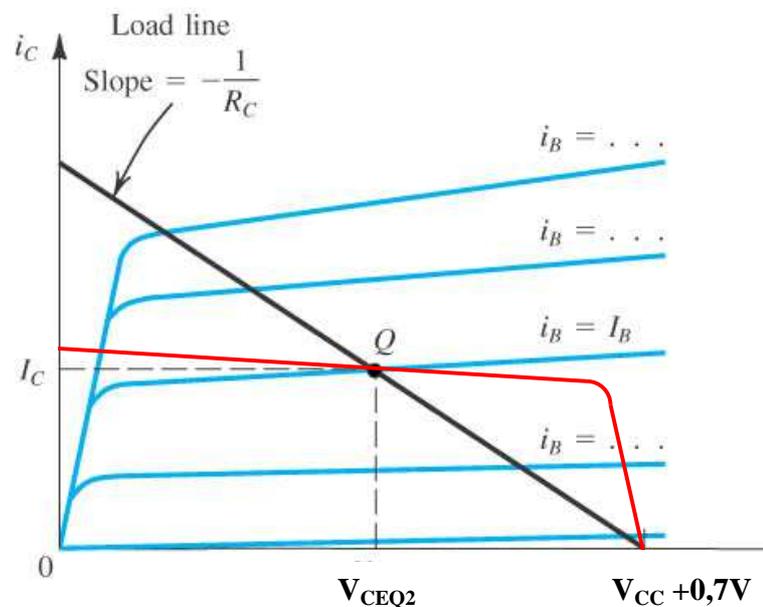
Si aceptáramos que ambos transistores Q_2 y Q_4 fuesen idénticos entonces como por ambos circula la misma corriente entonces afirmaríamos que dicha tensión disponible $V_{CC} + 0,7$ V se distribuya equitativamente entre ambos componentes y $V_{CEQ2} = V_{ECQ4}$. Pero en nuestro caso ocurre que mientras Q_2 es un NPN Q_4 es PNP y dado que una de las diferencias entre ambos se evidencia a través de la tensión de EARLY, tal como se describía oportunamente en el apartado 5.6.2

$$\frac{I_{C4}}{I_{C2}} = \frac{1 + (V_{ECQ4} / V_{A_{pnP}})}{1 + (V_{CEQ2} / V_{A_{npn}})}$$

Ello traería aparejado una distribución de la mencionada tensión disponible en forma inversamente proporcional a sus tensiones de EARLY. Sin embargo el circuito analizado aun así presenta una dificultad de orden practico; tales tensiones de reposo resultan ser altamente inestables y cualquier pequeña modificación en las condiciones de funcionamiento de estos transistores produce un cambio apreciable en dichas tensiones de reposo.

La razón que justifica dicha afirmación se fundamenta en la construcción grafica de la figura 6.8 en donde se han trazado las curvas características de Q_2 y superpuesta con ella la característica de Q_4 como figura de carga estática. La misma figura compara la intersección franca (transversal) de una recta de carga estática con la intersección casi tangencial del transistor como carga activa determinante de la inestabilidad antes aludida.

Figura 6.8 Figura de carga estática para un amplificador emisor común con carga activa.



Por esta razón el circuito analizado se hace practico recién cuando el circuito externo conectado a la unión de los colectores de Q_2 y Q_4 es el responsable de fijar la tensión de C.C. del nodo de salida. Esto puede ser posible por ejemplo si al tratarse de un amplificador multitapa, la carga que hemos indicado como R_L es en realidad la resistencia de entrada de una segunda etapa y por lo tanto el nodo de salida de nuestro amplificador bajo análisis se conecte con el terminal activo de entrada de dicha segunda etapa siendo este ultimo el responsable de fijar la tensión de C.C. de dicho nodo como veremos próximamente.

EJEMPLO 6.1

La figura 6.9 representa una aplicación práctica de la técnica de utilización de fuentes de corriente como carga activa. Puede comprobarse que en dicho circuito T_5 y T_6 constituyen una fuente de corriente tipo espejo que polariza a la etapa amplificadora diferencial compuesta por los transistores T_1 y T_2 . La carga de esta etapa diferencial se halla conformada por la fuente de corriente espejo compuesta por los transistores PNP T_3 y T_4 a modo de carga activa, además de la carga propiamente dicha, denominada R_L . Supondremos que todos los transistores se encuentran integrados en el mismo sustrato de silicio y que posee características similares a los del CI CA3086.

Para las componentes estáticas y como ya se demostrara, se tendrá:

$$I_{CQ5} = I_R = \frac{V_{CC} + V_{EE} - V_{BE6}}{R} = \frac{9 + 9 - 0,7}{18 \cdot 10^3} = 1 \text{ mA}$$

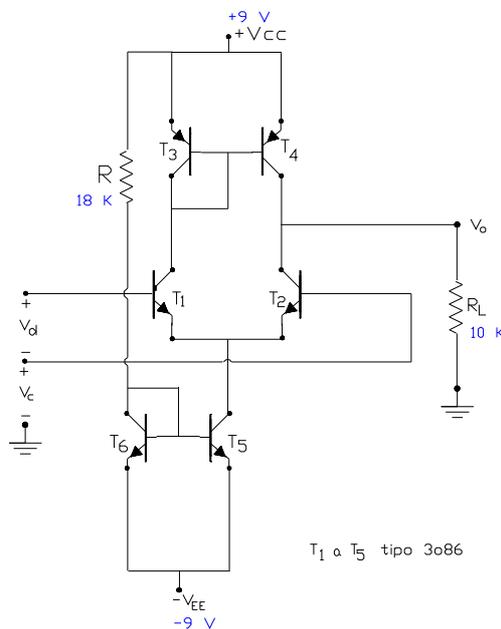


Figura 6.9 Circuito amplificador diferencial con carga Activa del ejemplo 6.1.

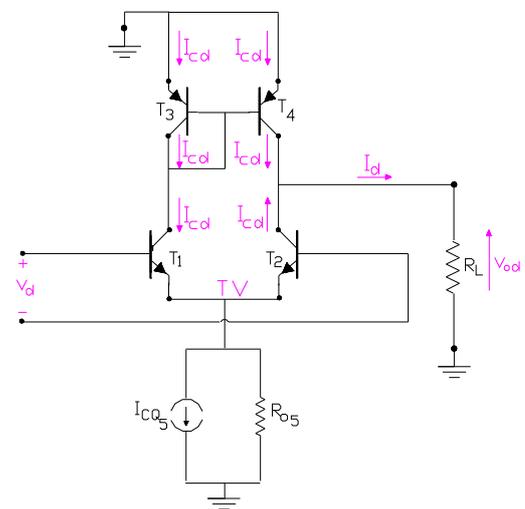


Figura 6.10 Circuito equivalente amplificador diferencial del ejemplo 6.1. para la señal diferencial

mientras que por las ramas diferenciales $T_1 - T_3$ y $T_2 - T_4$ dicha corriente se dividirá en dos partes iguales, es decir:

$$I_{CQ1} = I_{CQ3} = I_{CQ2} = I_{CQ4} = \frac{I_{CQ5}}{2} = 0,5 \text{ mA}$$

En cuanto a las tensiones de reposo y dado que $V_{ET1-2} = -V_{BE1-2} = -0,7 \text{ V}$ se tendrá lo siguiente:

$$V_{CEQ6} = -V_{CEQ3} = V_{BEu} = 0,7 \text{ V} \quad ; \quad V_{CEQ1} = V_{CC} = 9 \text{ V} \quad \text{y} \quad V_{CEQ5} = V_{EE} - 0,7 \text{ V}$$

mientras que las tensiones de reposo de T_2 y T_4 podrán estar comprendidas entre 0 y $(V_{CC} + 0,7 \text{ V})$ dependiendo del valor del potencial de C.C. que sobre el nodo unión de sus colectores imponga el circuito de carga que en la figura se halla representada a través de la resistencia R_L .

En cuanto al comportamiento dinámico frente a una señal de excitación de modo diferencial $v_d = v_1 - v_2$ el mismo se puede estudiar sobre el circuito equivalente de la figura 6.10, en donde además se han marcado los sentidos de referencia de todas las corrientes de modo diferencial que aparecen debido a dicha excitación. Tal como se observa en ese circuito equivalente, sobre la carga se tendrá una corriente de modo diferencial total conformada por:

$$I_d = I_{cd2} + I_{cd4}$$

y si consideramos identidad en los transistores de ambas ramas $I_d = 2 \cdot I_{cd}$, y dichas corrientes de colector de modo diferencial darán lugar a una tensión de salida para dicho modo que se podrá expresar de acuerdo a:

$$v_{od} = 2 \cdot I_{cd} \cdot R_d$$

Para una mejor información se desea asociar el circuito equivalente indicado en la figura 6.10 con el comportamiento dinámico para la señal diferencial, por lo que debemos encontrar las relaciones de equivalencia entre dicho circuito equivalente y el correspondiente a la representación de la figura 6.9 En este último, la resistencia de entrada es la resistencia de entrada diferencial, que como es sabido, resulta ser:

$$R_{id} = \frac{v_d}{I_{bd}} = 2 \cdot h_{ie1-2} = 12 \text{ K}\Omega$$

Por otro lado, el parámetro que controla la corriente del generador de salida del último circuito equivalente, es decir la transconductancia diferencial G_{m_d} se define como:

$$G_{m_d} = \frac{I_d \text{ (con la salida en corto circuito)}}{v_d}$$

mientras que en el circuito de la figura 6.9, imponiendo la condición de corto circuito en la salida, la corriente diferencial en el cortocircuito resulta ser la suma de ambas corrientes de colector diferencial (la de los transistores T_2 y T_4), es decir:

$$I_d \text{ (con la salida en corto circuito)} = 2 \cdot I_{cd}$$

pero en cualquiera de los transistores:

$$I_{cd} = h_{fe} \cdot I_{bd} \quad \text{mientras que} \quad I_{bd} = \frac{v_d}{2 \cdot h_{ie}}$$

con lo que reemplazando:

$$I_d \text{ (con la salida en corto circuito)} = \frac{2 \cdot h_{fe}}{2 \cdot h_{ie}} \cdot v_d \quad \text{y} \quad Gm_d = gm_{1-2} = 20 \text{ mS}$$

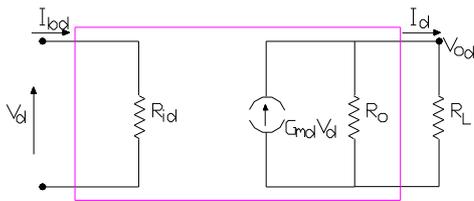


Figura 6.11 Circuito equivalente de transconductancia diferencial para el ejemplo 6.1.

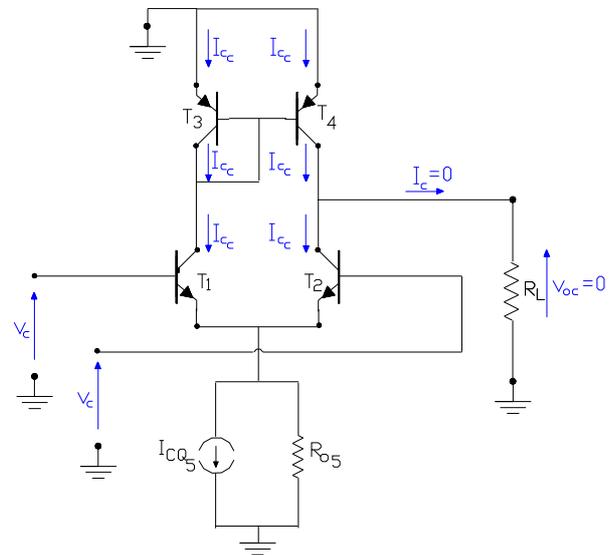


Figura 6.12 Circuito equivalente para la señal de modo común para el ejemplo 6.1.

Por último, la resistencia de salida R_o del modelo equivalente propuesto es:

$$R_o = \frac{r_{oe2} \cdot r_{oe4}}{r_{oe2} + r_{oe4}} = \frac{100 \cdot 50 \cdot 10^3}{100 + 50} = 33,3 \text{ K}\Omega$$

Conocido el modelo equivalente, ya que en la misma figura 6.11 se ha agregado la carga R_L , mediante el uso del mismo se puede determinar la ganancia de tensión de modo diferencial:

$$A_{vd} = \frac{V_{od}}{v_d} = gm_{1-2} \cdot (R_o // R_L) = 0,020 \cdot \frac{10 \cdot 33,3 \cdot 10^3}{10 + 33,3} = 154$$

Por otro lado en la figura 6.12 se ha representado el circuito equivalente válido para el modo común y en el mismo se han indicado asimismo los sentidos de referencia de las corrientes para este

modo de excitación. Se desprende de dicho análisis que, al menos teóricamente, es decir si existe simetría completa entre ambas ramas de la configuración diferencial y su correspondiente carga activa, la corriente de salida o componente de modo común de la corriente en la carga sería nula por lo que la C.M.R.R. sería de valor infinito.

En la práctica tal simetría perfecta no es posible de obtener, de modo que la componente remanente de modo común de la corriente en la carga entonces queda rechazada en función de la constancia en la corriente de la fuente de polarización I_{CQ5} o sea en forma directamente proporcional al valor de R_{o5} . Estas características hacen que el valor de la C.M.R.R. para este caso solo puede obtenerse por medición.

6.4. ESTUDIO DE ETAPAS DE ENTRADA DE AMPLIFICADORES OPERACIONALES:

6.4.1.- Ejemplo genérico comparativo:

Antes de iniciar el análisis específico del amplificador operacional 741 y con la finalidad de poder establecer ciertas comparaciones, consideraremos el circuito amplificador que se indica en la figura 6.13. En este circuito la segunda etapa, indicada con A_2 , debe proporcionar muy alta ganancia y también muy alta resistencia de entrada de modo que la carga dinámica de la primera y por lo tanto la ganancia de la misma sea lo más grande posible. Al respecto supondremos que esta segunda etapa presenta una resistencia de entrada cuyo valor típico es de $R_{i2} = 5,5 \text{ MOhm}$ y que en la primera $h_{FE} = h_{fe} = 240$ siendo de 100 y 50 V las tensiones de EARLY de sus transistores.

Estudiaremos el comportamiento de este circuito particularmente para bajo nivel y desde frecuencias tan bajas como "0" Hz y hasta frecuencias para las cuales los efectos capacitivos asociados a las junturas y a la difusión de portadores en la base, inclusive los efectos de condensador físico C conectado en el circuito, son despreciables (a este rango se lo conoce normalmente como frecuencias bajas y medias).

La estructura de este circuito es similar a la del ejemplo estudiado en el apartado precedente ya que la única diferencia es el tipo de transistor con que son realizados tanto el amplificador como el circuito de carga activa [en este caso PNP y NPN respectivamente, a la inversa que en el circuito de la figura 6.6.a)] por lo tanto le asociamos a este amplificador un modelo equivalente en base al parámetro Transconductancia Diferencial (G_{m_d}) tal como el de la figura 6.6.b), para lo cual previamente debemos comprobar que mediante la fuente de corriente Widlar la corriente de polarización de cada rama diferencial resulta ser de $4,75 \mu\text{A}$, para la cual:

$$G_{m_d} = g_{m_{1-2}} = 40 \cdot I_{CQ_{1-2}} = 40 \cdot 4,75 \cdot 10^{-6} = 190 \cdot 10^{-6} \text{ S}$$

$$R_{id} = 2 \cdot h_{ie_{1-2}} = 2 \cdot \frac{h_{fe_{1-2}}}{g_{m_{1-2}}} = 2 \cdot \frac{240}{190} \cdot 10^6 = 2,52 \text{ M}\Omega$$

$$r_{o2} = \frac{1}{\eta_p \cdot g_{m_2}} \quad \text{con} \quad \eta_p = 5 \cdot 10^{-4} \quad r_{o2} = \frac{1}{5 \cdot 10^{-4} \cdot 190 \cdot 10^{-6}} = 13,1 \text{ M}\Omega$$

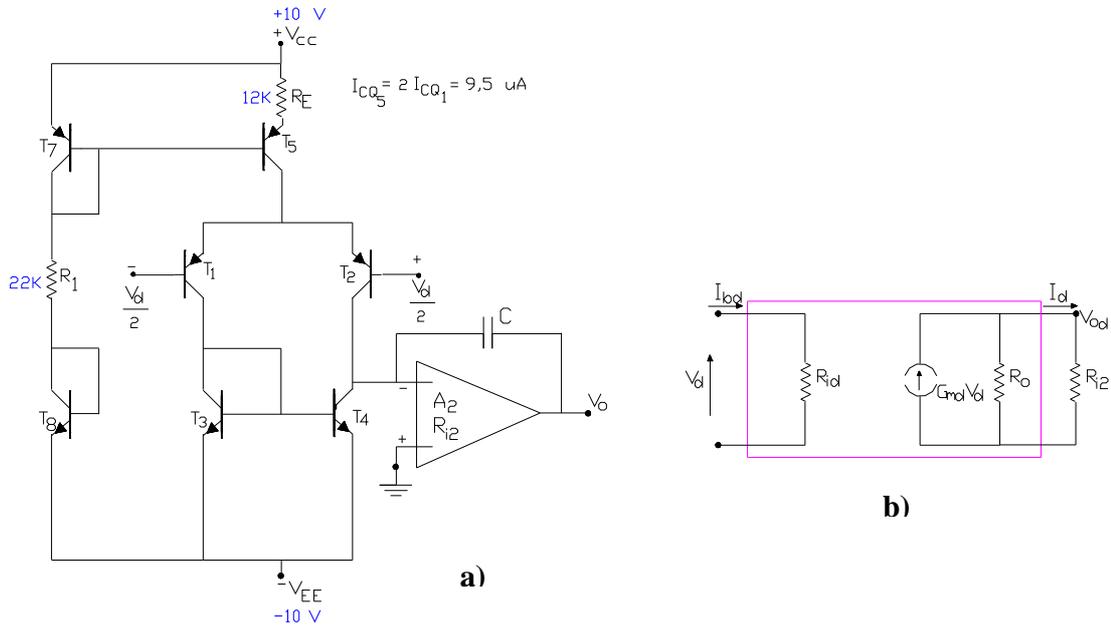


Figura 6.13 a) El amplificador diferencial bipolar cargado activamente y polarizado con una fuente de corriente WIDLAR de $9,5 \mu A$ b) circuito equivalente que emplea la transconductancia diferencial con la salida en corto.

$$r_{o4} = \frac{1}{\eta_N \cdot gm_4} \quad \text{con} \quad \eta_N = 2,5 \cdot 10^{-4} \quad r_{o2} = \frac{1}{2,5 \cdot 10^{-4} \cdot 190 \cdot 10^{-6}} = 26,2 \text{ M}\Omega$$

$$R_o = \frac{r_{oe2} \cdot r_{oe4}}{r_{oe2} + r_{oe4}} = \frac{13,1 \cdot 26,2 \cdot 10^6}{13,1 + 26,2} = 8,7 \text{ M}\Omega$$

en consecuencia:

$$R_o // R_{i2} = \frac{8,7 \cdot 5,5 \cdot 10^6}{8,7 + 5,5} = 3,75 \text{ M}\Omega \quad \text{y la ganancia de tensión diferencial será:}$$

$$A_{vd} = G_{m_d} \cdot (R_o // R_{i2}) = 190 \cdot 10^{-6} \cdot 3,75 \cdot 10^6 = 712,5$$

Por otro lado estudiando el comportamiento del circuito para frecuencias suficientemente altas como para observar los efectos de la presencia del condensador $C = 30 \text{ pF}$, antes de que sea necesario tener en cuenta a los efectos intrínsecos de las capacidades internas de los transistores, a medida que se incrementa la frecuencia, la reactancia capacitiva de C va en disminución hasta hacerse de mucho menor valor que la resistencia de entrada de la segunda etapa (R_{i2}), por lo que la mayor parte de la corriente diferencial de salida de la primera etapa se deriva por C .

Ante la necesidad de tal análisis es posible considerar que la segunda etapa es un amplificador tipo operacional y por lo tanto su terminal inversor de entrada, tal como se justificará oportunamente,

se comporta como una Tierra Virtual (no toma corriente) y por lo tanto la tensión de salida del sistema es la caída que I_d produce en X_C , o sea:

$$V_o = I_d \cdot \frac{1}{j \cdot \omega \cdot C} \quad \text{pero como} \quad I_d = G_{m_d} \cdot V_d \quad \text{resulta} \quad V_o = G_{m_d} \cdot \frac{1}{j \cdot \omega \cdot C} \cdot V_d$$

con lo que la ganancia de tensión, en ese rango de frecuencias y de todo el sistema, en términos de módulo es:

$$\left| A_{vda} \right| = \left| \frac{V_o}{V_d} \right| = \frac{G_{m_d}}{2 \cdot \pi \cdot F \cdot C} \quad (6.12)$$

cuya representación en función logarítmica de la frecuencia, arroja como resultado el diagrama indicado en la figura 6.14.

Definiendo como Producto Ganancia por Ancho de Banda al producto entre el valor de la ganancia a una dada frecuencia y ese valor de frecuencia, se tiene que, para el punto en que la ganancia $|A_{vda}|$ es "0" dB (ó 1), dicho producto PGB resulta ser:

$$PGB = 1 \cdot F_u$$

y a partir de la ecuación (6.12):

$$F_u = \frac{G_{m_d}}{2 \cdot \pi \cdot C} \quad (6.13)$$

por lo que para el caso en que $C = 30 \text{ pF}$ se obtiene un producto ganancia por ancho de banda de:

$$PGB = F_u = \frac{190 \cdot 10^{-6}}{6,28 \cdot 30 \cdot 10^{-12}} = 1 \text{ MHz.}$$

debiendo aclararse que en este ejemplo se adecuó la corriente de la fuente de corriente de polarización en $9,5 \mu\text{A}$ a fin de obtener el calculado PGB, para luego comparar con los resultados que obtendremos con el amplificador operacional 741.

Consideraremos por último, el caso en que a la etapa bajo estudio se le aplica una excitación diferencial de gran amplitud, tal que produzca que la totalidad de la corriente de la fuente de corriente de polarización se vuelque sobre una de las ramas del amplificador diferencial, mientras que en la otra rama la corriente resulte nula. Dicha señal de excitación, además, tiene una relativamente alta velocidad de variación (puede ser una señal sinusoidal de alta frecuencia o bien una señal tipo escalón de gran amplitud).

Bajo tal condición se observará la forma o velocidad de variación de la tensión de salida identificándose que dicha velocidad de variación se encuentra limitada y consecuentemente se produce

una deformación o distorsión en la señal amplificada. Para caracterizar dicha limitación se define y especifica para este tipo de etapas el parámetro Velocidad de Excursión o en inglés SLEW RATE. Entonces, por definición:

$$\text{SLEW RATE} = \text{SR} = \frac{dV_o}{dt} \quad (6.14)$$

La figura 6.15 es representativa de la condición de operación precedentemente descrita. En ella, volviendo a atribuirle la característica de tierra virtual al terminal de entrada de la segunda etapa, la tensión de salida vuelve a ser la diferencia de potencial que sobre el condensador C produce la corriente que lo atraviesa motivo

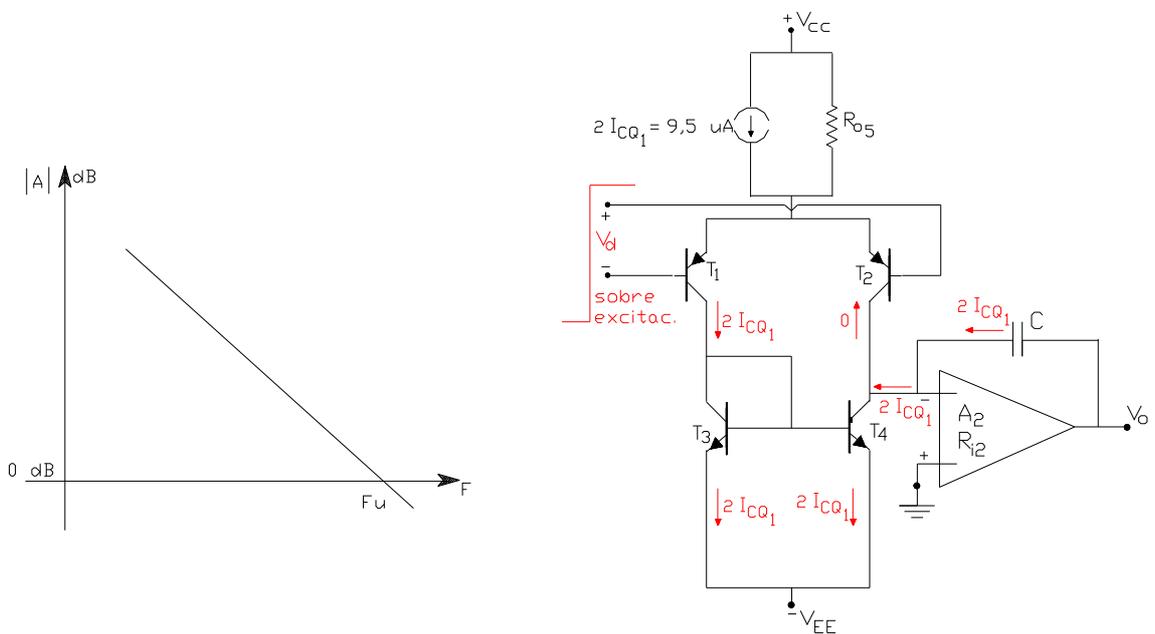


Figura 6.14 Disminución de la ganancia de tensión diferencial en función de la frecuencia

Figura 6.15 Circuito equivalente para una señal diferencial grande

por el cual:

$$\text{SR} = \frac{4 \cdot \pi \cdot F_u \cdot I_{CQ1-2}}{G_{m_d}} \quad (6.15)$$

de la que se deduce:

- El SR aumenta con el PGB del operacional;
- El SR aumenta disminuyendo la transconductancia de la etapa diferencial G_{m_d} (*)
- El SR aumenta si se aumenta la corriente de polarización de la etapa diferencial I_{CQ1-2} (*)

A los efectos de realizar un estudio y verificación del circuito mediante cálculos numéricos, supondremos que el mismo se alimenta con las tensiones $V_{CC} = V_{EE} = 15 \text{ V}$ y en primer lugar verificamos el comportamiento estático del mismo.

Puede observarse que los transistores T_{11} y T_{12} , al disponer de un cortocircuito entre sus terminales de base y colector, funcionan como diodos, en un circuito serie en el que además se incluye al resistor de resistencia $R_5 = 39 \text{ K}\Omega$ y en donde las fuentes de alimentación los polarizan en forma directa. En consecuencia, suponiendo despreciables a sus corrientes de base, las corrientes de colector de dichos transistores resulta:

$$I_{CQ11} = I_{CQ12} = \frac{V_{CC} + V_{EE} - 2 \cdot V_{BEu}}{R_5} = \frac{30 - 1,2}{39 \cdot 10^3} = 0,723 \text{ mA}$$

Ya que los transistores T_{11} y T_{10} operan formando una fuente de corriente tipo WIDLAR, la corriente por este último debe satisfacer la ecuación:

$$I_{CQ10} = \frac{V_T}{R_4} \cdot \ln \frac{I_{CQ11}}{I_{CQ10}} = \frac{25 \cdot 10^{-3}}{5 \cdot 10^3} \cdot \ln \frac{723 \cdot 10^{-6}}{I_{CQ10}}$$

y el valor de I_{CQ10} que cumple con dicha condición, obtenido luego de un proceso de aproximación sucesiva es aproximadamente $18,5 \mu\text{A}$. Considerando nuevamente que las corrientes de base resultan despreciables ($2 \cdot I_{B3-4} \ll I_{CQ10}$) debido a la conexión directa de colector de T_{10} con colector de T_9 y dado que este último forma conjuntamente con T_8 una fuente de corriente del tipo espejo, se tendrá:

$$I_{CQ8} = I_{CQ9} = I_{CQ10} = 18,5 \mu\text{A}$$

Por razones de simetría y admitiendo que a través de los circuitos de excitación conectados a sus bases, podrán establecerse las pequeñas corrientes de polarización (I_{B1-2}), la corriente de colector de T_8 , es decir $I_{CQ8} = 18,5 \mu\text{A}$ debe subdividirse en dos partes iguales como corrientes de colector de T_1 y T_2 , vale decir que aproximadamente:

$$I_{CQ1} = I_{CQ2} = \frac{I_{CQ8}}{2} = 9,5 \mu\text{A}$$

y dado que sus emisores se hallan directamente unidos con los de T_3 y T_4 , que a su vez poseen sus bases polarizadas mediante la conexión directa con colector de T_{10} , se tendrá:

$$I_{CQ3} = I_{CQ4} = I_{CQ1-2} = 9,5 \mu\text{A}$$

Por idéntica razón, dado que T_5 y T_6 se unen por colector con los de T_3 y T_4 y además disponen sus bases polarizadas a través de su conexión con emisor de T_7 , resulta que:

$$I_{CQ5} = I_{CQ6} = I_{CQ3-4} = 9,5 \mu\text{A}$$

para lo que deberá cumplirse que:

$$V_{R3} = V_{BE5} + I_{CQ5} \cdot R_1 = 0,6 \text{ V} + 9,5 \cdot 10^{-6} \cdot 10^3 = 0,609 \text{ V}$$

y consecuentemente, considerando que $2 \cdot I_{B5} = 2 \cdot I_{B6}$ resultan despreciables, la corriente por T_7 es:

$$I_{CQ7} = \frac{V_{R3}}{R_3} = \frac{0,609}{50 \cdot 10^3} = 12 \mu\text{A}$$

Desde el punto de vista de las tensiones de reposo además se observa:

$$V_{CEQ11} = -V_{CEQ12} = -V_{CEQ8} = V_{BEu} = 0,6 \text{ V} \quad \text{y} \quad V_{CEQ5} = V_{BEu5} + V_{BEu7} = 1,2 \text{ V}$$

y suponiendo nulos los potenciales de continua de las bases de T_1 y T_2 a través de los circuitos de excitación, la tensión continua del nodo (A) contra masa resulta:

$$V_{AT} = -(V_{BEu1-2} + V_{EBu5-6}) = -1,2 \text{ V}$$

con lo que:

$$V_{CEQ10} = V_{EE} + V_{AT} - I_{CQ10} \cdot R_4 = 15 - 1,2 - 18,5 \cdot 10^{-6} \cdot 5 \cdot 10^3 = 13,7 \text{ V} \quad \text{y} \quad V_{CEQ9} = -V_{CC} + V_{AT} = -16,2 \text{ V}$$

$$V_{CEQ1-2} = V_{CC} - V_{EBu8} + V_{BEu1-2} = V_{CC} = 15 \text{ V} \quad \text{y} \quad V_{CEQ3} = -V_{EE} + V_{R3} + V_{BEu7} + V_{BEu1} = -15 + 0,609 + 2,0,6$$

por lo tanto

$$V_{CEQ3} = -13,2 \text{ V}$$

mientras que las tensiones de reposo de los transistores T_4 y T_6 dependerán de la tensión continua que en la unión de sus colectores imponga el circuito de carga o segunda etapa del amplificador operacional que verificaremos más adelante.

Los cálculos precedentes nos permiten apreciar que todos los transistores y aún aquellos que operan como diodos, funcionan en la zona activa y lineal de sus características. Debe tenerse presente que estos dispositivos bipolares poseen una $V_{CE(sat)}$ reducida, cercana a los 200 ó 300 mV por lo que al hallarse con una tensión de reposo de tan solo 600 mV ello es suficiente como para que su resistencia de salida sea tan elevada como en el resto de la zona activa y lineal (lo que es importante para los que desempeñan funciones de fuentes de polarización o de carga activa), o bien como para permitir cierto rango de excursión en su punto dinámico de trabajo.

Por este motivo a continuación pasamos a estudiar el comportamiento para una señal de bajo nivel, y como siempre hasta ahora, de baja frecuencia. El nodo unión de las bases de los transistores T_3 y T_4 , nodo al que hemos llamado (A), tiene conectada una fuente de corriente constante conformada por el transistor T_{10} (fuente WIDLAR) que en consecuencia debe entregar una corriente: $I_{B3} + I_{B4} + I_{CQ9}$. Considerando una excitación diferencial dispuesta entre las bases de los transistores T_1 y T_2 el balance total de corriente dinámica diferencial en dicho nodo es nulo por lo que el mismo se comporta como una tierra virtual.

En cambio para una señal de modo común debe considerarse que entre dicho nodo (A) y masa se dispone la resistencia de salida de dicha fuente de corriente Widlar R_{o10} , por la que circularán ambas corrientes de base de modo común. Por otra parte, nuevamente para la señal diferencial la unión de los colectores de T_1 y T_2 , a donde se halla conectada la fuente de corriente espejo conformada por T_8 y T_9 , también se comporta como una tierra virtual y el circuito fuente de corriente espejo realizado con T_5 (con R_1) y T_6 (con R_2) se desempeña como carga activa de la configuración diferencial.

El circuito equivalente para la señal diferencial se representa en la figura 6.17. Se ha supuesto que para un instante de tiempo dado la tensión de modo diferencial de excitación (v_d) es positiva, por lo que las corrientes de colector diferencial en los transistores T_1 y T_2 (I_{cd}), con los sentidos de referencia adoptados, también resultan positivas e iguales en magnitud, dada la característica de simetría de ambas ramas.

Debido a la conexión directa entre los emisores de T_1 y T_3 así como la de T_2 y T_4 , las corrientes de colector diferencial en los transistores T_3 y T_4 se ven obligadas a seguir (en módulo y en fase) a las correspondientes a T_1 y T_2 respectivamente y también se han marcado en el circuito de la figura 6.17.

El transistor T_3 tiene conectado como carga en su colector el circuito serie integrado por el diodo base-emisor de T_5 (ya que T_5 tiene su juntura base-colector en corto circuito) y el resistor R_1 de modo que la corriente por esta última (y por lo tanto corriente de emisor de T_5) no es otra que la misma corriente I_{cd} (igual magnitud y fase). Dado que el circuito base-emisor de T_6 en conjunto con R_2 es espejo del correspondiente a $T_5 - R_1$, la corriente por R_2 o corriente de emisor y prácticamente corriente de colector de T_6 es coincidente (en módulo y fase) con la de T_5 , es decir I_{cd} .

Finalmente, por los sentidos que tienen las corrientes de colector diferencial de T_4 y T_6 , la corriente por la carga R_{i2} resulta ser:

$$I_d = I_{cd1} + I_{cd2} = 2 \cdot I_{cd}$$

De la misma forma como se hizo para los circuitos amplificadores de las figuras 6.5. y 6.13. se desea asociarle a la primera etapa del amplificador operacional 741, un modelo equivalente en base al parámetro transconductancia (G_{m_d}) tal como el que se ha representado en la figura 6.18. Para hallar los componentes del mismo estudiamos el comportamiento del circuito de la figura 6.17. En este último puede observarse que se aplica una señal diferencial sobre la base de T_2 que tiene su colector a masa y se halla cargado por emisor por el transistor T_4 operando en una configuración base común ya que la base del mismo está conectada con el nodo (A) que como quedó dicho se comporta como una tierra virtual.

Esta disposición puede relacionarse con las propiedades que introducía sobre el comportamiento diferencial, la presencia del resistor R_e en los emisores de ambas ramas diferenciales (ahora de valor $h_{ib} = (1/g_m)$ es decir $h_{ib} = 10^6 / (40 \cdot 9,5) = 2,6 \text{ K}\Omega$) en cuanto a la ampliación del rango dinámico lineal de la etapa. Asimismo y en cuanto a la resistencia de entrada diferencial de esta etapa que es la correspondiente al mismo amplificador operacional:

$$\frac{R_{id}}{2} = h_{ie1-2} + h_{fe1-2} \cdot h_{ib3-4} = h_{ie1-2} + h_{fe1-2} \cdot \frac{1}{g_{m3-4}} = 2 \cdot h_{ie1-2} \quad \text{por lo tanto} \quad R_{id} = 4 \cdot h_{ie1-2} \quad (6.16)$$

por lo que tomando como $h_{fe} = 240$ para todos los transistores, numéricamente dicha resistencia de entrada resulta:

$$R_{id} = 4 \cdot \frac{h_{fe1-2}}{gm_{1-2}} = \frac{4 \cdot 240}{40 \cdot 9,5 \cdot 10^{-6}} = 2,5 \text{ M}\Omega$$

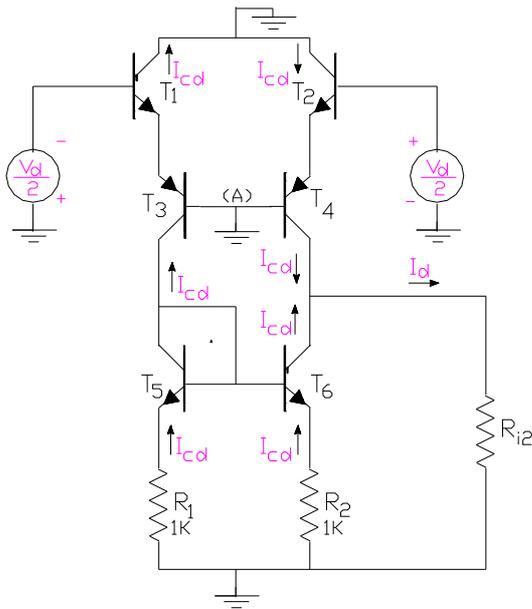


Figura 6.17 Circuito equivalente de la primera etapa del Op.Amp. 741 para una señal de excitación de modo diferencial

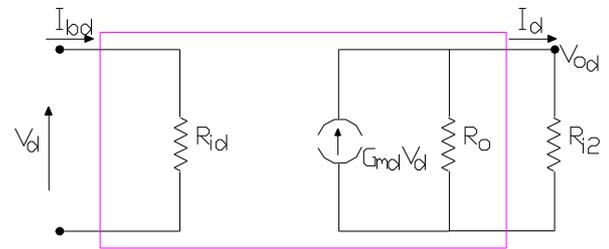


Figura 6.18 Circuito equivalente que utiliza el parámetro Transconductancia diferencial Gmd.

que puede compararse con la especificación de los valores típicos que para dicho parámetro proporcionan los fabricantes. Se comprueba que la estructura circuital de la etapa de entrada del amplificador operacional 741 se presta para optimizar la resistencia de entrada del mismo a la par de lograr una muy buena linealización de la transferencia.

Por otra parte, según la definición de la transconductancia diferencial (6.1) debemos determinar la corriente diferencial efectuando un corto circuito en la carga R_{i2} . Como en el anterior circuito la corriente diferencial en el corto circuito es $2 \cdot I_{cd1-2}$ y para evaluarla en relación a la tensión de excitación de modo diferencial consideramos el circuito equivalente de la parte $T_1 - T_3$ (que es coincidente con la parte $T_2 - T_4$), tal como se representa en la figura 6.19.a. y 6.19.b. De la misma se deduce que:

$$I_{cd1-2} = \frac{V_d}{2} \cdot \frac{1}{h_{ib1-2} + h_{ib3-4}} = \frac{V_d}{4 \cdot h_{ib}} = \frac{gm \cdot V_d}{4} \text{ por lo tanto } I_d = 2 \cdot I_{cd} = \frac{gm}{2} \cdot V_d \text{ y } G_{md} = \frac{gm}{2}$$

cuyo valor resulta:

$$G_{md} = \frac{40 \cdot I_{CQ1-2}}{2} = 20 \cdot 9,5 \cdot 10^{-6} = 190 \mu A/V.$$

Puede constatarse que la etapa de entrada del amplificador operacional 741 estructuralmente dispone de una resistencia de entrada igual al doble de la que se tenía en el ejemplo genérico comparativo del apartado anterior, mientras que su transconductancia diferencial resulta ser la mitad de la que se obtenía en el ejemplo anterior, motivo por el cual en esta etapa se puede operar con una corriente de reposo del doble de valor, conservando los resultados numéricos tanto de la resistencia de entrada diferencial (2,5 MOhm) como de la transconductancia diferencial (190 $\mu\text{A/V}$). Asimismo, como se demostrará más adelante, esta estructura circuital por la misma razón, permite conseguir que con el mismo producto ganancia por ancho de banda de 1 MHz que se tenía en el ejemplo anterior, se obtenga una velocidad de excursión (SR) de valor igual al doble de la de aquel circuito.

Previamente determinaremos la resistencia de salida del modelo de transconductancia que le corresponde a la etapa que estamos estudiando. Como puede observarse en el circuito de la figura 6.20, siendo el punto de conexión de la carga R_{l2} la unión de los colectores de T_4 y T_6 , la resistencia de salida de esta primera etapa del amplificador operacional 741 resultará:

$$R_o = R_{o4} // R_{o6}$$

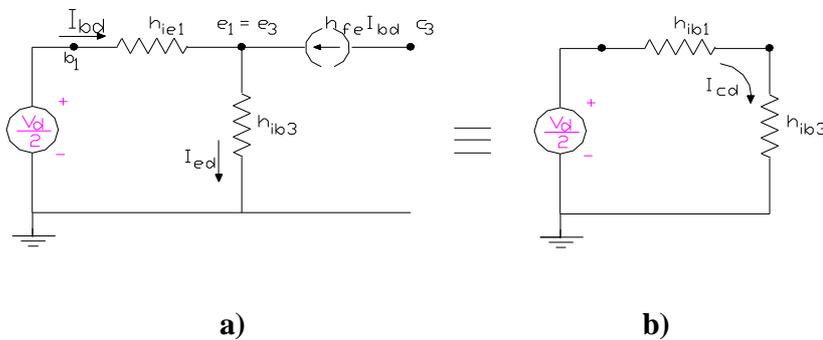


Figura 6.19 Circuito equivalente para analizar el parámetro Transconductancia diferencial G_{md} .

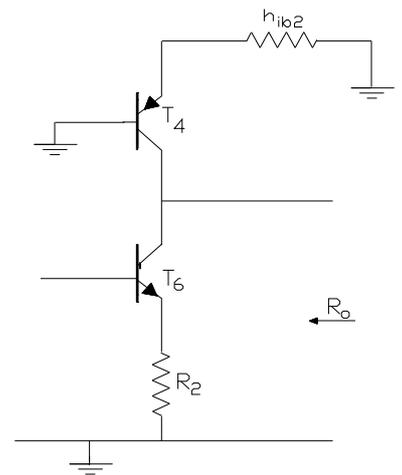


Figura 6.20 Circuito equivalente que analiza el parámetro resistencia de salida.

Correspondiendo ello a un circuito equivalente como el indicado en la figura 6.20, tanto R_{o4} como R_{o6} responden a configuraciones del tipo “Re sin puentear” cuyo valor, puede determinarse con la expresión general:

$$R_o = r_o \cdot \left(1 + \frac{h_{fe} \cdot R_e}{R_e + h_{ie} + R_{BT}} \right)$$

Para el caso particular de T_4 , en que $R_{BT} = 0$ (también para el caso en que $R_{BT} \ll (h_{ie} + R_e)$)

$$R_o = r_{oe} \cdot \left(1 + \frac{g_m \cdot h_{ie} \cdot R_e}{h_{ie} + R_e}\right) \quad \text{y si en el mismo caso, además } R_e \ll h_{ie} \quad R_o = r_{oe} (1 + g_m \cdot R_e)$$

$$\text{entonces, para } T_4 : \quad h_{ie} = \frac{R_{id}}{4} = 625 \text{ K}\Omega \quad \text{y} \quad R_e = h_{ib2} = \frac{1}{g_m} = 2,6 \text{ K}\Omega$$

$$\text{por lo que } R_{o4} = r_{oe4} (1 + g_m \cdot h_{ib2}) = r_{oe4} \left(1 + g_m \cdot \frac{1}{g_m}\right) = 2 \cdot r_{o4} = \frac{2}{\eta_P \cdot g_m} = \frac{2}{5 \cdot 10^{-4} \cdot 380 \cdot 10^{-6}} = 10 \text{ M}\Omega$$

En cuanto al cálculo de R_{o6} debe observarse que T_6 en su base tiene conectado a R_3 en paralelo con la resistencia de salida de una configuración colector común de T_7 y en paralelo a su vez con la resistencia de entrada de T_5 (del tipo R_e sin puentear). De tal forma que para el caso de T_6 , R_T resulta ser más bajo que R_3 por lo que nuevamente se cumple que $R_T \ll (h_{ie} + R_2)$. Pero simultáneamente $R_2 \ll h_{ie}$ por lo que:

$$R_{o6} = r_{o6} (1 + g_m \cdot R_2) = \frac{1}{\eta_N \cdot g_m} \cdot (1 + g_m \cdot R_2) = \frac{1}{2 \cdot 10^{-4} \cdot 380 \cdot 10^{-6}} \cdot (1 + 380 \cdot 10^{-6} \cdot 10^3) = 18 \text{ M}\Omega$$

y en consecuencia la resistencia de salida de la primera etapa resulta:

$$R_o = \frac{R_{o4} \cdot R_{o6}}{R_{o4} + R_{o6}} = \frac{10 \cdot 18 \cdot 10^6}{10 + 18} = 6,5 \text{ M}\Omega$$

considerando ahora la resistencia de entrada de la segunda etapa, la resistencia de carga dinámica de la primera es:

$$R_d = \frac{R_o \cdot R_{i2}}{R_o + R_{i2}} = \frac{6,5 \cdot 5,5 \cdot 10^6}{6,5 + 5,5} = 3 \text{ M}\Omega$$

Ganancia de tensión diferencial:

$$A_{vd} = G_{m_d} \cdot R_d = 190 \cdot 10^{-6} \cdot 3 \cdot 10^6 = 570 \text{ (55,1 dB)}$$

Producto ganancia por ancho de banda:

$$F_u = \frac{G_{m_d}}{2 \cdot \pi \cdot C} = \frac{190 \cdot 10^{-6}}{6,28 \cdot 30 \cdot 10^{-12}} = 1 \text{ MHz.}$$

y para señales fuertes, la Velocidad de Excursión:

$$SR = \frac{4 \cdot \pi \cdot F_u \cdot I_{CQ1-2}}{G_{m_d}} = \frac{4 \cdot 3,14 \cdot 10^6 \cdot 9,5 \cdot 10^{-6}}{190 \cdot 10^{-6}} = 0,63 \text{ V}/\mu\text{Seg.}$$

con lo que queda demostrado que la modificación de la estructura circuital permitió que manteniendo las restantes prestaciones, en el 741 se logra mejorar la característica de velocidad de excursión. Asimismo puede compararse los resultados numéricos obtenidos con las correspondientes especificaciones que proporcionan los fabricantes.

6.4.3.- Otra etapa de entrada de amplificador operacional :

La figura 6.21 muestra otra configuración utilizada como etapa de entrada de amplificador operacional pudiéndose comprobar la utilización de una fuente espejo tipo NPN como carga activa y la introducción de sendos resistores R_e en los circuitos de emisor de los transistores dispuestos en forma diferencial.

Como nuevamente la corriente diferencial en la carga es el doble de la corriente de colector diferencial y con el objetivo de determinar la transconductancia diferencial de este amplificador consideramos el circuito equivalente para la señal diferencial que se indica en la figura 6.22. En él se tiene:

$$I_{cd} = \frac{V_d}{2} \cdot \frac{1}{h_{ib} + R_E} \text{ por lo que } I_d = 2 \cdot I_{cd} = \frac{V_d}{h_{ib} + R_E} \text{ y } G_m = \frac{1}{(1/g_m) + R_e} = \frac{g_m}{1 + g_m \cdot R_e}$$

$$\text{mientras que la resistencia de entrada diferencial es: } R_{id} = 2 \cdot [h_{ie} + (h_{fe} + 1) \cdot R_e] \quad (6.17)$$

Si suponemos $2 \cdot I_{CQ} = 105 \mu\text{A}$; $R_e = 4,76 \text{ KOhm}$ y $C = 30 \text{ pF}$ con este tipo de etapas se obtienen los que se describen más adelante.

$$g_m = 40 \cdot I_{CQ} = 40 \cdot 52,5 \cdot 10^{-6} = 2,1 \text{ mA/V}$$

$$G_{m_d} = \frac{2,1 \cdot 10^{-3}}{1 + 2,1 \cdot 10^{-3} \cdot 4,76 \cdot 10^3} = 190 \mu\text{A/V}$$

$$R_{id} = 2 \cdot \left[\frac{240}{2,1 \cdot 10^{-3}} + (1 + 240) \cdot 4,76 \cdot 10^3 \right] = 2,5 \text{ M}\Omega$$

$$F_u = \frac{G_{m_d}}{2 \cdot \pi \cdot C} = \frac{190 \cdot 10^{-6}}{6,28 \cdot 30 \cdot 10^{-12}} = 1 \text{ MHz.}$$

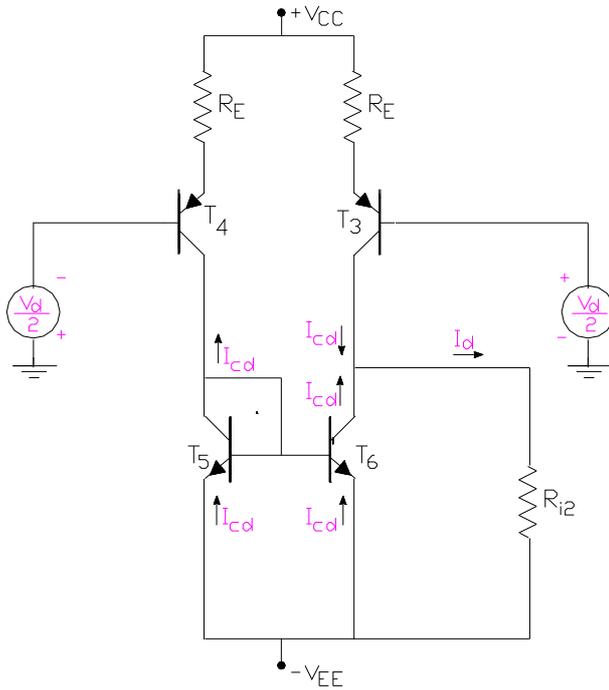


Figura 6.21 Diagrama esquemático de la primera etapa Del amplificador operacional LM118.

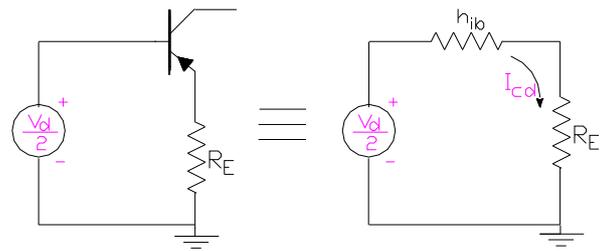


Figura 6.22 Circuito equivalente que analiza el parámetro transconductancia.

$$SR = \frac{4 \cdot \pi \cdot Fu \cdot I_{CQ1-2}}{G_{m_d}} = \frac{4 \cdot 3,14 \cdot 10^6 \cdot 52,5 \cdot 10^{-6}}{190 \cdot 10^{-6}} = 3,5 \text{ V}/\mu\text{Seg.}$$

como en esta etapa:

$$R_o = \frac{r_{oN} \cdot r_{oP} \cdot (1 + g_m R_e)}{r_{oN} + r_{oP} \cdot (1 + g_m R_e)} = \frac{[1/(2 \cdot 10^{-4} \cdot 2,1 \cdot 10^{-3})] \cdot [1/(5 \cdot 10^{-4} \cdot 2,1 \cdot 10^{-3})] \cdot (1 + 2,1 \cdot 10^{-3} \cdot 4,76 \cdot 10^3)}{[1/(2 \cdot 10^{-4} \cdot 2,1 \cdot 10^{-3})] + \{[1/(5 \cdot 10^{-4} \cdot 2,1 \cdot 10^{-3})] \cdot (1 + 2,1 \cdot 10^{-3} \cdot 4,76 \cdot 10^3)\}}$$

$$R_o = 2,27 \text{ MOhm}$$

resulta inferior, se puede obtener una ganancia inferior a los 55 dB de la etapa de entrada del 741.

Esta configuración es utilizada en el amplificador operacional LM 118, en donde $R_e = 2 \text{ KOhm}$, $C = 5 \text{ pF}$ y $2 \cdot I_{CQ} = 500 \mu\text{A}$ por lo que con él se puede conseguir:

$$G_{m_d} = 476 \mu\text{A/V} - R_{i_d} = 1 \text{ MOhm} - F_u = 15 \text{ Mhz.} - SR = 100 \text{ V}/\mu\text{Seg}$$

con una ganancia de tensión diferencial (así como otras prestaciones) inferior a la de las otras configuraciones.

6.4.4.- Etapas Diferenciales de Entrada Basadas en MOSFETS:

Debido a la alta densidad de integración que es posible lograr mediante la utilización del transistor MOS, desde su descubrimiento hace ya algunos años atrás se hizo muy extendido el diseño de los circuitos integrados analógicos en base a este componente activo, superando en tal sentido en lo que a grado de utilización se refiere, al transistor bipolar. En el tercer Capítulo de este trabajo, y luego de una revisión de su principio de funcionamiento, se han estudiado a los circuitos amplificadores básicos en base a MOS, asimismo en los últimos párrafos del Capítulo 5 se analizó el amplificador diferencial basado en FETs.

Dado que un amplificador diferencial a base de MOSFETs y con carga resistiva no difiere en su comportamiento respecto de lo ya conocido, no será objeto de estudio en esta oportunidad, en donde se pretende en cambio analizar las posibles cargas activas y circuitos de polarización a base de este componente activo, que en conjunto con el par diferencial MOS son los tres elementos de construcción más importantes en los circuitos integrados lineales con MOS.

6.4.4.1.- Estudio de la Linealidad de amplificador diferencial MOS en modo de vaciamiento:

No obstante lo anticipado resulta sin embargo muy conveniente complementar los conocimientos adquiridos analizando el rango dinámico de funcionamiento lineal que se puede esperar en un par diferencial MOS. A tal efecto reconsideremos el circuito de la figura 5.14, si en él los transistores fueran NMOS de canal permanente (operando en modo de vaciamiento), en su comportamiento para la señal diferencial se tendría que:

$$v_{g1} - v_{GS1} + v_{GS2} - v_{g2} = 0$$

recordando que por definición de señal diferencial: $v_{g1} - v_{g2} = v_d$

en tanto que de la física del MOSFET para canal bloqueado en un punto:

$$v_{GS} = V_P \cdot \left[1 - \sqrt{\frac{i_D}{I_{DSS}}} \right]$$

en donde v_{GS} e i_D son los llamados valores totales de tensiones y corrientes en los terminales del MOSFET. Así incorporando estas definiciones puede describirse a la señal diferencial como:

$$v_d = V_P \cdot \left[\sqrt{\frac{i_{D1}}{I_{DSS}}} + \sqrt{\frac{i_{D2}}{I_{DSS}}} \right]$$

Como la fuente de polarización (T_3) siempre debe proveer la suma de las corrientes de ambas ramas del diferencial se podrá expresar que:

$$i_{D1} = I_{DQ3} - i_{D2} \quad \text{e} \quad i_{D2} = I_{DQ3} - i_{D1}$$

por lo que reemplazando alternativamente en la ecuación anterior se podrá expresar a la tensión diferencial normalizada (v_d/V_p) como una función de la corriente normalizada (i_D/I_{DQ3}) en cada una de las dos ramas, es decir:

$$\frac{v_d}{V_p} = - \sqrt{\frac{I_{DQ3} - i_{D2}}{I_{DSS}}} + \sqrt{\frac{i_{D2}}{I_{DSS}}}$$

$$\frac{v_d}{V_p} = - \sqrt{\frac{I_{DQ3} - i_{D1}}{I_{DSS}}} + \sqrt{\frac{i_{D1}}{I_{DSS}}}$$

Entonces, para analizar estos resultados definiremos a dichas variables normalizadas como $X = v_d/V_p$, $Y_1 = i_{D1}/I_{DSS}$ e $Y_2 = i_{D2}/I_{DSS}$ y pondremos a partir de estas últimas ecuaciones, a las corrientes Y como función de la tensión diferencial X en forma similar a lo ya hecho para el caso de bipolares. Ello nos lleva finalmente a representar gráficamente a las siguientes dos ecuaciones:

$$Y_1 = 0,5 \cdot (1 + X \cdot \sqrt{[2 (I_{DSS}/I_{DQ3}) - (I_{DSS}/I_{DQ3})^2 \cdot X^2]})$$

$$Y_2 = 0,5 \cdot (1 - X \cdot \sqrt{[2 (I_{DSS}/I_{DQ3}) - (I_{DSS}/I_{DQ3})^2 \cdot X^2]})$$

Cosa que llevamos a cabo en el gráfico de la Figura 6.23, tomando como parámetro a la relación (I_{DSS}/I_{DQ3}):

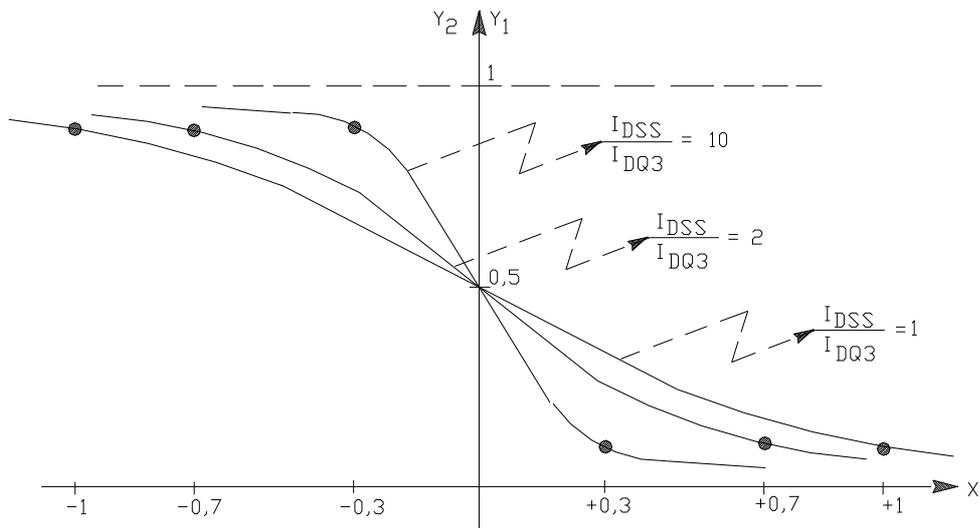


Figura 6.23 Linealidad del amplificador diferencial NMOS en modo de vaciamiento.

Dicho par diferencial de entrada se carga con la fuente espejo formada por Q_3 y Q_4 de esta forma la etapa de entrada es idéntica a las ya estudiadas precedentemente.

La segunda etapa esta constituida por el transistor Q_6 en una configuración de fuente común, cargado mediante la técnica de carga activa por medio del transistor Q_7 en una configuración fuente común. Como veremos oportunamente y tal como ocurre en el 741, el condensador C_c tiene como objetivo llevar a la práctica la compensación necesaria para evitar las oscilaciones. La ganancia diferencial de la primera etapa se vio ya que resulta ser

$$A_{Vd1} = -g_{fs1} \cdot (r_{ds2} // r_{ds4})$$

mientras que en la segunda etapa, el fuente común con la carga activa presentan una ganancia:

$$A_{V2} = -g_{fs6} \cdot (r_{ds6} // r_{ds7})$$

con lo que la ganancia a lazo abierto, en C.C. y muy bajas frecuencias y con la salida a circuito abierto resulta:

$$A = A_{Vd1} \cdot A_{V2}$$

pudiéndose conseguir valores típicos comprendidos entre unas 1000 y 2000 veces. Una característica sorprendente del circuito de la figura 6.24 es que no dispone de la etapa de salida de gran señal y de baja resistencia de salida. De hecho, la resistencia de salida del circuito es igual a $(r_{ds6} // r_{ds7})$ y es por lo tanto, mas bien alta. Por ello, este circuito no es adecuado para conectarle cargas de baja impedancia, no obstante, es igualmente utilizado frecuentemente para instrumentar amplificadores operacionales en CI VLSI en los que el amplificador operacional debe controlar solo una pequeña carga capacitiva, como por ejemplo en circuitos filtro activos que utilizan la técnica de capacitancia conmutada. La simpleza del circuito da lugar a un amplificador operacional de calidad razonablemente buena en un área de chip muy pequeña.

EJEMPLO 6.2

Analice el circuito de la figura 6.24 , suponiendo $I_{REF} = 90 \mu A$ y con las siguientes geometrías de dispositivos (en μm):

Transistor	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
W/L	20/0,8	20/0,8	5/0,8	5/0,8	40/0,8	10/0,8	40/0,8	40/0,8

Además $V_{TN} = 0,7 V$, $V_{TP} = 0,8 V$, $\mu_N C_{ox} = 160 \mu A/V^2$ y $\mu_P C_{ox} = 40 \mu A/V^2$ con $V_A = 10 V$ para todos los transistores. $V_{DD} = V_{SS} = 2,5 V$

Para todos los componentes evalúe la corriente de reposo I_D , la tensión de trabajo $|V_{OV}| = |V_{GS} - V_T|$, V_{GS} , g_{fs} y r_{os} . Además encuentre las ganancias A_{Vd1} y A_{V2} , la ganancia de tensión a lazo abierto, y el rango de tensiones de modo común de entrada en ambas polaridades, así como el rango de excursión de tensión en la salida en ambas polaridades.

Solución

Obsérvese que en la figura 6.24 Q_8 y Q_5 forman una fuente de corriente espejo y de acuerdo a los datos proporcionados son dos transistores iguales de modo que $I = I_{REF} = 90 \mu\text{A}$. Por lo tanto Q_1 , Q_2 , Q_3 y Q_4 se encuentran polarizados con una corriente igual a $I/2 = 45 \mu\text{A}$. Debido a que Q_7 es coincidente con Q_5 y Q_8 la corriente en Q_7 es igual a $I_{REF} = 90 \mu\text{A}$. Por ultimo, Q_6 conduce una corriente igual de $90 \mu\text{A}$.

Luego para cada componente se puede determinar su constante B así para los canales P, o sea Q_1 , Q_2 , Q_5 , Q_7 y Q_8 :

$$B = 0,5 \mu\text{p} C_{\text{ox}}(W/L), \text{ por lo tanto } B_1 = B_2 = 0,5 \cdot 40 \cdot (20/0,8) \cdot 10^{-6} = 0,5 \cdot 10^{-3} \text{ (A/V}^2\text{)}$$

$$B_5 = B_7 = B_8 = 0,5 \cdot 40 \cdot (40/0,8) \cdot 10^{-6} = 1 \cdot 10^{-3} \text{ (A/V}^2\text{)}$$

mientras que para los transistores de canal N; Q_3 , Q_4 y Q_6 :

$$B = 0,5 \mu\text{p} C_{\text{ox}}(W/L), \text{ por lo tanto } B_3 = B_4 = 0,5 \cdot 160 \cdot (5/0,8) \cdot 10^{-6} = 0,5 \cdot 10^{-3} \text{ (A/V}^2\text{)}$$

$$B_6 = 0,5 \cdot 160 \cdot (10/0,8) \cdot 10^{-6} = 1 \cdot 10^{-3} \text{ (A/V}^2\text{)}$$

Luego como se conoce la I_D de cada componente se puede determinar la tensión de trabajo V_{OV} haciendo:

$$V_{OV} = \sqrt{\frac{I_D}{B}} \quad \text{y} \quad V_{GS} = V_{OV} + V_T$$

Asimismo la transconductancia y la resistencia de salida de cada componente se determina a partir de

$$g_{fs} = \frac{2 I_D}{V_{OV}} \quad \text{y} \quad r_{os} = \frac{V_A}{I_D}$$

Los valores resultantes se transcriben en la siguiente tabla:

Tabla 6.1	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
I_D (μA)	45	45	45	45	90	90	90	90
$ V_{OV} $ (V)	0,3	0,3	0,3	0,3	0,3	0,3	0,3	0,3
V_{GS} (V)	1,1	1,1	1	1	1,1	1	1,1	1,1
g_{fs} (mA/V)	0,3	0,3	0,3	0,3	0,6	0,6	0,6	0,6
r_{os} (K Ω)	222	222	222	222	111	111	111	111

En consecuencia, la ganancia de tensión diferencial de la primera etapa se determina por:

$$A_{vd1} = -g_{fs1} \cdot (r_{ds2} // r_{ds4}) \quad \text{o sea} \quad A_{vd1} = -0,3 \cdot (222 // 222) = -33,3$$

y la ganancia de tensión de la segunda etapa

$$A_{V2} = -g_{fs6} \cdot (r_{ds6} // r_{ds7}) \quad \text{o sea} \quad A_{V2} = -0,6 (111//111) = -33,3$$

Por lo tanto la ganancia total de C.C. y a lazo abierto es:

$$A = A_{Vd1} \cdot A_{V2} = 33,3 \cdot 33,3 = 1109 \text{ equivalentes a } 61 \text{ dB}$$

El limite superior o valor máximo de la tensión de modo común de pico positivo es aquella tensión de dicha polaridad que se aplica a la entrada a la cual el transistor Q_5 deja de operar en la región de saturación. Para que Q_5 opere en saturación, la tensión a través de el entre fuente y drenaje (V_{SD5}) debe ser igual, por lo menos, a la tensión de trabajo V_{OV} a la cual opera (es decir 0,3 V), la tensión mas alta permitida en el drenaje de Q_5 debe ser +2,2 V. Se concluye que el valor limite de la tensión de entrada de modo común de pico positivo v_{ICM}^+ debe ser

$$v_{ICM max}^+ = 2,2 - 1,1 = 1,1 \text{ V}$$

En cuanto al limite inferior del rango de tensión de entrada de modo común, es decir su pico negativo, es el valor de la tensión de entrada al cual Q_1 y Q_2 dejan de operar en la zona de saturación. Esto ocurre cuando el voltaje de entrada cae por debajo del valor de la tensión drenaje de Q_1 en V_{TP} volts. Debido a que el terminal de drenaje de Q_1 se encuentra a una tensión de $-2,5 + 1 = -1,5$ V, entonces el limite inferior del rango de variación de la tensión de entrada de modo común es de $-2,3$ V.

$$v_{ICM max}^- = -1,5 - 0,8 = -2,3 \text{ V}$$

La tensión de salida mas alta de signo positivo es el valor al cual Q_7 deja de operar en su rfeion de saturación, que es $V_{DD} - V_{OV7} = 2,5 / 0,3 = 2,2$ V, mientras que la tensión de salida negativa mas grande es aquel valor para el cual Q_6 deja de operar en su región de saturación, que es $-V_{SS} + V_{OV6} = -2,5 + 0,3 = -2,2$ V. Por lo tanto el rango de variación de la excursión de tensión de salida es de $-2,2$ a $+2,2$ V

6.5.1. Tensión Residual de entrada:

Los desapareamientos entre ramas diferenciales son similares a los que aparecen en la tecnología bipolar y arrojan como resultado la aparición de tensiones residuales en la salida del Op.Amp. de magnitud similar y serán estudiadas en el Capítulo 8 del presente trabajo.

Sin embargo en las etapas de entrada CMOS debido a que tales desapareamientos entre transistores son raros por naturaleza, se registra una tensión residual de entrada incluso si todos estos componentes semiconductores están perfectamente igualados. Se trata en este caso de una tensión residual de característica sistemática y la única forma en que puede reducirse al mínimo es mediante un diseño adecuadamente cuidadoso. Estas limitaciones no se presentan en la tecnología bipolar debido a que en ella es posible conseguir un alto valor de ganancia por etapa.

Para comprender como se pude presentar una tensión residual de características sistemática retornemos al circuito de la figura 6.24 con los dos terminales de entrada cortocircuitados y conectados

a masa (sin señal). Si la etapa diferencial de entrada incluida su carga activa esta perfectamente balanceada entonces la tensión que aparece en el terminal de drenaje de T_4 será igual a la de drenaje del transistor T_3 que es $(-V_{SS} + V_{GS4})$ y como con este mismo potencial se encuentra alimentada la compuerta de T_6 , la corriente por el canal de este T_6 estará relacionada con la del canal de T_4 que es igual a I según:

$$I_{D6} = \frac{B_6}{B_4} \cdot I$$

Para que no aparezca tensión residual a la salida esta corriente debe ser exactamente igual a la corriente suministrada por T_7 en tanto que esta última, se encuentra relacionada con la corriente $2.I$ del transistor T_5 que alimenta al amplificador diferencial según:

$$I_{D6} = \frac{B_7}{B_5} \cdot 2.I$$

quiere decir entonces que para que ambas corrientes de los transistores T_6 y T_7 sean idénticas debe satisfacerse que:

$$\frac{B_6}{B_4} = 2 \cdot \frac{B_7}{B_5}$$

y se esta condición no se satisface, aparece la nombrada tensión residual de característica sistemática.

Entre otras las técnicas de diseño cuidadoso antes referidas sugieren disponer la menor cantidad de transistores apilados entre las tensiones $+V_{DD}$ y $-V_{SS}$ que deban respetar la condición precedentemente señalada.

6.5.2. Circuito de polarización para estabilizar g_{fs} :

La figura 6.25 presenta una posible solución para el circuito de polarización del amplificador operacional de dos etapas que hemos estado analizando. La principal ventaja de este circuito es que como puede comprobarse solo emplea transistores y esta basado en la identidad de los transistores canal P apilados T_8 , T_9 y T_{10} que estando polarizados con la fuente V_{DD} positiva en sus terminales de fuente y mediante la fuente negativa V_{SS} en sus terminales de drenaje y teniendo cortocircuitados sus terminales de compuerta y drenaje, al formarse el canal por lo tres transistores circula la misma corriente, de modo que de acuerdo a su tensión de formación de canal y constante B , la suma de $V_{DD} + V_{SS}$ se divide en tres partes iguales como tensiones $V_{GS8} = V_{GS9} = V_{GS10}$.

Otra alternativa es introducir un circuito fuente de corriente que se presenta en la figura 6.26 para producir la I_{REF} del amplificador operacional de la figura 6.24.

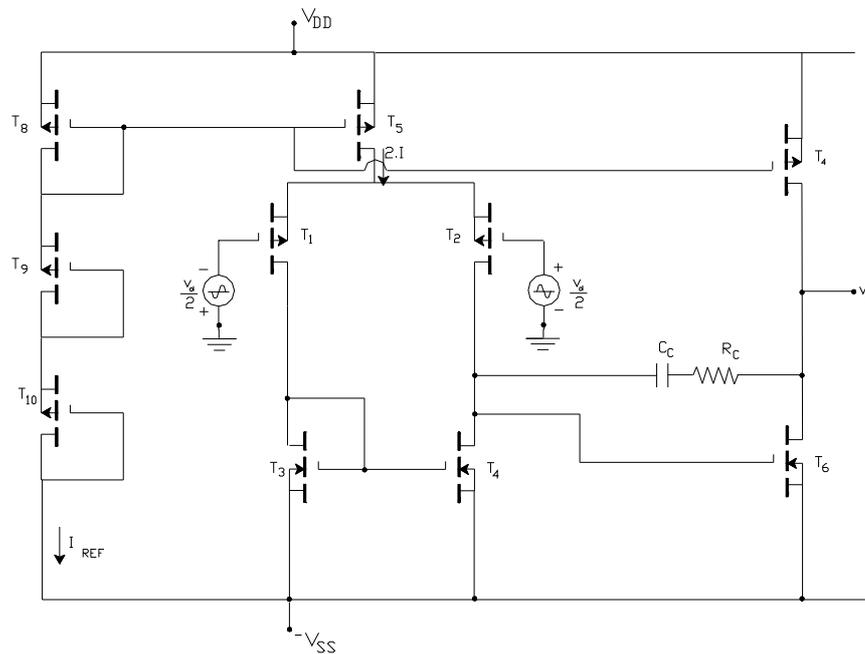


Figura 6.25 Amplificador Operacional CMOS de dos etapas completo.

El circuito que se presenta tiene la propiedad interesante y útil de proporcionar una corriente de polarización cuyo valor es independiente de la tensión de alimentación y de la tensión de umbral de los MOSFETS. Mas aun, la transconductancia de los transistores polarizados por este circuito tiene valores determinados solo por un resistor y las dimensiones del dispositivo.

Este circuito de polarización que se presenta en la figura 6.26 consta de dos transistores deliberadamente no coincidentes, Q_{12} y Q_{13} , el primero suele ser alrededor de cuatro veces mas ancho que el segundo (Steininger, 1990 Johns y Martín, 1997). Un resistor R_B se conecta en serie con la fuente de Q_{12} . Debido a que, como se demostrara, R_B determina la corriente de polarización I_B y la transconductancia g_{fs12} , su valor debe ser exacto y estable; en la mayoría de las aplicaciones, R_B seria un resistor fuera del chip. Con el fin de reducir el efecto de modulación de longitud del canal en Q_{12} , se incluyen dos transistores: uno cascode Q_{10} y otro conectado al diodo coincidente Q_{11} para que proporcione una tensión de polarización a Q_{10} . Por ultimo, un espejo de corriente de canal P formado por un par de dispositivos coincidentes, Q_8 y Q_9 , replica la corriente I_B de regreso a Q_{11} y Q_{13} , además de proporcionar una línea de polarización para Q_5 y Q_7 del circuito operacional.

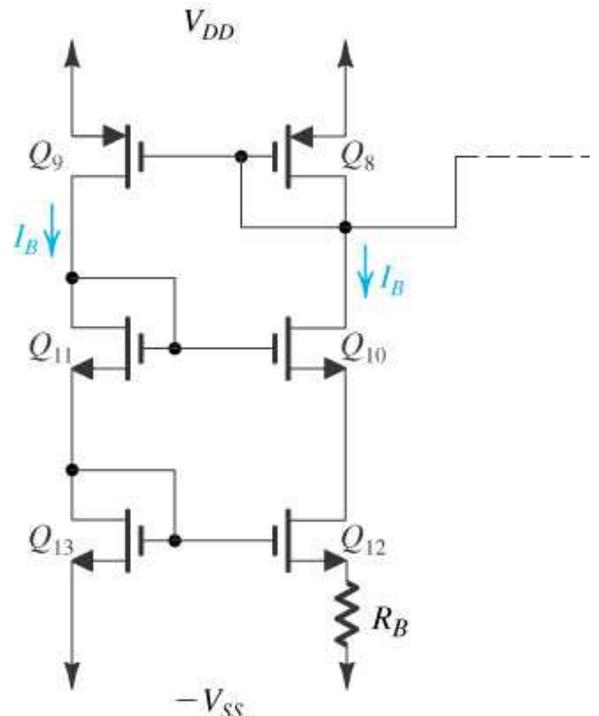


Figura 6.26 Corriente de polarización para el amplificador operacional de dos etapas.

El circuito opera de la siguiente manera: el espejo de corriente (Q_8 , Q_9) causa que Q_{13} conduzca una corriente igual a la de Q_{12} (es decir I_B). Por lo tanto,

$$I_B = 0,5 \mu_N C_{ox} \left(\frac{W}{L} \right)_{12} \cdot (V_{GS12} - V_T)^2 \quad ; \quad I_B = 0,5 \mu_N C_{ox} \left(\frac{W}{L} \right)_{13} \cdot (V_{GS13} - V_T)^2 \quad (6.18)$$

En el circuito se ve que las tensiones de compuerta fuente de Q_{12} y Q_{13} estan relacionados mediante

$$V_{GS13} = V_{GS12} + I_B \cdot R_B$$

Si se resta V_T a ambos lados de esta ecuación y se emplean las ecuaciones (6.18) para reemplazar $(V_{GS12} - V_T)$ y $(V_{GS13} - V_T)$ se obtiene:

$$\sqrt{\frac{2 I_B}{\mu_N C_{ox} (W/L)_{13}}} = \sqrt{\frac{2 I_B}{\mu_N C_{ox} (W/L)_{12}}} + I_B R_B \quad (6.19)$$

Esta ecuación puede reordenarse para obtener

$$I_B = \frac{2}{\mu_N C_{ox} (W/L)_{12} R_B^2} \left\{ \sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1 \right\}^2 \quad (6.20)$$

a partir de esta ultima ecuación se observa que la I_B esta determinada por las dimensiones de Q_{12} y el valor de R_B y por la relación entre las dimensiones de Q_{12} y Q_{13} . Mas aun, la ecuación (6.20) puede reordenarse de la forma:

$$R_B = \frac{2}{\sqrt{2 \mu_N C_{ox} (W/L)_{12} I_B}} \left\{ \sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1 \right\} \quad (6.21)$$

en la que se reconoce el factor $\sqrt{2 \mu_N C_{ox} (W/L)_{12} I_B}$ como g_{fs12} ; por lo tanto

$$g_{fs12} = \frac{2}{R_B} \left\{ \sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1 \right\}$$

Se trata de un resultado muy interesante: g_{fs12} esta determinada solo por el valor de R_B y la relación de las dimensiones de Q_{12} y Q_{13} . Mas aun, debido a que la g_{fs} de un MOSFET es proporcional a $\sqrt{I_D (W/L)}$, cada transistor polarizado por el circuito de la figura 6.26 (es decir, cada transistor cuya corriente de polarización se derive de I_B) tendrá un valor de g_{fs} que es un múltiplo de g_{fs12} . De manera especifica, el i -esimo MOSFET de canal n tendrá:

$$g_{fsi} = g_{fs12} \left\{ \sqrt{\frac{I_{Di}(W/L)_i}{I_B (W/L)_{12}}} \right\}$$

y el i-esimo dispositivo de canal p tendrá:

$$g_{fsi} = g_{fs12} \left\{ \sqrt{\frac{\mu_P I_{Di}(W/L)_i}{\mu_N I_B (W/L)_{12}}} \right\}$$

Por ultimo debe tomarse en cuenta que el circuito de polarización de la figura 6.26 emplea retroalimentación positiva y, por lo tanto, debe tenerse cuidado en su diseño para evitar un desempeño inestable. La inestabilidad se evita al hacer Q_{12} mas ancho que Q_{13} , como ya se señaló. No obstante, aun puede ocurrir cierta forma de inestabilidad; en realidad, el circuito puede operar en un estado estable en el que todas las corrientes son cero. Para salir de este estado, la corriente debe inyectarse en una de sus nodos, para “iniciar” su operación. La retroalimentación y la estabilidad se estudiarán en capítulos subsiguientes.

6.6. AMPLIFICADOR OPERACIONAL CMOS DE CASCODE DOBLADO

En esta sección se estudia otro tipo de circuito amplificador operacional CMOS: el cascode y el cascode doblado. El circuito está fundamentado en que debido a la baja transconductancia de los MOSFET y la necesidad de conseguir mayores ganancias sin utilizar muchas etapas tal aumento de ganancia se debe conseguir en base al aumento de la resistencia de salida cuando esta etapa es cargada por un circuito de alta resistencia de entrada tal como un MOSFET en fuente o drenaje común.

El circuito de la figura 6.27 muestra una etapa de entrada de amplificador operacional realizada con un amplificador diferencial cascode cargado mediante una carga activa realizada por una fuente de corriente del tipo WILSON y que opcionalmente también podría ser del tipo Cascode.

Antes de dedicarnos a estudiar el circuito de la figura haremos una breve revisión de la configuración Cascode. Para tal fin analizaremos en primer lugar el circuito cascode MOS fuente de corriente como la que se indica en la figura 6.28.

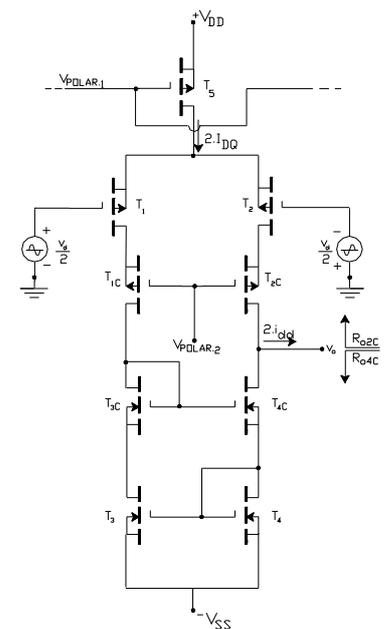


Figura 6.27 Etapa de entrada diferencial cascode fuente de corriente WILSON.

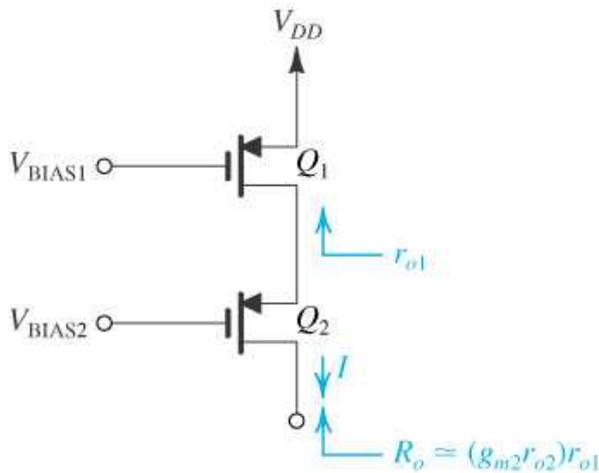


Figura 6.28 Fuente de corriente cascode

salida se puede explotar aun mas si se apela al Circuito que se indica en la figura 6.29. La esencia de la operación del cascode MOS es que el transistor cascode en compuerta común, Q_2 multiplica la resistencia presente en su terminal de fuente (que es r_o del transistor Q_1 en configuración fuente común) por su Factor de Amplificación μ_2 , para proporcionar una resistencia de salida ($\mu_2 \cdot r_{o1}$).

Se concluye que podemos aumentar aun mas la resistencia de salida si se añade otro nivel de disposición en cascode, como se muestra en la figura 6.29

Tal como se observa en el circuito de la figura 6.27 los transistores T_{1C} y T_{2C} son los transistores cascode para el amplificador diferencial formado por los transistores T_1 y T_2 y operan en la configuración compuerta común (tierra virtual en sus terminales de compuerta unidos entre sí) y por ello elevan la resistencia de salida del transistor T_2 ya que de acuerdo a la ecuación:

$$R_{o2C} = r_{os2C} + (\mu_{2C} + 1) r_{os2} \quad \text{que prácticamente se puede resumir como } R_{o2C} = (g_{fs2C} \cdot r_{os2C}) \cdot r_{os2}$$

Por otra parte los transistores T_3 , T_4 y T_{3C} , T_{4C} conforman un espejo doble de corriente en una configuración tipo Wilson si la observamos desde el terminal de salida de esta etapa, todo ello operando como carga activa de la configuración diferencial recién analizada y por

Q_1 es un transistor fuente de corriente y Q_2 es el transistor cascode. Se elige la tensión de C.C. V_{POL1} para que Q_1 proporcione el valor requerido de I . Se elige V_{POL2} para mantener a Q_2 y a Q_1 permanentemente en zona de saturación. Mientras la resistencia presenta el terminal de drenaje de Q_1 es r_{o1} , el transistor cascode Q_2 multiplica esta resistencia por $(g_{fs2} r_{o2})$ de modo que la resistencia de salida para la fuente de corriente esta dada aproximadamente por:

$$R_o = (g_{fs2} r_{o2}) r_{o1}$$

Este efecto multiplicador de resistencia de

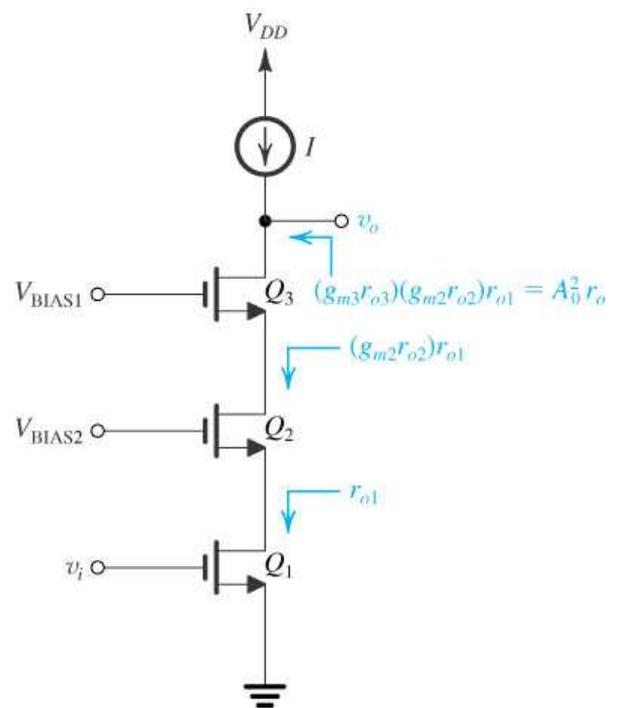


Figura 6.29 Cascode doble

consecuencia logra duplicar la corriente diferencial en dicho punto de conexión de la carga, tal como se vio oportunamente. La diferencia es que ahora la resistencia de salida de esta configuración Wilson (recordando la alta resistencia de entrada en la compuerta de T_4) resulta ser también:

$$R_{O4C} = r_{os4C} + (\mu_{4C} + 1) r_{os3} \quad \text{que prácticamente se puede resumir como } R_{O4C} = (g_{fs4C} \cdot r_{os4C}) \cdot r_{os3}$$

y la resistencia de salida de la etapa quedará como $R_o = R_{O2C} // R_{O4C}$ pudiendo llegar a ser dos ordenes de magnitud superior (100 veces superior) a la del circuito de la figura 6.3 ($r_{os}/2$), con la consecuente mejora en la ganancia diferencial de esta etapa.

Análisis dinámico de modo común:

La configuración descrita en la figura 6.27 en base a la tecnología CMOS y haciendo uso del sistema de carga activa, que como hemos visto duplica la corriente diferencial en la carga, al igual como ocurriera en los circuitos con transistores bipolares, si todo el circuito es simétrico anulan la corriente de modo común en la carga arrojando como resultado un rechazo prácticamente infinito con la ventaja ahora que al ser mulas las corriente de compuerta la carga activa es mucho mas simétrica. También como en ese caso en la realidad las relaciones de rechazo de modo común que se obtienen son valores finitos debido a las inevitables desigualdades en estos componentes que conforman la etapa de entrada.

6.6.1. El cascode doblado

Una desventaja del doble cascode que estudiamos en la figura 6.29 es que ahora hay un transistor adicional apilado entre ambos terminales de las fuentes de alimentación (comúnmente descriptos como rieles - derivado del idioma ingles). Mas aun, debido a que se esta tratando con resistencias de salida del orden de $\mu^2 \cdot r_o$, también se necesitara implantar la fuente de corriente I empleando otro cascode doble, que agrega un transistor mas a la pila. La dificultad planteada por apilar transistores adicionales se aprecia si se recuerda que V_{DD} apenas es un poco mayor que 1 V en las tecnologías de proceso CMOS mas modernas.

Para evitar el problema de apilar un gran numero de transistores en una fuente de alimentación de bajo voltaje, se puede usar un transistor PMOS para el dispositivo cascode, como se muestra en la figura 6.30

Aquí como antes, el transistor NMOS, Q_1 , opera en la configuración fuente común, pero la etapa compuerta común se instrumenta empleando el transistor PMOS, Q_2 . Se necesita una fuente de corriente adicional I_2 para polarizar a Q_2 y proporcionarle su carga activa.

Téngase en cuenta que ahora Q_1 opera a una corriente de polarización igual a $(I_1 - I_2)$. Por ultimo, se requiere una tensión de C.C. V_{BIAS}

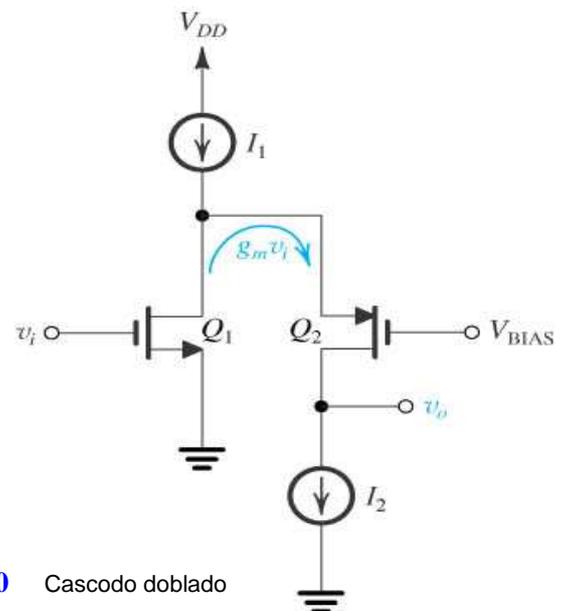


Figura 6.30 Cascode doblado

para proporcionar un nivel de C.C. apropiado para la compuerta del transistor cascode Q_2 . Se debe seleccionar su valor para que Q_2 y Q_1 operen en la región de saturación.

La operación a pequeña señal del circuito de la figura 6.30 es similar a la del cascode NMOS. Aquí, la diferencia es que la corriente de señal $g_{fs} v_i$ esta doblada hacia adentro y circula hacia el interior del terminal de fuente de Q_2 , lo que da al circuito en nombre de cascode doblado que se ha transformado en un bloque de construcción muy utilizado en los amplificadores operacionales CMOS. La Figura 6.31 presenta una etapa de entrada típica de este tipo de amplificadores operacionales denominados de cascode doblado.

Para el análisis de este circuito recordemos que para señales diferenciales de entrada, tanto Q_1 como de Q_2 operan como amplificador fuente común. Además tengase en cuenta que los terminales de compuerta de Q_3 y Q_4 están conectados a un potencial de C.C. constante (V_{BIAS1}) y, por lo tanto, están a tierra de señal en configuración compuerta común. Por lo tanto, para las señales diferenciales de entrada cada uno de los pares de transistores Q_1 - Q_3 y Q_2 - Q_4 actúa como un amplificador cascode doblado como el de la figura 6.30.

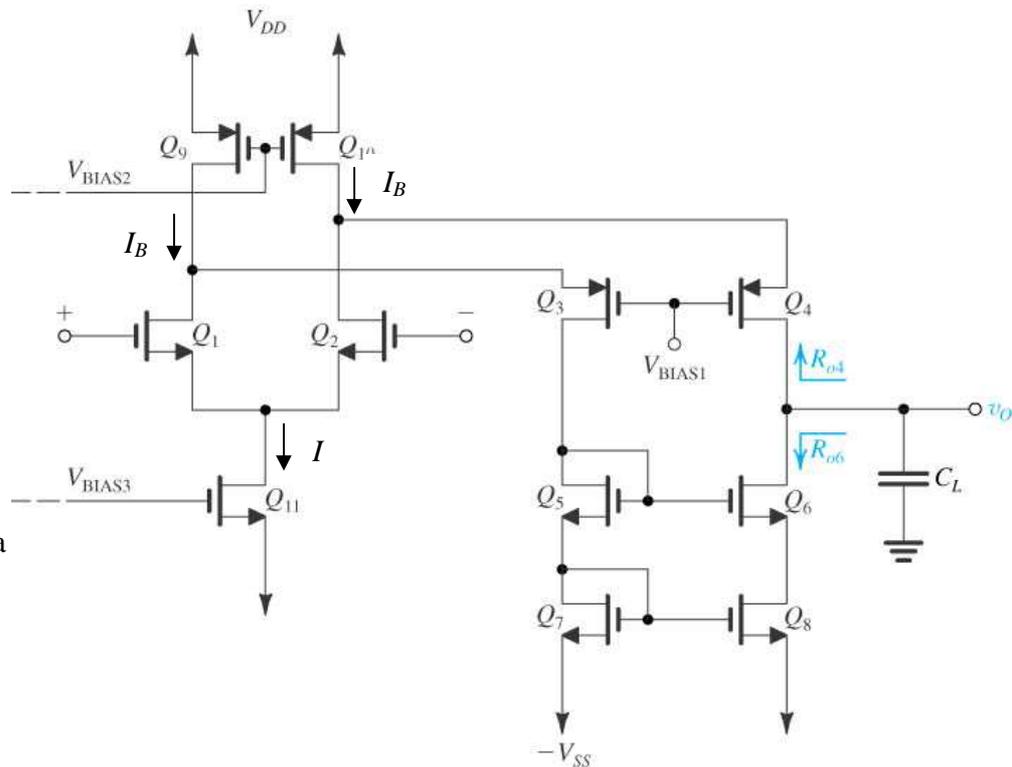


Figura 6.31 Estructura del amplificador operacional CMOS de cascode doblado

Obsérvese que el par diferencial de entrada esta polarizado por una fuente de corriente constante I mediante el circuito asociado al transistor Q_{11} . Por lo tanto, Q_1 y Q_2 operan a una corriente de polarización $I/2$. De acuerdo con las ecuaciones de los nodos de drenaje de estos transistores la corriente de polarización de los transistores Q_3 y Q_4 resultan ser $(I_B - 0,5 I)$. La selección de $I_B = I$ fuerza a todos los transistores a operar a la misma corriente de polarización $0,5 I$. Sin embargo, por razones que se explicaran en breve el valor de I_B suele ser un poco mas grande que I .

Si como ya se destaco recientemente el fundamento del uso de la configuración cascode es la obtención de una alta resistencia de salida de este tipo de amplificador, entonces la resistencia de salida de la fuente de corriente que se emplea como carga activa debe ser igualmente alta por eso que se esta utilizando la configuración de fuente de corriente cascode implementada por el doble espejo Q_5, Q_6 y $Q_7 - Q_8$.

Por ultimo téngase en cuenta que C_L esta representando la capacitancia total en el nodo de salida. Incluye las capacitancias internas de los transistores, una capacidad de carga real (si la hay) y

posiblemente un capacitor adicional introducida deliberadamente con el objetivo de compensar al amplificador y evitar inestabilidades al utilizar el amplificador operacional dentro de un lazo de realimentación exigente. Este aspecto circuital marca otra diferencia respecto de lo visto en el amplificador operacional de dos etapas.

No se muestran en la figura 6.31 los detalles para generar las tensiones de polarización V_{BIAS1} , V_{BIAS2} , V_{BIAS3} . No obstante, si interesa la manera en que habrán de seleccionarse deberá tenerse en cuenta el objetivo de que todos los transistores operen dentro de su región de saturación aun cuando en los terminales de entrada del amplificador operacional se ingresen los valores máximos permitidos de tensión de modo común de entrada y se desee obtener la máxima tensión de excursión de salida.

La ganancia de tensión de esta etapa, de acuerdo a lo ya visto resulta:

$$A_{Vd} = g_{fs1} \left\{ \frac{[g_{fs4} r_{o4} (r_{o2} // r_{o10})]}{(g_{fs6} r_{o6} r_{o8})} \right\} \quad (6.22)$$

6.6.2.- Rango de variación de la tensión de entrada de modo común

Para encontrar el rango de variación de la tensión de entrada de modo común, en el circuito de la figura 6.31 se unen los dos terminales de entrada y se conectan a una tensión de modo común de entrada V_{ICM} . El valor máximo de V_{ICM} de polaridad positiva esta limitado por el requisito de que Q_1 y Q_2 deben operar en saturación permanentemente. Por lo tanto V_{ICMmax}^+ debe estar por lo menos V_{TN} volts arriba de la tensión de los terminales de drenaje de Q_1 y Q_2 . Esta ultima tensión esta determinada por la V_{BIAS1} y debe permitir una caída de tensión a través de Q_9 y Q_{10} por lo menos igual a $|V_{OV9/10}| = |V_{GS9/10} - V_{TP}|$. Si se supone que Q_9 y Q_{10} realmente operan en el limite de saturación V_{ICMmax}^+ debe ser:

$$V_{ICMmax}^+ = V_{DD} - |V_{OV9/10}| + V_{TN} \quad (6.23)$$

Como se puede apreciar, esta tensión puede ser mayor que V_{DD} y esto configura una mejora importante sobre el caso del circuito de dos etapas. Debe seleccionarse un valor de V_{BIAS2} de manera que produzca el valor requerido de I_B mientras que Q_9 y Q_{10} operan a un pequeño valor de $|V_{OV9/10}|$ (es decir 0,2 V, mas o menos). El valor mínimo de V_{ICM} es decir V_{ICMmax}^- es el mismo que en el caso del amplificador de dos etapas, es decir:

$$V_{ICMmax}^- = -V_{SS} + V_{OV11} + V_{OV1} + V_{TN} \quad (6.24)$$

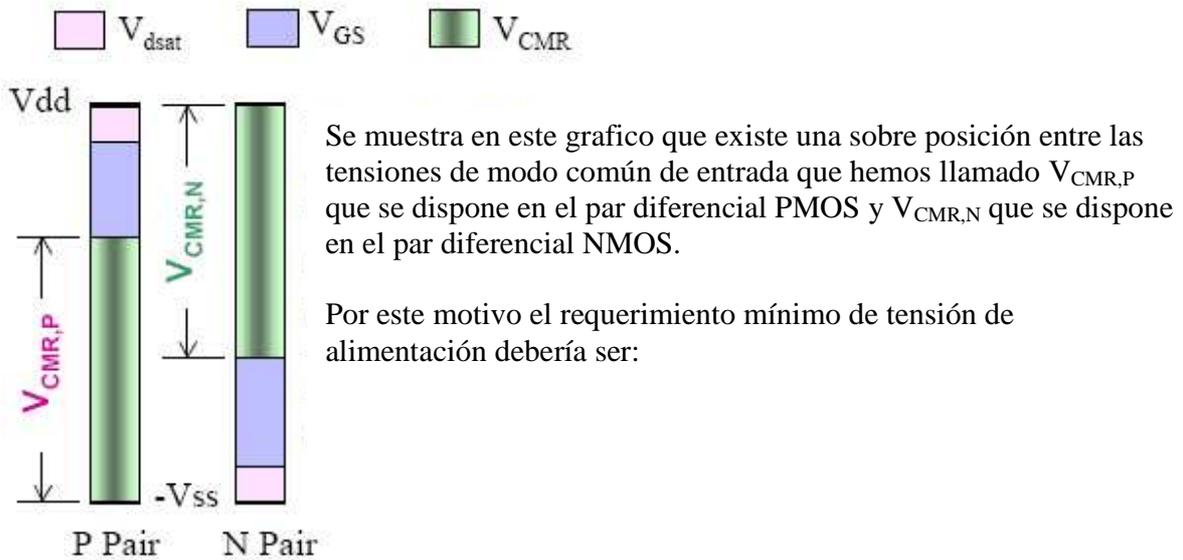
La presencia de la tensión de umbral V_{TN} en esta ultima expresión indica que V_{ICMmax}^- no es lo suficientemente bajo. A continuación se describirá una técnica ingeniosa para resolver este problema.

6.6.3.- Ampliación del rango de variación de la tensión de modo común de entrada

Si revisamos algunas características de las dos aplicaciones básicas de los amplificadores operacionales nos interesa ahora volver a los conceptos de máxima excitación de modo común en sus dos polaridades, lo que suele llamarse “input swing” así como la cantidad de excursión en el terminal de salida, reconocida en este caso como “output swing”.

En la sección anterior destacamos que mientras el limite superior en el rango de tensión de entrada de modo común excedía la tensión de alimentación V_{DD} , el limite inferior será significativamente menor

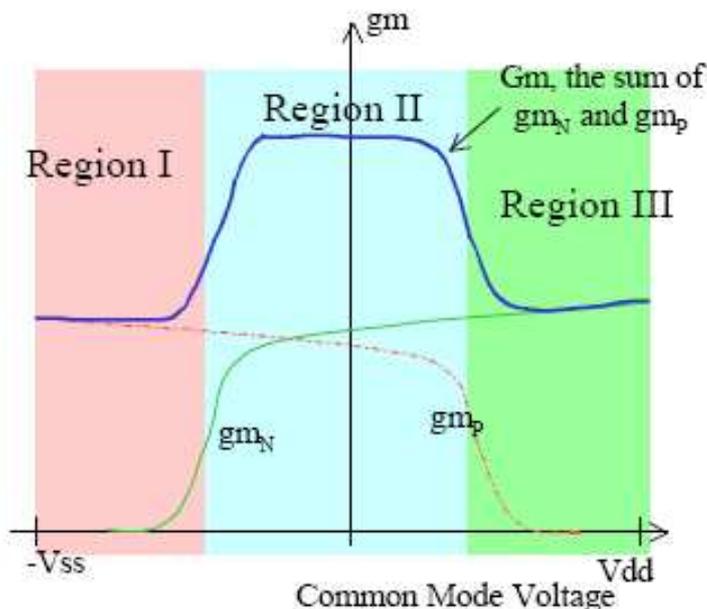
Si para esta configuración volvemos a revisar el rango de posible variación de la tensión de entrada de modo común, en las dos polaridades se observaría la siguiente situación:



$$V_{SUP} \geq 4V_{dsat} + V_{TN} + V_{TP}$$

La mayoría de los amplificadores operacionales CMOS rail to rail operan con etapas de entrada configuradas como se describió precedentemente pero con alguna variación que descubriremos si observamos que tan bien se comporta la configuración propuesta.

Si estudiamos la transconductancia del sistema amplificador que hemos propuesto como etapa de entrada de un amplificador operacional rail to rail, como hay una región de valores de tensión de entrada de modo común en donde los dos amplificadores diferenciales complementarios contribuyen con corriente y en razón de que la transconductancia de un transistor MOS resulta:



$$g_{fs} = gm = \sqrt{2 B I_{tail}}$$

que varia según la ley indicada en la grafica:

Región I: Cuando V_{ICM} esta cercana al rail negativo solo el transistor de canal P contribuye con corriente debido a que el de canal N se encuentra cortado dado que su V_{GS} es inferior a V_T . La transconductancia total del par diferencial complementario es en esta región:

$$g_{mT} = g_{mP} = gm$$

Región II: Mientras V_{ICM} se encuentra en el rango medio ambos transistores, el canal P y el canal N contribuyen con corriente de modo que la transconductancia equivalente es:

$$g_{mT} = g_{mP} + g_{mN} = 2 gm$$

Región III: Cuando V_{ICM} se acerca al rail positivo el transistor canal P se encuentra cortado y es el de canal N quien contribuye únicamente con corriente, así:

$$g_{mT} = g_{mN} = gm$$

La transconductancia total equivalente de la etapa de entrada varia entre un valor gm hasta $2gm$, es decir se observa un 100 % de variación.

Cual es el inconveniente que puede presentarse cuando la transconductancia de la etapa de entrada de un amplificador operacional no se mantiene constante. Para respondernos esta pregunta deberíamos avanzar en el estudio de la estabilidad de los circuitos en el que el amplificador operacional opere dentro de un lazo de realimentación y así encontraríamos que se trata de un problema importante. Si bien el tema se escapa a los objetivos de este trabajo, mencionaremos que en estos circuitos se incorporan soluciones diversas con el objetivo de mantener la transconductancia constante.

Soluciones como esta pueden observarse en los diagramas esquemáticos suministrados por el fabricante de los amplificadores operacionales CMOS tipo OPA705 , OPA2705 u OPA4705 (Texas Instruments – Burr Brown), tal como el que se agrega en la figura 6.33

6.7.- CONFIGURACION D'ARLINGTON:

Se trata nuevamente de un arreglo o conexión directa de transistores, tal que en su conjunto el dispositivo se puede considerar como otro subcircuito, ya que posee características bien definidas y particulares. El diagrama de conexionado básico para el caso de dos transistores unidos en D'Arlington se ha representado en la figura 6.34. En él se puede apreciar la utilización del acoplamiento de C.C. o directo entre el emisor de T_1 con la base de T_2 y la unión directa de sus colectores.

Teóricamente al menos, se pueden conectar “n” transistores de esta forma, aunque en la práctica y salvo alguna rara excepción (fuentes reguladas), en los circuitos amplificadores lineales nunca se utilizan mas de dos transistores en dicho conexionado, en cuyo caso se suele hablar de par D'Arlington. La limitación de orden práctico se deriva del hecho de que al estar unido el emisor de T_1 con la base de T_2 , la corriente de saturación inversa del primer transistor (I_{CB01}) es amplificada (h_{FE2} veces) por el segundo transistor, en el cual en consecuencia adquiere un valor semejante a la de los transistores de germanio, con sus consabidas limitaciones térmicas.

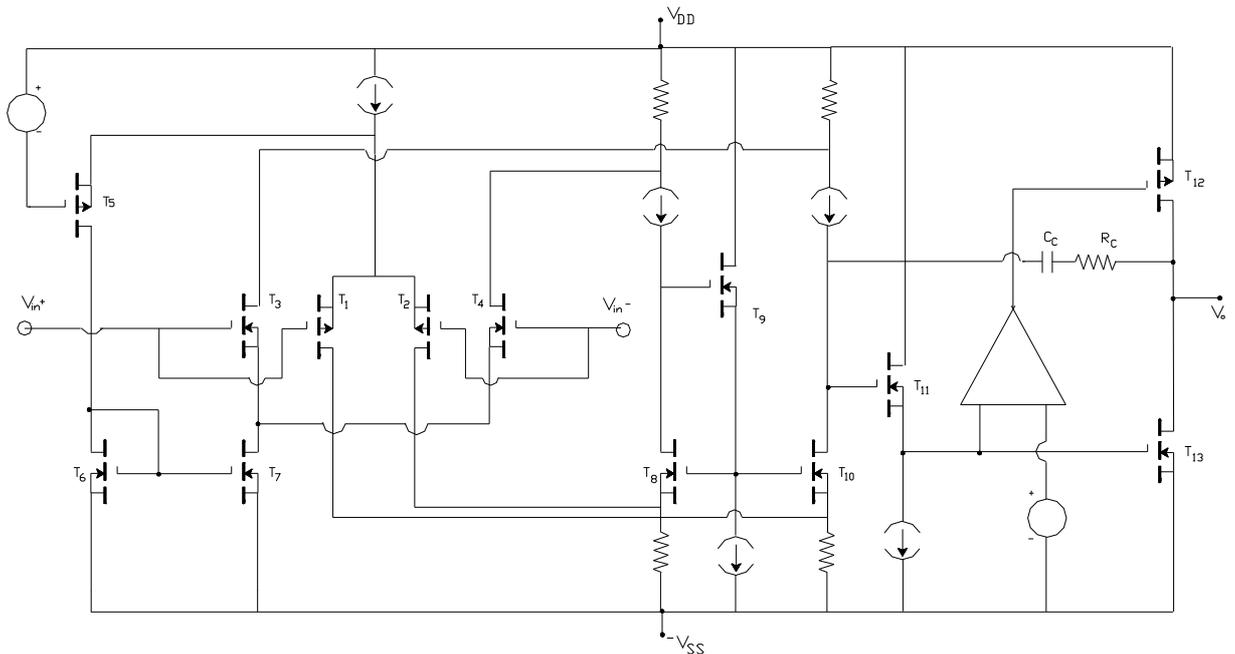


Figura 6.33 Diagrama esquemático del circuito interno del amplificador operacional tipo OPA 705.

Al circuito resultante del conexionado precedentemente aludido se lo puede considerar como un nuevo transistor equivalente con sus correspondientes tres terminales: Base de T_1 , unión de los colectores de T_1 y T_2 y emisor de T_2 , tal que el mismo como veremos seguidamente, presenta una ganancia de corriente igual al producto de las ganancias de corriente de cada transistor y si las mismas son iguales resulta h_{fe}^2 .

En la misma figura 6.34 se han marcado los sentidos de referencia de las corrientes y tensiones estáticas que se definirían en el estudio de un circuito de polarización del par D'Arlington y en consecuencia puede deducirse que:

$$I_{E1} = I_{C1} = I_{B2} \quad \text{y como} \quad I_{C2} = h_{FE2} \cdot I_{B2} \quad \text{se tiene que:} \quad I_{CQ1} = \frac{I_{CQ2}}{h_{FE2}} \quad (6.25)$$

es decir que la corriente de polarización de T_1 es muy inferior a la de T_2 siendo esta la limitación para que ambos transistores (en el caso que sean iguales) presenten la misma ganancia ($h_{fe1} = h_{fe2}$).

Asimismo, considerando la segunda Ley de Kirchoff se puede plantear: $V_{CEQ2} - V_{CEQ1} - V_{BEu2} = 0$

$$\text{por lo que despejando:} \quad V_{CEQ1} = V_{CEQ2} - 0,6 \text{ V} \quad (6.26)$$

EJEMPLO 6.3

En esta aplicación, se desea verificar el comportamiento del circuito amplificador representado en la figura 6.35. En primer lugar realizaremos el estudio de las condiciones de funcionamiento estático. Para tal fin llevamos a cabo el circuito equivalente estático indicado en la figura 6.36, en donde:

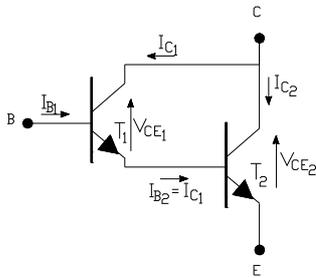


Figura 6.34 Par D'Arlington.

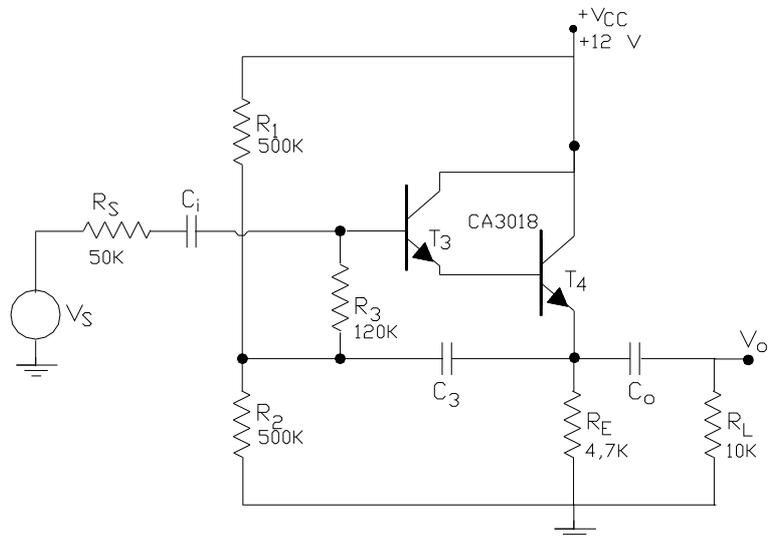


Figura 6.35 Circuito amplificador con par D'Arlington del Ejemplo 6.3.

$$R_{3T} = \frac{R_1 \cdot R_2}{R_1 + R_2} = \frac{500 \cdot 500 \cdot 10^3}{500 + 500} = 250 \text{ K}\Omega$$

$$V_{3T} = V_{CC} \cdot \frac{R_2}{R_1 + R_2} = 12 \cdot \frac{500}{500 + 500} = 6 \text{ V}$$

Planteando la ecuación de las tensiones correspondiente a la malla de entrada de dicho circuito se obtiene:

$$V_{3T} - I_{B3} \cdot (R_{3T} + R_3) - V_{BE3} - V_{BE4} - I_{E4} \cdot R_E = 0$$

y a partir de ella con el procedimiento que es de práctica se llega a establecer:

$$I_{CQ4} = \frac{V_{3T} - 2 \cdot V_{BEu3-4}}{R_E + \frac{R_{3T} + R_3}{h_{FED}}} \quad \text{en donde} \quad h_{FED} = h_{FE3} \cdot h_{FE4}$$

Como ganancia estática de corrientes del par D'Arlington es posible esperar un valor típico cercano a 10^4 , así, dado que $R_{3T} + R_3 = 250 \cdot 10^3 + 120 \cdot 10^3 = 370 \text{ K}\Omega$, el término:

$$\frac{R_{3T} + R_3}{h_{FED}} = 37 \text{ }\Omega \quad \text{resulta muy inferior a} \quad \frac{R_E}{10} = 470 \text{ }\Omega$$

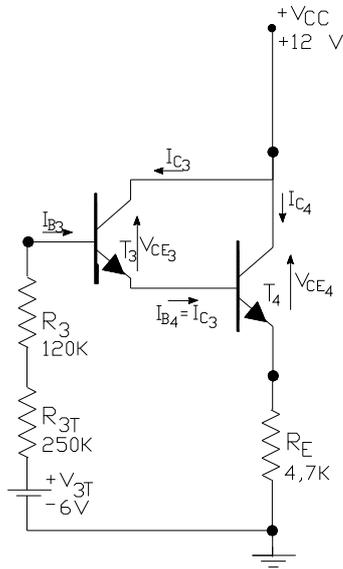


Figura 6.36 Circuito equivalente estatico

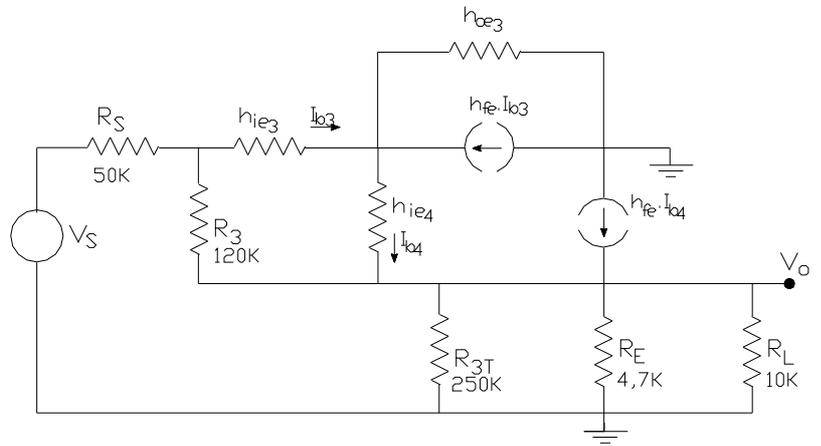


Figura 6.37 Circuito equivalente dinámico.

por lo que como una primera aproximación determinamos:

$$I_{CQ4} = \frac{V_{3T} - 2 \cdot V_{BEu3-4}}{R_E} = \frac{(6 - 1,2) \text{ V}}{4,7 \cdot 10^3} = 1 \text{ mA}$$

Recurriendo ahora a la hoja de datos del circuito integrado CA3018 se obtiene que para un $I_C = 1 \text{ mA}$, $h_{FED} = 7000$ por lo que recalculando I_{CQ4} se obtiene:

$$I_{CQ4} = \frac{(6 - 1,2) \text{ V}}{4,7 \cdot 10^3 + 53} = \frac{4,8 \text{ V}}{4753 \text{ } \Omega} = 1 \text{ mA}$$

estabilizada ya que se comprueba que no depende en medida apreciable de los valores de h_{FED} . Por otra parte, de la malla de salida del circuito de la figura 6.36:

$$V_{CEQ4} = V_{CC} - I_{CQ4} \cdot R_E = 12 - 4,8 = 7,2 \text{ V.}$$

con lo que quedan determinadas las condiciones de reposo de T_4 .

Volviendo a la malla de entrada del mismo circuito equivalente estático, y tal como se establece en la ecuación (6.25):

$$I_{B4} = \frac{I_{CQ4}}{h_{FE4}} = I_{EQ3} = I_{CQ3} \quad \text{por lo que} \quad I_{CQ3} = \frac{1 \text{ mA}}{100} = 10 \text{ } \mu\text{A}$$

en tanto que por medio de la ecuación (6.26) determinamos:

$$V_{CEQ3} = V_{CEQ4} - 0,6 \text{ V} = 7,2 - 0,6 = 6,6 \text{ V}$$

Atento a que pasaremos a verificar a continuación, el comportamiento dinámico del circuito, volvemos a las hojas de datos del circuito integrado tipo CA3018 a fin de recabar los parámetros dinámicos tanto para T_3 como para T_4 . Al respecto el fabricante especifica para una $I_C = 1 \text{ mA}$, $V_{CE} = 3 \text{ V}$, $F = 1 \text{ KHz}$ y $T = 25^\circ\text{C}$

$$h_{ie} = 3,5 \text{ KOhm} \quad - \quad h_{fe} = 100 \quad - \quad h_{oe} = 15,6 \cdot 10^{-6} \text{ A/V}$$

que por lo tanto se los debemos atribuir al transistor T_4 , mientras que para T_3 , dada su $I_{CQ3} = 10 \mu\text{A}$

$$h_{ie} = 18 \cdot 3,5 = 63 \text{ KOhm} \quad - \quad h_{fe} = 0,12 \cdot 100 = 12 \quad - \quad h_{oe} = 0,23 \cdot 15,6 \cdot 10^{-6} = 3,59 \mu\text{A/V}$$

En lo que hace al comportamiento dinámico haremos una serie de verificaciones con fines comparativos:

a) Excursión simétrica máxima:

En este circuito la resistencia de carga dinámica resultaría:
$$R_d = \frac{R_E \cdot R_L}{R_E + R_L} = \frac{4,7 \cdot 10 \cdot 10^3}{4,7 + 10} = 3,2 \text{ K}\Omega$$

que en este caso no es afectada por la resistencia equivalente R_{3T} que, tal como se observa en el circuito equivalente dinámico de la figura 6.37, con C_3 en corto circuito queda en paralelo con la carga, es decir:

$$R'_d = \frac{R_d \cdot R_{3T}}{R_d + R_{3T}} = R_d = 3,2 \text{ K}\Omega$$

luego la excursión hacia el corte es:

$$V_{omax} = I_{CQ4} \cdot R'_d = 1 \cdot 10^{-3} \cdot 3,2 \cdot 10^3 = 3,2 \text{ V}$$

y hacia el lado de saturación:

$$V_{omax} = V_{CEQ4} - V_{CE(sat)} = 7,2 - 1 = 6,2 \text{ V}$$

por lo que la excursión simétrica máxima se encuentra limitada por el corte y resulta ser $V_{omax} = 3,2 \text{ V}$

b) Resistencia de entrada de T_4 :

$$R_{i4} = h_{ie4} + h_{fe4} \cdot R'_d = 3,5 \cdot 10^3 + 100 \cdot 3,2 \cdot 10^3 = 323,5 \text{ K}\Omega$$

c) Resistencia de carga dinámica de T_3 :

Como la resistencia de salida de T_3 es:
$$r_{o3} = \frac{1}{h_{oe3}} = \frac{1}{3,59 \cdot 10^{-6}} = 279 \text{ K}\Omega$$

al resultar comparable a la carga (R_{i4}), la resistencia de carga dinámica de T_3 resulta ser:

$$R_{d3} = \frac{R_{i4} \cdot r_{o3}}{R_{i4} + r_{o3}} = \frac{323,5 \cdot 279 \cdot 10^3}{323,5 + 279} = 149,8 \text{ K}\Omega$$

d) en consecuencia la resistencia de entrada del D'Arlington seguidor cargado resultará:

$$R_{i3} = h_{ie3} + h_{fe3} \cdot R_{d3} = 63 \cdot 10^3 + 12 \cdot 149,8 \cdot 10^3 = 1,86 \text{ M}\Omega$$

valor que no es afectado por la presencia del resistor de polarización R_3 dado que su efecto reflejado sobre la entrada arroja un nivel muy superior.

e) Resistencia de salida:

Para este caso del D'Arlington seguidor la resistencia de salida resulta:

$$R_{o4} = \frac{R_s}{h_{fe3} \cdot h_{fe4}} + \frac{h_{ie3}}{h_{fe3} \cdot h_{fe4}} + \frac{h_{ie4}}{h_{fe4}} = \frac{50 \cdot 10^3}{12 \cdot 100} + \frac{63 \cdot 10^3}{12 \cdot 100} + \frac{3,5 \cdot 10^3}{100} = 130 \text{ }\Omega$$

f) Ganancia de Tensión:

En función de la elevada resistencia de entrada determinada en el punto d), desde el punto de vista de la relación de división en la entrada, la tensión en base de T_3 es prácticamente la tensión en el emisor de T_4 para cualquier generador de excitación que no sobrepase los 190 KOhm de resistencia interna, de este modo $V_i = V_s$.

Luego, desde el punto de vista de la salida, dada la característica seguidora del BOOT STRAP, se tendrá:

$$A_{V_s} = \frac{V_o}{V_s} = \frac{V_o}{V_i} \cdot \frac{V_i}{V_s} = \frac{R'_d}{R'_d + R_{o4}} \cdot 1 = \frac{3,2}{3,2 + 0,13} = 0,96$$

Aprovechando el principio de funcionamiento de Carga Activa, atento a que el circuito integrado que se utiliza en el ejemplo de aplicación precedente dispone, además del par internamente conectado en D'Arlington, tres transistores más, recurrimos a los mismos con el objetivo de llevar a cabo el circuito indicado en la figura 6.38 de modo de reemplazar al resistor de emisor R_E mediante una fuente de corriente tipo espejo.

Como veremos luego, dicha fuente de corriente no solo reemplaza al componente de polarización R_E sino que con la sola condición de que el circuito de excitación sea capaz de proporcionar la corriente de base de T_3 también se puede economizar el circuito ya que no resulta necesario incorporar los componentes de polarización de base de dicho transistor.

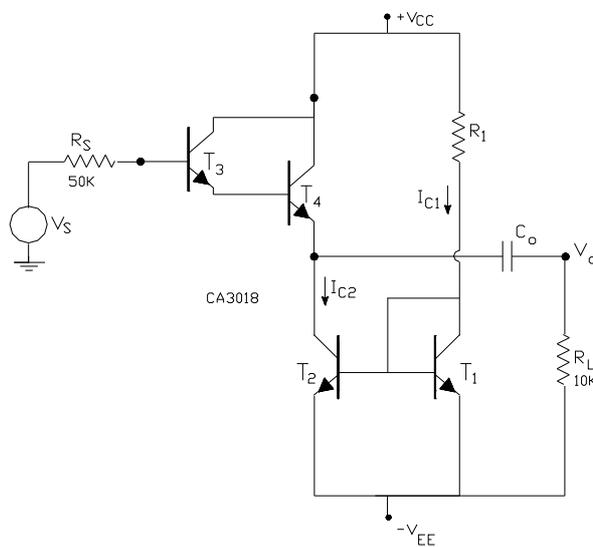


Figura 6.38 Circuito D'Arlington seguidor con carga activa

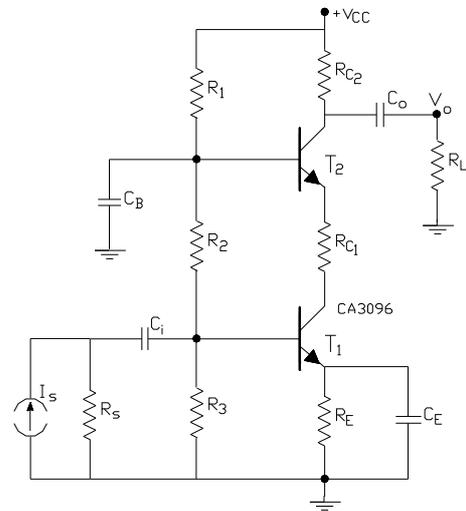


Figura 6.39 Amplificador Cascode bipolar.

Para encarar el proyecto de un circuito reemplazante de superiores prestaciones, supongamos tener que utilizar una fuente de alimentación simétrica respecto de tierra cuyo valor de tensión es de $V_{CC} = V_{EE} = 6 \text{ V}$. Recordemos que el nivel de excursión de la anterior configuración era de $V_{omax} = 3,2 \text{ V}$ y por lo tanto es el que debe satisfacer la nueva configuración como mínimo. Ahora, admitiendo que la resistencia de salida de T_2 , vale decir r_{o2} que se desempeña como carga activa sea muy superior a la resistencia de carga $R_L = 10 \text{ K}\Omega$, la resistencia de carga dinámica de T_4 será únicamente $R_L = 10 \text{ K}\Omega$.

En consecuencia para cumplimentar la excursión mínima hacia el corte se requerirá:

$$I_{CQ4} > \frac{V_{omax}}{R_L} = \frac{3,2 \text{ V}}{10^4} = 0,32 \text{ mA}$$

Para una mayor seguridad y previendo que no pueda lograrse una $r_{o2} \gg R_L$ debemos adoptar una corriente de reposo I_{CQ4} superior. En ese sentido adoptamos $I_{CQ4} = 0,5 \text{ mA}$ y debido a que el emisor de T_4 se encuentra directamente unido al colector de T_2 , en este último se tendrá la misma corriente y será el encargado de gobernar la polarización del D'Arlington.

Como T_1 y T_2 al estar integrados en la misma pastilla son idénticos y comparten la misma malla de entrada, es decir son espejo a través de su tensión de polarización V_{BE} sus corrientes de polarización son iguales, es decir $I_{CQ2} = I_{CQ1} = 0,5 \text{ mA}$, por lo que:

$$R_1 = \frac{V_{CC} + V_{EE} - 0,6 \text{ V}}{I_{CQ1}} = \frac{12 - 0,6}{0,5 \cdot 10^{-3}} = 22,8 \text{ K}\Omega \text{ adoptando un valor comercial } R_1 = 22 \text{ K}\Omega$$

por lo que verificamos que:

$$I_{CQ2} = I_{CQ1} = \frac{V_{CC} + V_{EE} - 0,6 \text{ V}}{R_1} = \frac{12 - 0,6}{22 \cdot 10^3} = 0,54 \text{ mA}$$

Para este nuevo nivel de corriente los parámetros de los transistores resultan:

$$h_{ie} = 1,8 \cdot 3,5 = 6,3 \text{ KOhm} \quad - \quad h_{fe} = 1 \cdot 100 = 100 \quad - \quad h_{oe} = 0,6 \cdot 15,6 \cdot 10^{-6} = 9,36 \text{ } \mu\text{A/V}$$

A continuación pasamos a verificar el comportamiento dinámico del nuevo circuito, en base a los mismos parámetros estudiados en el ejemplo anterior:

a) Excursión simétrica máxima:

Como la resistencia de salida de T_2 es:

$$r_{o2} = \frac{1}{h_{oe2}} = \frac{1}{9,36 \cdot 10^{-6}} = 107 \text{ K}\Omega$$

la resistencia de carga dinámica de T_4 resultará:

$$R_{d4} = \frac{R_L \cdot r_{o2}}{R_L + r_{o2}} = \frac{10 \cdot 107 \cdot 10^3}{10 + 107} = 9,15 \text{ K}\Omega$$

y la excursión hacia el corte será ahora

$$V_{omax} = I_{CQ4} \cdot R_{d4} = 0,54 \cdot 10^{-3} \cdot 9,15 \cdot 10^3 = 4,94 \text{ V}$$

Suponiendo que el circuito de carga así lo imponga, o bien por simetría de T_2 y T_4 la tensión de la fuente de alimentación se repartirá en partes iguales como:

$$V_{CEQ4} = V_{CEQ2} = \frac{V_{CC} + V_{EE}}{2} = 6 \text{ V}$$

y como la tensión de saturación de estos transistores se ubica alrededor de 200 á 300 mV la excursión máxima hacia saturación alcanzará también el valor

$$V_{omax} = 5,7 \text{ V}$$

por lo que la excursión simétrica máxima se hallará limitada por el corte en el valor de $V_{omax} = 4,94 \text{ V}$

b) Resistencia de entrada de T_4 :

$$R_{i4} = h_{ie4} + h_{fe4} \cdot R_{d4} = 6,3 \cdot 10^3 + 100 \cdot 9,15 \cdot 10^3 = 921,3 \text{ K}\Omega$$

c) Resistencia de carga dinámica de T_3 :

$$\text{Como la resistencia de salida de } T_3 \text{ es: } r_{o3} = \frac{1}{h_{oe3}} = \frac{1}{3,59 \cdot 10^{-6}} = 279 \text{ K}\Omega$$

no cambia apreciablemente a pesar que la corriente de reposo es ahora inferior al caso precedente y al resultar inferior a R_{i4} , ahora condiciona más todavía a la resistencia de carga dinámica de T_3 , por lo que ésta resulta ser:

$$R_{d3} = \frac{R_{i4} \cdot r_{o3}}{R_{i4} + r_{o3}} = \frac{921,3 \cdot 279 \cdot 10^3}{921,3 + 279} = 214,1 \text{ K}\Omega$$

d) en consecuencia la resistencia de entrada del D'Arlington seguidor cargado resultará:

$$R_{i3} = h_{ie3} + h_{fe3} \cdot R_{d3} = 63 \cdot 10^3 + 12 \cdot 214,1 \cdot 10^3 = 2,63 \text{ M}\Omega$$

e) Resistencia de salida:

Para este caso del D'Arlington seguidor la resistencia de salida resulta:

$$R_{o4} = \frac{R_s}{h_{fe3} \cdot h_{fe4}} + \frac{h_{ie3}}{h_{fe3} \cdot h_{fe4}} + \frac{h_{ie4}}{h_{fe4}} = \frac{50 \cdot 10^3}{12 \cdot 100} + \frac{63 \cdot 10^3}{12 \cdot 100} + \frac{6,3 \cdot 10^3}{100} = 157 \Omega$$

f) Ganancia de Tensión:

Nuevamente dada la elevada resistencia de entrada determinada en el punto d), desde el punto de vista de la relación de división en la entrada, la tensión en base de T_3 es prácticamente la tensión en el emisor de T_4 para cualquier generador de excitación que no sobrepase los $260 \text{ K}\Omega$ de resistencia interna, de este modo $V_i = V_s$.

Luego, desde el punto de vista de la salida, dada la característica seguidora del circuito, se tendrá:

$$A_{V_s} = \frac{V_o}{V_s} = \frac{V_o}{V_i} \cdot \frac{V_i}{V_s} = \frac{R_{d4}}{R_{d4} + R_{o4}} \cdot 1 = \frac{9,15}{9,15 + 0,13} = 0,986$$

Pudiéndose notar las mejoras que el sistema de carga activa a incorporado, con una fuente de alimentación de menor tensión y con igual consumo de la misma (1 mA). A este respecto, si se deseara reducir este consumo podría modificarse la fuente de corriente a Widlar agregando resistencia en el circuito de emisor de T_1 .

6.8. AMPLIFICADOR CASCODE BIPOLAR:

Se trata de otra configuración utilizada en acoplamiento directo de dos transistores. El circuito que estudiaremos en primer lugar se observa en la figura 6.39 en donde se han escogido valores típicos para todos sus componentes:

$$T_1 = T_2 = \text{CA3096}, \quad V_{CC} = 15 \text{ V}; \quad R_1 = 82 \text{ K}\Omega; \quad R_2 = 56 \text{ K}\Omega; \quad R_3 = 33 \text{ K}\Omega; \quad R_E = 2,2 \text{ K}\Omega;$$

$$R_{C1} = 1 \text{ K}\Omega; \quad R_{C2} = 3,8 \text{ K}\Omega; \quad R_L = 5 \text{ K}\Omega; \quad R_s = 1 \text{ K}\Omega.$$

6.8.1.- Comportamiento Estático:

$$V_{B1T} = V_{CC} \cdot \frac{R_3}{R_1 + R_2 + R_3} = 15 \cdot \frac{33}{82 + 56 + 33} = 2,9 \text{ V} \quad \text{y} \quad V_{E1T} = V_{B1T} - V_{BE1} = 2,9 - 0,7 = 2,2 \text{ V}$$

Planteando la ecuación de las tensiones correspondiente a la malla de entrada de T_1 y descontando que el circuito estabiliza la polarización se obtiene:

$$V_{B1T} - V_{BE1} - I_{CQ1} \cdot R_E = 0 \quad \text{o sea} \quad I_{CQ1} = \frac{V_{B1T} - V_{BE1}}{R_E} = \frac{2,9 - 0,7}{2,2 \cdot 10^3} = 1 \text{ mA}$$

y dada la conexión directa de colector de T_1 con emisor de T_2 debe ser $I_{CQ1} = I_{CQ2} = 1 \text{ mA}$

$$V_{B2T} = V_{CC} \cdot \frac{R_2 + R_3}{R_1 + R_2 + R_3} = 15 \cdot \frac{56 + 33}{82 + 56 + 33} = 7,8 \text{ V} \quad \text{y} \quad V_{E2T} = V_{B2T} - V_{BE2} = 7,8 - 0,7 = 7,1 \text{ V}$$

$$V_{CEQ1} = V_{E2T} - I_{CQ1} \cdot R_{C1} - V_{E1T} = 7,1 - 10^{-3} \cdot 10^3 - 2,2 = 3,9 \text{ V}$$

$$V_{CEQ2} = V_{CC} - I_{CQ1} \cdot R_{C2} - V_{E2T} = 15 - 10^{-3} \cdot 3,8 \cdot 10^3 - 7,1 = 4,1 \text{ V}$$

6.8.2.-Comportamiento Dinámico:

Desde el punto de vista de la señal, el circuito puede ser interpretado como un acoplamiento directo en cascada de una etapa emisor común conformada por T_1 con una etapa de base común que incorpora a T_2 . Por tal motivo el circuito equivalente en este caso se indica en la figura 6.40.

A partir de dicho circuito surge que la resistencia de entrada corresponde a la de un emisor común, es decir:

$$R_i = \frac{V_{be}}{I_b} \quad \text{con lo que para esta configuración:} \quad R_i = h_{ie} \quad \text{cuyo valor es} \quad R_i = 10 \text{ K}\Omega$$

Además, en esta etapa emisor común del amplificador, considerando que $R_{BT} = R_2 // R_3 = 20,76 \text{ K}\Omega$

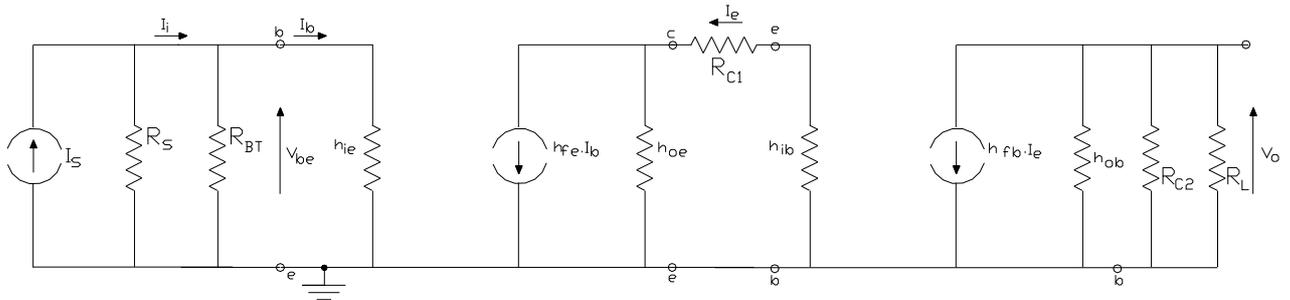


Figura 6.40 Circuito equivalente dinámico del Amplificador Cascode bipolar.

$$R_{iA} = \frac{V_{be}}{I_i} \quad \text{en este caso:} \quad R_{iA} = h_{ie} // R_{BT} \quad R_{iA} = \frac{10 \cdot 20,76 \cdot 10^3}{10 + 20,76} = 6,75 \text{ K}\Omega$$

Con este tipo de fuente de excitación la resistencia de entrada del sistema amplificador resulta ser:

$$R_{is} = \frac{V_{be}}{I_s} \quad \text{y en este caso:} \quad R_{is} = R_{iA} // R_s = h_{ie} // R_{BT} // R_s \quad R_{is} = \frac{6,75 \cdot 1 \cdot 10^3}{6,75 + 1} = 870 \Omega$$

en cambio la resistencia de salida se encuentra dispuesta por la etapa de base común, o sea:

$$h_{ob} = \frac{I}{V} = \frac{h_{oe}}{h_{fe} + 1} \quad \text{o bien} \quad \frac{1}{h_{ob}} = r_o \cdot (h_{fe} + 1)$$

cuyo valor es:

$$r_o = 80 \text{ K}\Omega \quad \text{y} \quad R_o = (1/h_{ob}) = 80 \cdot 390 \cdot 10^3 = 31 \text{ M}\Omega$$

como vemos muy grande, con lo que:

$$R_{oA} = R_o // R_{C2} = R_{C2} = 3,8 \text{ K}\Omega \quad - \quad R_{os} = R_{oA} // R_L = R_d = 2,16 \text{ K}\Omega$$

Finalmente la ganancia de corriente o la de tensión resultan:

$$A_I = \frac{I_o}{I_b} = h_{fb} \cdot \frac{R_{C2}}{R_{C2} + R_L} \cdot \frac{r_o}{(R_{C1} + h_{ib}) + r_o} \cdot h_{fe} = 1 \cdot \frac{3,8}{3,8 + 5} \cdot \frac{80}{1,025 + 80} \cdot 390 = 166,2$$

$$\text{en tanto que: } A_{IA} = \frac{I_o}{I_i} \quad A_{IA} = A_I \cdot \frac{R_{BT}}{R_{BT} + R_i} \quad A_{IA} = 166,2 \cdot \frac{20,76}{20,76 + 3,5} = 142,2$$

y la ganancia de corriente del sistema será:

$$\text{en tanto que: } A_{Is} = \frac{I_o}{I_s} \quad A_{Is} = A_{IA} \cdot \frac{R_s}{R_s + R_{iA}} \quad A_{Is} = 142,2 \cdot \frac{1}{1 + 3} = 35,5$$

En este circuito: $R_d = R_{C2} // R_L = \frac{3,8 \cdot 5 \cdot 10^3}{3,8 + 5} = 2,16 \text{ K}\Omega$ y dado el valor de $(1/h_{ob})$, se verifica que $R_d' = R_d$

La ganancia de tensión de la etapa amplificadora es:

$$A_{VA} = \frac{V_o}{V_{be}} = \frac{-I_o \cdot R_L}{I_b \cdot h_{ie}} = -A_I \cdot \frac{R_L}{h_{ie}} = -166,2 \cdot \frac{5}{10} = -83,1$$

6.8.3.- La configuración Cascode como etapa de desplazamiento de nivel de C.C.:

En los sistemas amplificadores de acoplamiento directo cuando los mismos se encuentran constituidos por una cascada de etapas es común que a la par de la señal se amplifiquen también las componentes de C.C. que definen la polarización de los elementos activos utilizados, y puede darse el caso que dichos niveles de C.C. en algún punto de la cascada pueden llegar a ser inconvenientes para un funcionamiento lineal.

Para producir una modificación en tales niveles de C.C. se hace preciso incorporar algún sistema apropiado. En el desarrollo del Capítulo 5, particularmente en la resolución del problema de proyecto de un sistema amplificador sin acoplamiento capacitivo, tratado en párrafo 5.8.3 se planteó la solución ante el requerimiento de obtener un punto de conexión de la carga con nivel de C.C. nulo. La solución adoptada allí, ya se anticipaba era un tanto elemental y como pudo comprobarse, introdujo una serie de cambios en el comportamiento dinámico del circuito, que fueron denotados como inconvenientes.

Otra alternativa que podría implementarse para desplazar el nivel de C.C. en base a la configuración Cascode, se presenta en la figura 6.41.

Si se requiere que el punto de conexión de la carga R, es decir el colector de T disponga de nivel de C.C. nulo, se deben considerar las siguientes condiciones de trabajo estático:

$$V_{B3T} = -V_{EE} \cdot \frac{R_2}{R_1 + R_2} = -12 \cdot \frac{56}{56 + 33} = -7,6 \text{ V} \quad V_{E3T} = V_{B3T} - V_{BE3} = -7,6 - 0,6 = -8,2 \text{ V}$$

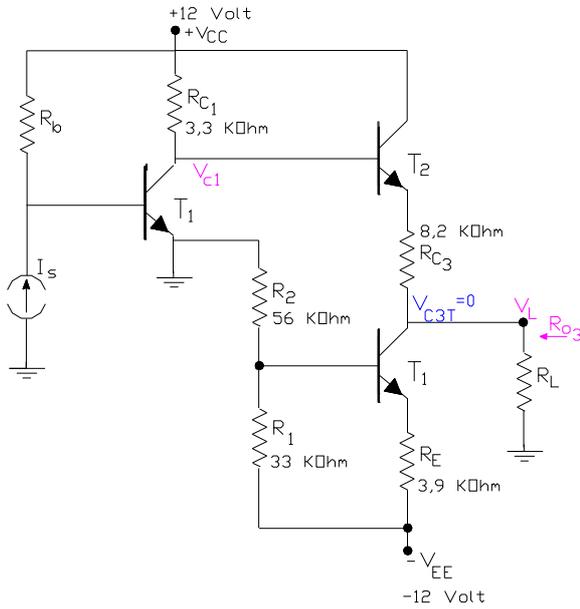


Figura 6.41 Circuito Amplificador Cascode para Desplazamiento del nivel de C. C.

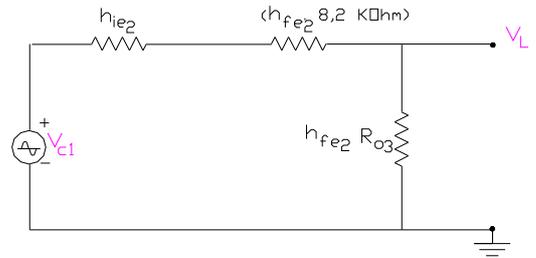


Figura 6.42 Circuito equivalente dinámico del nodo de salida

$$I_{CQ3} = \frac{V_{E3T} - (-V_{EE})}{R_E} = \frac{-8,2 + 12}{3,9 \cdot 10^3} = 1 \text{ mA} = I_{CQ2}$$

Para que $V_{C3T} = 0 \text{ V}$ debe hacerse:

$$V_{CEQ3} = V_{C3T} - V_{E3T} = 0 + 8,2 \text{ V} = 8,2 \text{ V}$$

$$V_{CEQ2} = V_{CC} - I_{CQ3} \cdot R_{C3} - V_{C3T} = 12 - 10^{-3} \cdot 8,2 \cdot 10^3 - 0 = 3,8 \text{ V}$$

y para tal fin:

$$V_{E2T} = I_{CQ3} \cdot R_{C3} = 10^{-3} \cdot 8,2 \cdot 10^3 = 8,2 \text{ V}$$

$$V_{B2T} = V_{E2T} - V_{BE2} = 8,2 + 0,6 \text{ V} = 8,8 \text{ V}$$

y en consecuencia:
$$I_{CQ3} = \frac{V_{CC} - V_{B2T}}{R_{C1}} = \frac{12 - 8,8}{3,3 \cdot 10^3} = 1 \text{ mA} \quad \text{e} \quad I_{B1} = \frac{I_{CQ1}}{h_{FE1}}$$

debiéndose disponer el resistor R_b en el circuito de base de T_1 de modo de imponer dicho valor de corriente de base de T_1 .

La figura 6.42 presenta el circuito equivalente dinámico de esta configuración cascode y del mismo se puede obtener que si R_b es del orden de $(1/h_{ob3})$ en el mismo se cumple que:

$$h_{fe2} \cdot R_{o3} = \frac{h_{fe2}}{h_{ob3}} \gg (h_{ie2} + 8200 \cdot h_{fe2})$$

con lo que la ganancia de tensión de la etapa resulta:

$$A_v = \frac{V_L}{V_{c1}} = 1$$

Luego comprobamos que la configuración cascode nos permite desplazar la tensión continua desde el valor $V_{C1T} = 8,8 \text{ V}$ a una tensión $V_{C3T} = 0 \text{ V}$ sin pérdida apreciable de ganancia.

6.9 ESTUDIO DE LA SEGUNDA ETAPA DEL AMPLIFICADOR OPERACIONAL 741

En la figura 6.43 se ilustra el circuito correspondiente a la segunda etapa de este amplificador operacional, habiéndose agregado asimismo la parte de salida ya que se comporta como carga de esta segunda etapa. Desde el punto de vista estático y como ya se vio en el estudio de la primera etapa, para la misma tensión de alimentación se tiene:

$$I_{CQ11} = I_{CQ12} = \frac{V_{CC} + V_{EE} - 2 \cdot V_{BEu}}{R_5} = \frac{30 - 1,2}{39 \cdot 10^3} = 0,739 \text{ mA}$$

como se ve ahora, el transistor T_{12} en conjunto con el transistor T_{13} forman una nueva fuente de corriente, tipo espejo, de modo que la corriente de emisor de T_{13} se ve obligada a seguir a la de T_{12} por lo que:

$$I_{EQ13} = I_{CQ12} = 0,739 \text{ mA}$$

Este transistor T_{13} es un transistor multicolector, en el cual, la superficie semiconductor del colector se subdivide en dos partes de modo que las tres cuartas partes se unen al colector denominado "A", mientras que el área restante se conecta como colector "B". Al respecto es de destacar que la corriente total de emisor entonces se subdivide en dos corrientes de colector, la correspondiente al terminal A (I_{CQ13A}) y la correspondiente al terminal "B" (I_{CQ13B}) en forma proporcional al área de semiconductor a la que se encuentre conectado cada terminal de colector y en consecuencia:

$$I_{CQ13A} = \frac{3}{4} \cdot I_{EQ13} = 554 \text{ } \mu\text{A} \qquad I_{CQ13B} = \frac{1}{4} \cdot I_{EQ13} = 185 \text{ } \mu\text{A}$$

Considerando despreciable a la corriente de base de T_{23} , por conexión directa de colectores de T_{13A} y T_{17} , resulta:

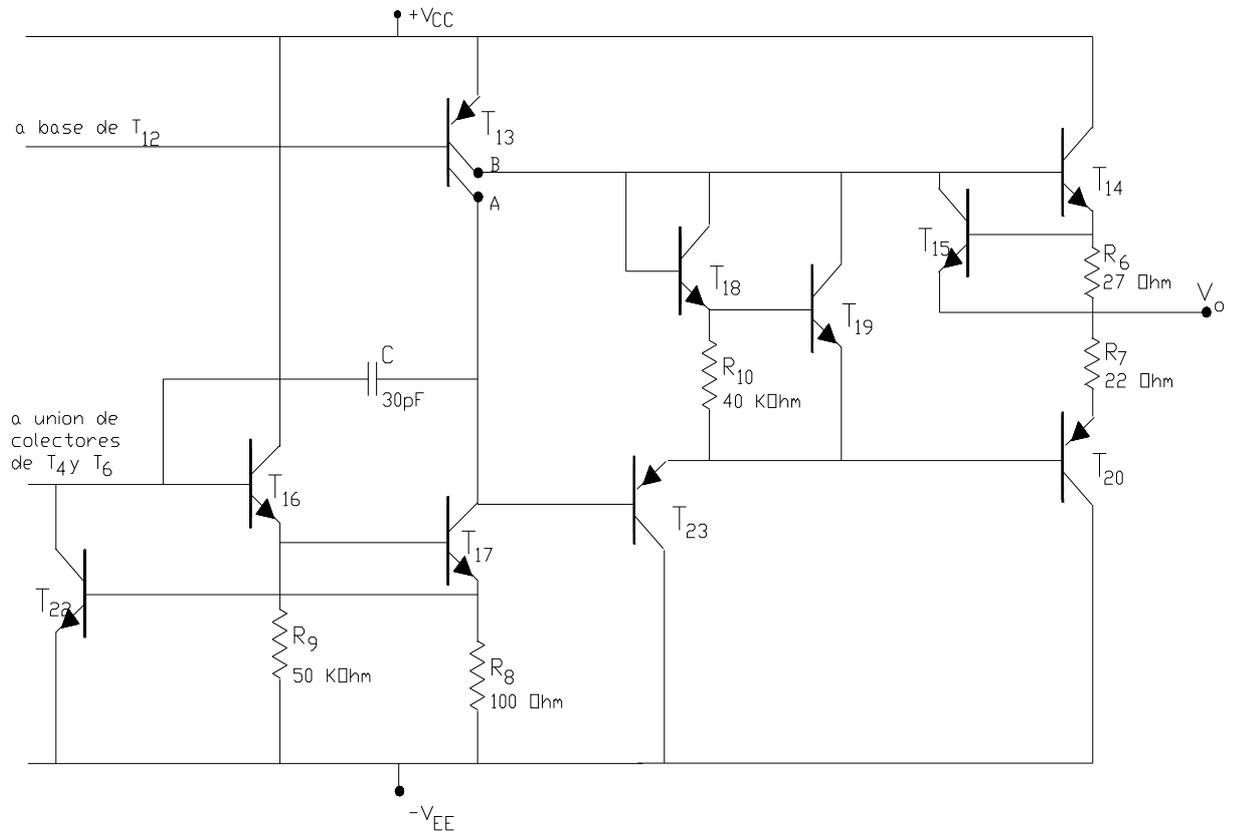


Figura 6.43 Diagrama esquemático correspondiente a la segunda etapa y salida del Op.Amp. 741

$I_{CQ17} = I_{CQ13A} = 554 \mu\text{A}$ y en consecuencia $V_{R9} = V_{BEu17} + I_{CQ17} \cdot R_8 = 0,6 + 0,554 \cdot 10^{-3} \cdot 100 = 0,65 \text{ V}$

$$I_{R9} = \frac{V_{R9}}{R_9} = \frac{0,65 \text{ V}}{50 \cdot 10^3} = 13 \mu\text{A} \quad \text{mientras que} \quad I_{B17} = \frac{I_{CQ17}}{h_{fe17}} = 2 \mu\text{A} \quad \text{y} \quad I_{CQ16} = I_{R9} + I_{B17} = 15 \mu\text{A}$$

En lo que respecta a las tensiones, por una parte la tensión base-tierra de T_{16} es coincidente con la de la unión de los colectores de T_4 y T_6 de la primera etapa, o sea que era el dato que faltaba para completar la verificación estática de la primera etapa.

$$-V_{BT16} = V_{EE} - V_{R9} - V_{BEu16} = 15 - 0,65 - 0,6 = 13,75 \text{ V} \quad \text{por lo que despreciando } V_{R2}:$$

$$V_{CEQ6} = V_{R9} + V_{BEu16} = 1,25 \text{ V}$$

$$\text{con lo que:} \quad V_{CEQ4} = V_{BT16} + V_{BEu2} = -13,75 + 0,6 = -13,15 \text{ V}$$

Por otro lado, en esta segunda etapa:

$$V_{CEQ16} = V_{CC} - (-V_{EE} + V_{R9}) = 15 - (-15 + 0,65) = 29,35 \text{ V}$$

y aceptando que el potencial absoluto del terminal de salida del amplificador operacional es nulo así como que las caídas en las pequeños resistores R_6 y R_7 son despreciables:

$$V_{CT17} = -V_{EBu20} - V_{EBu23} = -1,2 \text{ V} \quad \text{y despreciando } V_{R8}$$

$$V_{CEQ17} = V_{CT17} + V_{EE} = -1,2 + 15 = 13,8 \text{ V}$$

$$V_{CEQ13A} = V_{CT17} - V_{CC} = -1,2 - 15 = -16,2 \text{ V}$$

En relación con el comportamiento dinámico de esta segunda etapa, se desea hallar el circuito equivalente, en base al parámetro transconductancia que se observa en la figura 6.44. y en primer lugar, del mismo verificaremos la resistencia de entrada R_{i2} , cuyo valor fue estimado para el estudio de la primera etapa en 5,5 MOhm. Para tal fin consideramos:

$$R_{i17} = h_{i17} + h_{fe17} \cdot R_8 = \frac{h_{fe17}}{g_{m17}} + h_{fe17} \cdot R_8 = \frac{240}{40 \cdot 490 \cdot 10^{-6}} + 240 \cdot 100 = 12,2 \cdot 10^3 + 24 \cdot 10^3 = 36,2 \text{ K}\Omega$$

$$R_{d16} = \frac{R_{i17} \cdot R_9}{R_{i17} + R_9} = \frac{36,2 \cdot 50 \cdot 10^3}{36,2 + 50} = 21 \text{ KOhm}$$

y nuevamente:

$$R_{i2} = R_{i16} = \frac{h_{fe16}}{g_{m16}} + h_{fe16} \cdot R_{d16} = \frac{240}{40 \cdot 15 \cdot 10^{-6}} + 240 \cdot 21 \cdot 10^3 = 0,4 \cdot 10^6 + 5,04 \cdot 10^6 = 5,4 \text{ M}\Omega$$

valor este último que se compatibiliza con el estimado para el análisis precedente

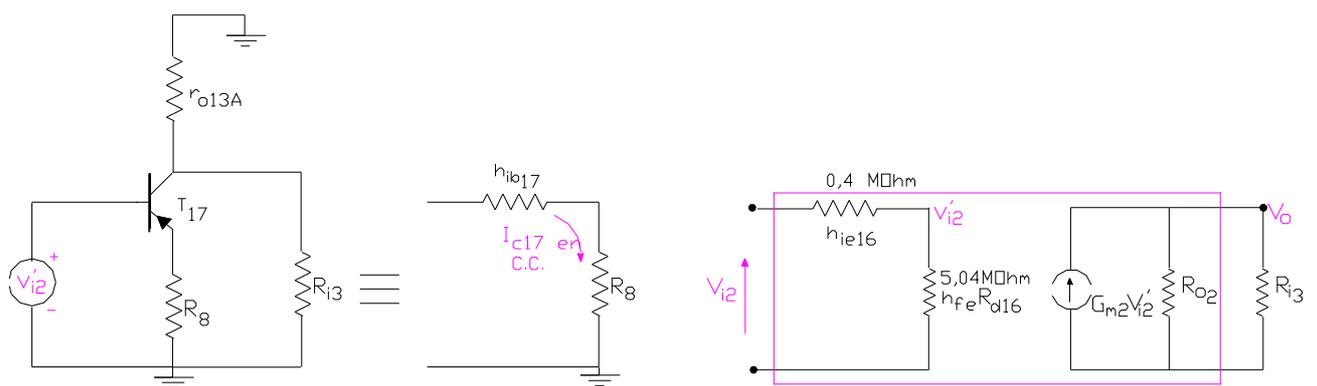


Figura 6.44 Circuito equivalente correspondiente a la segunda etapa y salida del Op.Amp. 741

En segundo lugar, el parámetro G_{m2} corresponde a una configuración “ R_e sin puentear” por lo que de acuerdo a lo visto oportunamente:

$$G_{m2} = \frac{1}{(1/g_{m17}) + R_8} = \frac{g_{m17}}{1 + g_{m17} \cdot R_8} = \frac{40 \cdot 554 \cdot 10^{-6}}{1 + 40 \cdot 554 \cdot 10^{-6} \cdot 10^2} = \frac{22,16 \cdot 10^{-3}}{1 + 2,216} = 6,9 \text{ mS}$$

en tanto que la resistencia de salida de dicho modelo se halla constituida por la asociación paralelo de la resistencia de salida de T_{13A} (emisor común) es decir “ r_{o13A} ” y la correspondiente de salida de T_{17} (R_e sin puentear), por lo que:

$$r_{o13A} = \frac{1}{\eta_P \cdot g_{m13A}} = \frac{1}{5 \cdot 10^{-4} \cdot 40 \cdot 554 \cdot 10^{-6}} = 90,2 \text{ K}\Omega$$

$$R_{O17} = r_{o17} \cdot \left(1 + \frac{h_{fe17} \cdot R_8}{R_8 + h_{ie17} + R_T} \right) \quad \text{con} \quad R_T = R_9 // R_{O16}$$

y en donde:

$$R_{O16} = h_{ib16} + \frac{R_{O1}}{h_{fe16}} = \frac{1}{40 \cdot 15 \cdot 10^{-6}} + \frac{6,5 \cdot 10^6}{240} = 1,67 \cdot 10^3 + 27,08 \cdot 10^3 = 28,75 \text{ K}\Omega$$

$$R_T = \frac{R_9 \cdot R_{O16}}{R_9 + R_{O16}} = \frac{50 \cdot 28,75 \cdot 10^3}{50 + 28,75} = 18,3 \text{ K}\Omega$$

$$r_{o17} = \frac{1}{\eta_N \cdot g_{m17}} = \frac{1}{2 \cdot 10^{-4} \cdot 40 \cdot 554 \cdot 10^{-6}} = 225 \text{ K}\Omega$$

$$R_{O17} = 225 \cdot 10^3 \cdot \left[1 + \frac{240 \cdot 10^2}{(0,1 + 12,2 + 18,3) \cdot 10^3} \right] = 415 \text{ K}\Omega$$

finalmente:

$$R_{O2} = \frac{r_{o13A} \cdot R_{O17}}{r_{o13A} + R_{O17}} = \frac{90,2 \cdot 415 \cdot 10^3}{90,2 + 415} = 74 \text{ K}\Omega$$

Tal como se puede apreciar en el circuito de la figura 6.43, la tercera etapa o etapa de salida de este amplificador operacional, se halla constituida por el transistor T_{23} operando en una configuración de seguidor por emisor, cargada a su vez por una etapa de gran señal del tipo simétrica y de clase B práctica (que se estudia próximamente) y desde el punto de vista dinámico también se configura como colector común de modo tal que es de esperar que su resistencia de entrada (R_{i23}) sea de valor mucho

mayor que el valor de la resistencia de salida de la segunda etapa recién verificada. En consecuencia la resistencia de carga dinámica de la segunda etapa es únicamente su propia resistencia de salida R_{o2} .

De este modo la ganancia de tensión de esta segunda etapa puede determinarse a partir del circuito equivalente de la figura 6.44., determinando:

$$A_{V2} = \frac{V_{o2}}{V'_{i2}} \cdot \frac{V'_{i2}}{V_{i2}} = -G_{m2} \cdot R_{o2} \cdot \frac{h_{fe16} \cdot R_{d16}}{R_{i2}} = -6,62 \cdot 74 \cdot \frac{5,04}{5,44} = -454 = 53,14 \text{ dB}$$

Considerando que la tercera etapa contribuye con una ganancia seguidora cercana a la unidad, que al tenerse una cascada de dos etapas la ganancia del conjunto resulta ser el producto (o la suma en dB) de las ganancias de cada etapa en forma individual, la ganancia de tensión del amplificador operacional o Ganancia en Lazo Abierto, sin considerar la fase ya que cada terminal de entrada tiene definida su característica en tal sentido, resulta ser:

$$A_{OL} = A_{Vd} \cdot A_{V2} = 570 \cdot 454 = 258.780 \text{ (108,2 dB)}$$

que al compararse con los valores típicos especificados por los fabricantes de 200 V/mV (ó 200.000 ó 106 dB) arroja una diferencia que podemos atribuir, además de la dispersión y el factor de seguridad en la especificación, a las estimaciones de los valores de los parámetros semiconductores que hemos adoptado al no disponerse de los correspondientes a los parámetros híbridos de los transistores que conforman dicho amplificador operacional.

6.10. CONSIDERACIONES SOBRE LA ETAPA DE SALIDA DEL AMP. OPER. 741 - PROTECCIONES:

Si bien la etapa final del amplificador operacional 741 se estudia con detalle en el Capítulo X del presente trabajo, en donde se justifica su topología, realizaremos ahora algunas consideraciones respecto a sus características de funcionamiento.

En lo que respecta a la parte estática, según lo analizado precedentemente, para la tensión de alimentación de $V_{CC} = V_{EE} = 15 \text{ V}$ la corriente en el terminal B de emisor de T_{13} resultó ser:

$$I_{CQ13B} = 185 \mu\text{A}$$

ahora considerando I_{B19} despreciable, la corriente en el emisor o en el colector del transistor T_{18} cuya juntura base-colector se encuentra cortocircuitada, es:

$$I_{CQ18} = \frac{V_{BEu19}}{R_{10}} = \frac{0,6 \text{ V}}{40 \cdot 10^3} = 15 \mu\text{A}$$

El transistor T_{15} normalmente se encuentra cortado. Su función de protección la describiremos más tarde. Suponiendo nuevamente que la corriente de base de T_{14} es despreciable:

$$I_{CQ19} = I_{CQ13B} - I_{CQ18} = 185 \mu A - 15 \mu A = 170 \mu A$$

Planteando la ecuación de malla alrededor de las uniones base-emisor de los transistores T_{19} , T_{18} , T_{14} y T_{20} se tiene:

$$V_{BEu19} + V_{BEu18} - V_{BEu14} - V_{EBu20} = 0$$

por lo que expresando las mismas a partir de la ecuación exponencial del diodo y llamando I_o a la pequeña corriente de polarización de los transistores T_{14} y T_{20} de salida:

$$V_T \cdot \ln \frac{I_{CQ18}}{I_{S18}} + V_T \cdot \ln \frac{I_{CQ19}}{I_{S19}} = V_T \cdot \ln \frac{I_o}{I_{S14}} + V_T \cdot \ln \frac{I_o}{I_{S20}}$$

simplificando y por propiedad de logaritmos:

$$\frac{I_{CQ18} \cdot I_{CQ19}}{I_{S18} \cdot I_{S19}} = \frac{I_o^2}{I_{S14} \cdot I_{S20}} \quad \text{por lo que: } I_o = \sqrt{\frac{(I_{CQ18} \cdot I_{CQ19}) \cdot (I_{S14} \cdot I_{S20})}{(I_{S18} \cdot I_{S19})}}$$

tomando nuevamente valores sugeridos en las notas de aplicación (ver GRAY - MEYER):

$$I_{S18} = I_{S19} = 2 \cdot 10^{-15} \text{ A} \quad - \quad I_{S14} = 8 \cdot 10^{-15} \text{ A} \quad \text{e} \quad I_{S20} = 4 \cdot 10^{-15} \text{ A}$$

resulta:

$$I_o = \sqrt{\frac{(15 \cdot 10^{-6} \cdot 170 \cdot 10^{-6}) \cdot \frac{8 \cdot 10^{-15} \cdot 4 \cdot 10^{-15}}{2 \cdot 10^{-15} \cdot 2 \cdot 10^{-15}}}{2550 \cdot 10^{-12} \cdot 8}} = 143 \mu A$$

que es la pequeña corriente de polarización para la etapa de gran señal o de salida del operacional, cuyos transistores, tal como veremos oportunamente, funcionan en un Clase B práctico o Clase AB a fin de conferir a la etapa un adecuado Rendimiento de Conversión de Potencia (η), una reducida Distorsión Armónica (D), reduciendo o anulando la Distorsión de Cruce.

Atento a ello las corrientes de base de los transistores T_{14} y T_{20} resultarán despreciables con lo que la de emisor de T_{23} vuelve a ser $I_{CQ23} = I_{CQ13B} = 185 \mu A$, por lo que dada su configuración colector común, presentará una resistencia de salida de valor:

$$R_{o23} = h_{ib23} + \frac{R_{o2}}{h_{fe23}} = \frac{1}{40 \cdot 185 \cdot 10^{-6}} + \frac{83,3 \cdot 10^3}{50} = 1800 \Omega$$

Por otra parte la resistencia de salida de colector B de T_{13} resulta: $r_{o13B} = \frac{1}{\eta_P \cdot g_{m13B}} = \frac{1}{5.40.185.10^{-10}}$

o sea $r_{o13B} = 270 \text{ K}\Omega$

y debido al circuito compuesto por los transistores T_{18} y T_{19} , entre las bases de los transistores de salida T_{14} y T_{20} se tiene una resistencia equivalente que resulta:

$$R_{BB} = h_{ib18} + \frac{R_{10} \cdot h_{ie19}}{R_{10} + h_{ie19}} \text{ con } h_{ib18} = \frac{1}{40 \cdot 15 \cdot 10^{-6}} = 1667 \, \Omega \text{ y } h_{ie19} = \frac{240}{40 \cdot 170 \cdot 10^{-6}} = 35,3 \, K\Omega$$

en consecuencia:

$$R_{BB} = 1667 + \frac{40 \cdot 35,3 \cdot 10^3}{40 + 35,3} = 20,42 \, K\Omega$$

Cuando conduce T_{14} la resistencia equivalente conectada entre su terminal de base y tierra, que llamaremos R_{BT14} resulta ser:

$$R_{BT14} = (R_{o23} + R_{BB}) // r_{o13B} = (1800 + 20420) // 270000 = 20,5 \, K\Omega$$

con lo que la resistencia de salida del amplificador operacional 741 durante el período en que conduce T_{14} es:

$$R_o = R_6 + h_{ib14} + \frac{R_{BT14}}{h_{fe14}} = 27 + \frac{1}{40 \cdot 143 \cdot 10^{-6}} + \frac{20,5 \cdot 10^3}{240} = 27 + 175 + 85 = 287 \, \Omega$$

en cambio cuando conduce T_{20} se tiene:

$$R_{BT20} = R_{o23} // (R_{BB} + r_{o13B}) = 1800 // (20420 + 270000) = 1,79 \, K\Omega$$

y en este período, la resistencia de salida del amplificador operacional es:

$$R_o = R_7 + h_{ib20} + \frac{R_{BT20}}{h_{fe20}} = 22 + \frac{1}{40 \cdot 143 \cdot 10^{-6}} + \frac{1,79 \cdot 10^3}{50} = 22 + 175 + 35 = 232 \, \Omega$$

en tanto que la especificación de los fabricantes se refieren a un valor típico de $75 \, \Omega$.

Tal como ya se adelantó los transistores T_{15} y T_{23} en condiciones normales de operación funcionan al corte. Para una operación normal el fabricante indica que la resistencia de carga mínima es de $2 \, K\Omega$. Ambos transistores conforman circuitos de protección contra corto circuito en la carga ya que si por alguna razón la corriente en la carga o en el terminal de salida del amplificador operacional aumenta, la corriente de salida por T_{14} aumentaría hasta alcanzar un valor tal que la diferencia de potencial en extremos de R_6 supere el valor de la tensión de umbral base-emisor del transistor T_{15} , en cuyo caso éste pasa a conducción limitando la corriente de base y por lo tanto la de colector o de salida de T_{14} :

$$I_{\text{límite}} = \frac{V_{BEu15}}{R_6} = \frac{0,6 \text{ á } 0,7 \, V}{27 \, \Omega} = 22 \text{ á } 26 \, \text{mA} = I_{C14\text{max}}$$

Cabe aclarar que si bien el diagrama esquemático de la figura 6.43 no lo destaca, existe otro transistor similar al T_{15} y que tiene como finalidad proteger al complementario de T_{14} , es decir T_{20} .

De igual forma, la protección del par D'Arlington T_{16}/T_{17} se cumple a través de T_{22} , ya que siguiendo un razonamiento similar a lo dicho para T_{15} , la corriente límite de T_{17} será:

$$I_{\text{límite}} = \frac{V_{BEu22}}{R_8} = \frac{0,6 \text{ á } 0,7 \text{ V}}{100 \Omega} = 6 \text{ á } 7 \text{ mA} = I_{C17\text{max}}$$

Entonces si por alguna causa la corriente en emisor de T_{17} sobrepasa dicho límite, el transistor T_{22} sale del corte limitando la corriente de base de T_{16} y por lo tanto la de colector de T_{17} .

EJERCICIO 6.1:

Se sugiere al lector realizar un análisis similar de primera y segunda etapa del amplificador operacional TL081/082 cuyo diagrama esquemático se incluye en la figura 6.45 suponiendo $+V_{CC} = -V_{CC} = \pm 15$ Volt, suponiendo que los Jfets poseen $I_{DSS} = 5 \text{ mA}$ y $V_p = -2$ Volt y considerando que los diodos zener poseen una tensión de referencia de 5 V.

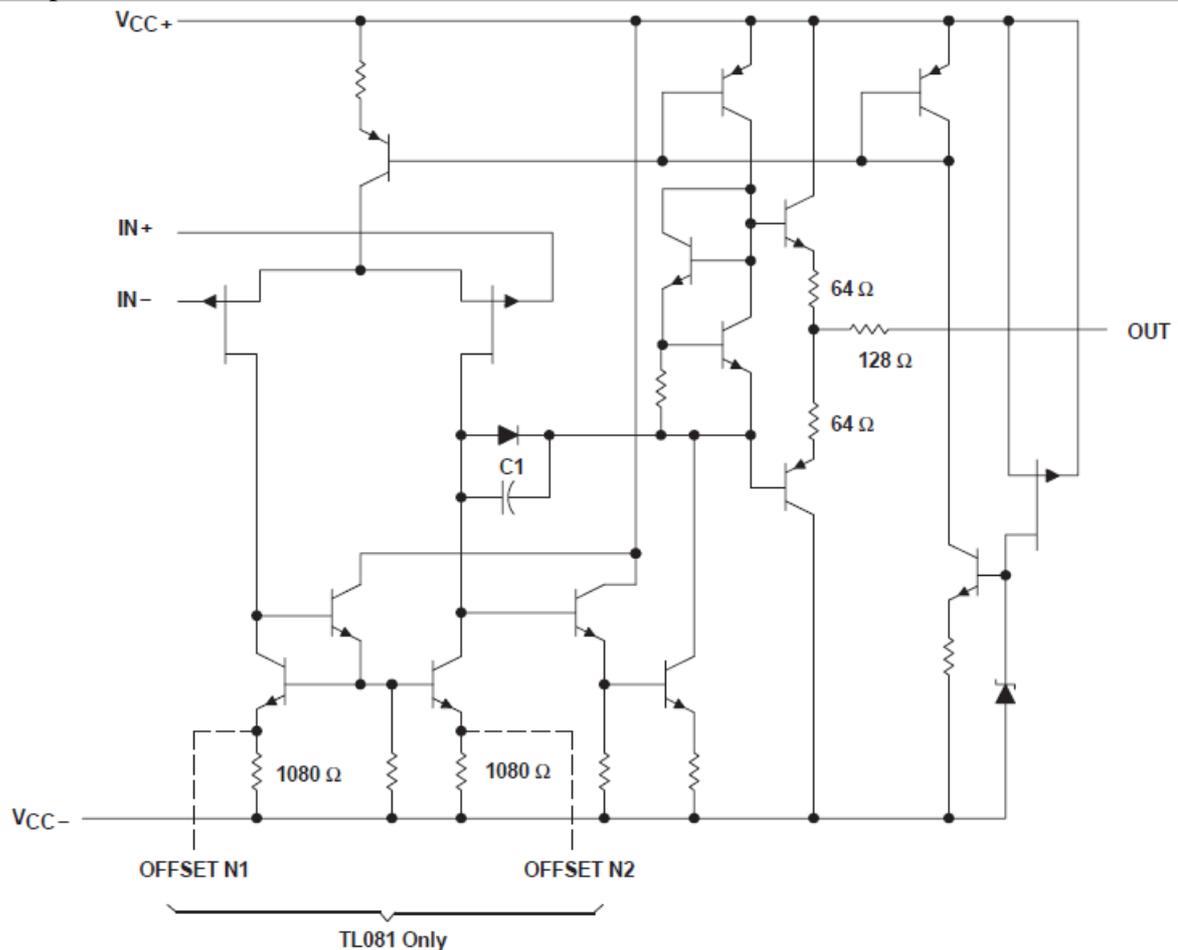


Figura 6.45 Diagrama esquemático del amplificador operacional tipo BICFET TL081/082

6.11. APLICACIONES BASICAS DEL AMPLIFICADOR OPERACIONAL

De acuerdo a los conceptos adquiridos en los Capítulos precedentes, en general puede afirmarse que un amplificador operacional., en adelante llamado OpAmp. se halla constituido por un conjunto de etapas amplificadoras, generalmente integradas en una misma pastilla, tal que proporciona muy altas ganancia y resistencia de entrada y una muy baja resistencia de salida, disponiendo de una etapa de entrada tipo diferencial que facilita la aplicación de realimentación negativa externa.

Efectivamente, tal como se estudiara oportunamente al analizar las configuraciones de entrada del OpAmp. tipo 741, normalmente hay un grupo de OpAmp. que poseen una etapa de entrada en configuración diferencial, polarizada mediante una fuente de corriente activa que asimismo cuenta con un sistema de carga activa, tal que le proporciona una alta Relación de Rechazo de Modo Común, permitiendo disponerse del par de terminales de entrada. Le sigue luego una etapa del tipo separadora acoplada a alguna configuración apropiada para conseguir la alta ganancia recién mencionada, terminando todo el conjunto con una etapa de salida que le permite proporcionar una señal de potencia relativamente elevada y una resistencia de salida baja.

Esquemáticamente se lo suele representar mediante el símbolo indicado en la figura 6.46.a). Allí pueden observarse los dos terminales de entrada: el llamado INVERSOR (a veces denotado con **INV** ó con **-**) y el NO INVERSOR (ó **+**), así como el terminal de salida que proporciona la tensión de salida V_o con referencia de masa. En dicha figura, **A** es la llamada ganancia a lazo abierto del operacional o simplemente ganancia (de tensión diferencial) del operacional.

Las tensiones de señal que se apliquen al terminal de entrada NO INVERSOR son amplificadas sin modificación alguna de su componente de fase: la ganancia **A** resulta positiva o no inversora. En cambio las tensiones de señal aplicadas al terminal INVERSOR son amplificadas y proporcionadas a la salida con una ganancia (**A**) negativa, vale decir que se les introduce una componente de fase de 180° (Ganancia negativa o Inversora)

En la figura 6.46.b). se observa un cuadripolo equivalente que se puede asociar con el OpAmp. En dicha figura la tensión de salida a circuito abierto (V_o)_o queda representada por:

$$(V_o)_o = A \cdot V_i$$

siendo entonces **A** la ganancia de tensión o simplemente ganancia del OpAmp. con la salida a circuito abierto ($R_L = \text{infinito}$) o bien para una carga R_L no inferior a un cierto valor mínimo (por lo menos diez veces mayor que R_o) y que se reconoce por la denominación de Ganancia a Lazo Abierto (Open Loop Gain), siendo V_i la tensión diferencial de entrada.

R_{id} es la Resistencia de Entrada del OpAmp. y queda definida por la resistencia de entrada diferencial de la etapa de entrada, mientras que R_o es la resistencia de salida del OpAmp.

Un OpAmp. ideal debería poseer las siguientes características:

$$A = \text{Infinito}$$

$$R_{id} = \text{Infinito}$$

$$R_o = 0$$

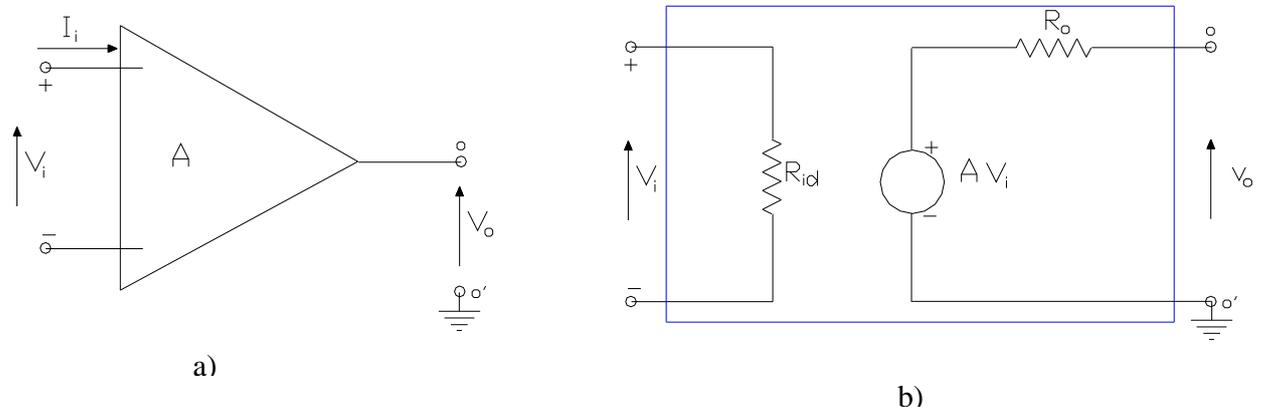


Figura 6.46 a) símbolo del amplificador operacional; b) circuito equivalente del amplificador operacional

además de una serie de requisitos en el comportamiento general que iremos viendo en detalle a medida que avancemos en el trabajo.

Así un OpAmp. que cumpla con dichos requisitos, aún en forma relativa, como ocurre en la mayoría de los OpAmp. reales, se comportará como un “componente” sumamente versátil y apto para ser utilizado como amplificador básico en sistemas realimentados, de modo tal que las características finales a lazo cerrado sean prácticamente independientes del propio OpAmp. y en cambio “únicamente” dependientes de la red de realimentación externa utilizada. Luego, variando dichas redes de realimentación se puede considerar al dispositivo resultante como un elemento capaz de desempeñar innumerables funciones.

A los efectos de comprobar el grado de cumplimiento relativo de tales requisitos pueden considerarse los datos que al respecto se suministren para diferentes OpAmp., centrando la atención sobre los citados tres parámetros dinámicos. Se observará entonces que tal como ocurre en el tipo 741, la ganancia A es del orden de 10^5 ó más, típicamente R_{id} resulta del orden del MOhm y normalmente R_o se encuentra por debajo de los 100 Ohm. Así, en el esquema de la figura 6.46.b) se tiene:

$$V_i = \frac{V_o}{A} \quad \text{por lo que siendo } V_o \text{ distinto de cero, al ser } A \text{ muy grande (idealmente infinito),}$$

resultará V_i despreciable (idealmente cero). Es decir V_i prácticamente cero.

Por otra parte, en la entrada del circuito equivalente de la figura 6.46.b) la corriente de entrada I_i resultará:

$$I_i = \frac{V_i}{R_{id}} \quad \text{y dado que en esta ecuación } V_i \text{ es aproximadamente cero y } R_{id} \text{ muy grande}$$

(idealmente infinito), se tendrá que por ambas razones $I_i = 0$ (prácticamente sin error)

con respecto al caso ideal).

En resumen, dadas las características dinámicas de operación, en un OpAmp. siempre se tendrá:

$$V_i = 0 \quad \text{e} \quad I_i = 0$$

Literalmente estas particularidades del amplificador operacional ideal pueden describirse diciendo que los terminales de entrada son equipotenciales y que los mismos no tienen corriente.

6.11.1.- Amplificador operacional no inversor:

Una de las aplicaciones básicas del OpAmp. en la electrónica lineal consiste en su utilización en un circuito tal como el indicado en la figura 6.47.a). En la figura 6.47.b) puede observarse el mismo circuito amplificador en donde se ha reemplazado el símbolo del OpAmp. por el modelo circuital presentado en la figura 6.46.b) .

CoCCCCC

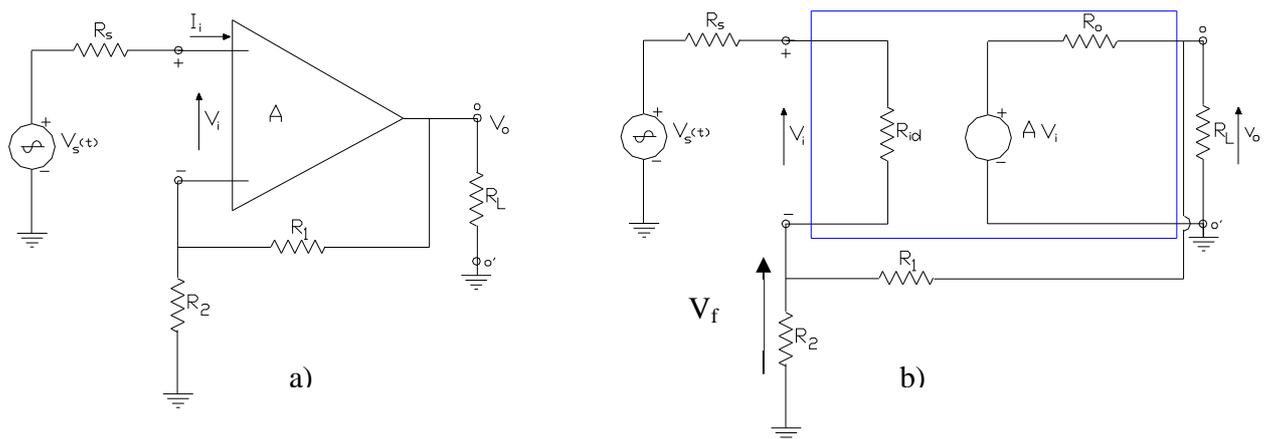


Figura 6.47 a) Circuito amplificador operacional no inversor; b) Circuito equivalente del amplificador no inversor

Como en los terminales de entrada del Op.Amp. Ideal no hay corriente $V_f = V_o \cdot \frac{R_2}{R_1 + R_2}$

En la malla de entrada del circuito de la figura 6.47.b). la ecuación de las tensiones es:

$$V_s - I_i \cdot R_s - V_i - V_f = 0$$

y si consideramos las características ideales del OpAmp. ($V_i = 0$ e $I_i = 0$) la ecuación se reduce a:

$$V_s = V_f \quad \text{luego reemplazando } V_f$$

la ganancia de tensión a lazo cerrado quedará $A_{V_{sFT}} = \frac{V_o}{V_s} = \frac{V_o}{V_f} = 1 + \frac{R_1}{R_2}$

Próximamente cuando veamos un nuevo método para analizar estos circuitos amplificadores realimentados veremos también que la resistencia de entrada de este amplificador tiende a infinito y una resistencia de salida prácticamente nula transformándose así en un excelente amplificador de tensión que presenta una ganancia de tensión totalmente desensibilizada al quedar fijada solo por R_1 y R_2 .

6.11.2.- Amplificador operacional inversor:

Se trata ahora de otra de las aplicaciones básicas del OpAmp. en la electrónica lineal, y consiste en su utilización en un circuito tal como el indicado en la figura 6.48. La fuente de excitación de tensión se conecta sobre la entrada inversora y la red de realimentación se conecta entre la salida y el mismo terminal de entrada inversor, mientras que el terminal no inversor se refiere a masa, sea directamente o bien a través de otro resistor.

En un estudio en donde se consideren las características ideales de operación del OpAmp., dado que en esta aplicación el terminal no inversor se conecta a masa dada la equipotencialidad de los terminales de entrada puede considerarse que la componente dinámica de la tensión del nodo de mezcla o nodo "A" resulta ser:

$$V_{AT} = V_i = 0$$

por lo que dicho nodo "A" se comporta dinámicamente como si estuviera vinculado con masa, motivo por el cual se lo describe como una TIERRA VIRTUAL.

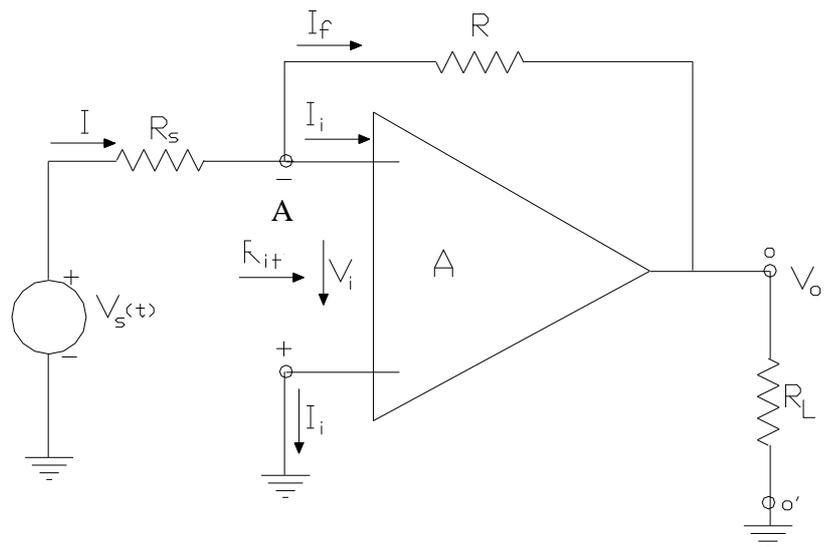


Figura 6.48 Circuito amplificador operacional inversor.

Cabe agregar asimismo, que mas tarde agregaremos un resistor en serie con el terminal no inversor y aún así, dado que la corriente $I_i = 0$, al no registrarse diferencia de potencial en el mismo, dicho nodo "A" continuará comportándose como Tierra Virtual.

Como una consecuencia de ello la corriente I en R_s es la misma que la corriente I_f en R comprobándose que la inversión de fase asociada a dicho terminal de excitación, posibilita una I_f positiva y por lo tanto una realimentación negativa. Ambas corrientes pueden determinarse como:

$$I = \frac{V_s - V_{AT}}{R_s} \quad \text{y como } V_{AT} = 0 \quad \text{resulta} \quad I = \frac{V_s}{R_s}$$

$$I_f = \frac{V_{AT} - V_o}{R} \quad \text{y como } V_{AT} = 0 \quad \text{resulta} \quad I_f = \frac{-V_o}{R}$$

y dado que, como ya se dijo: $I = I_f$ resulta: $\frac{-V_o}{R} = \frac{V_s}{R_s}$ por lo que: $A_{VstT} = \frac{V_o}{V_s} = \frac{-R}{R_s}$

cuyo resultado ahora es una GANANCIA INVERSORA y nuevamente fijada con exclusividad por la relación entre las resistencias R_s y R conectadas sobre el terminal inversor. Asimismo y dada la característica de tierra virtual del terminal inversor, la resistencia de entrada que ve el generador de tensión ideal de excitación es únicamente R_s .