

CAPÍTULO 5

Amplificadores de circuitos integrados de una etapa

.	Introducción	269	5.5	El amplificador diferencial	
				Introducción	295
5.1	Filosofía del diseño de Circuito Integrado	270	5.5.2	El par diferencial MOS	296
			5.5.4	El par diferencial Bipolar	310
5.2	Comparación entre el MOSFET y BJT	271	5.6	Fuentes de corriente activas	335
			5.7	Característica de transferencia de los amplificadores diferenciales	344
5.3	Polarización de CI: Fuentes de alimentación de corriente, Espejos de corriente	279	5.8	Conceptos de proyecto de amplificadores diferenciales	348
5.4	Los amplificadores de fuente común y emisor común con cargas activas	288			

INTRODUCCIÓN

Una vez que se han estudiado los principales componentes electrónicos activos (el MOSFET y el BJT) y sus aplicaciones básicas en circuitos, ahora se está en condiciones de estudiar el diseño de circuitos integrados analógicos más complejos. Los cuatro capítulos anteriores tienen este objetivo. Proporcionan un conjunto cuidadosamente seleccionado de temas adecuados e imprescindibles para encarar esta segunda parte.

Los estudios previos suponen el conocimiento de las características, los modelos y las aplicaciones básicas de los MOSFET y los BJT (Capítulos 3 y 4). Para revisar y consolidar este material y las diferencias entre los dos componentes mencionados, es recomendable repasar los contenidos de la Sección 5.2. con sus tres tablas (5.1. – 5.2. – 5.3.). El resto del presente capítulo 5 proporciona un estudio sistemático de los bloques de construcción de circuitos que se utilizan en el diseño de circuitos integrados (CI) analógicos, incluyendo a una de las configuraciones de uso más amplio en este campo: el par diferencial. En cada caso se ha tomado en consideración solo la operación a baja frecuencia dejando para más adelante al estudio del comportamiento en altas frecuencias.

Nuevamente se presentan en primer lugar los circuitos MOSFET, simplemente porque ahora es el dispositivo que se usa en el 90 % de los circuitos integrados de actualidad. Los circuitos de transistores bipolares se presentan con la misma profundidad, pero en segundo lugar y, en ocasiones de manera más breve.

Este capítulo comienza con una breve sección sobre la filosofía del diseño de los circuitos integrados y sus diferencias con la de los circuitos discretos. No obstante lo dicho, en todo el capítulo se presentan juntos los circuitos MOS y bipolares, lo que permite una cierta economía en la presentación y, lo que es más importante, proporciona una oportunidad de comparar y contrastar los dos tipos de circuitos. Con ese fin, la sección 5.2. se presenta una comparación completa de los atributos de los dos tipos de transistor que debe servir como revisión y guía de las muy interesantes similitudes y diferencia entre los dos componentes.

Siguiendo al estudio de la polarización de CI se presentan las diversas configuraciones de amplificadores con CI de una etapa. Este material se basa en el estudio de las configuraciones básicas de amplificadores discretos de las secciones precedentes. También se estudian configuraciones que utilizan dos transistores como amplificadores.- Estas "configuraciones compuestas" suelen tratarse como amplificadores de una etapa (por las razones que se aclararan oportunamente).

Los circuitos de espejo de corriente y de fuente de corriente desempeñan un papel importante en el diseño de amplificadores con CI, en los que sirven como elementos de polarización y de carga. Por ello, se regresara al tema de los espejos de corriente mas adelante y se tomara en consideración algunas de sus formas avanzadas (y ciertamente ingeniosas).

Aunque los circuitos CMOS son los más empleados hoy, en algunas aplicaciones la adición de transistores bipolares ofrece un desempeño superior. Los circuitos que combinan transistores MOS y bipolares en una tecnología conocida como BiMOS o BiCMOS se presentan en los lugares apropiados a lo largo de todo el capítulo y como siempre, este concluye con algún ejemplo de simulación con SPICE.

5.1 FILOSOFÍA DEL DISEÑO DE CI

La tecnología de fabricación de circuitos integrados plantea restricciones al diseñador de circuitos a la vez que le presenta oportunidades. Por lo tanto, aunque las consideraciones respecto al área de los chips determinan que deben evitarse los resistores de valores grandes, si se cuenta con fuentes de corriente constante. No se dispone de capacitores grandes, como los utilizados para el acoplamiento y paso de la señal en los circuitos amplificadores hasta ahora estudiados, excepto, tal vez, como componentes externos al chip de CI. Aun así, el numero de esos capacitores tiene que mantenerse al mínimo; de otra manera, se aumentara la cantidad de terminales del chip y, por lo tanto su costo. Sin embargo, es fácil fabricar capacitores muy pequeños con valores que fluctúan entre los picofaradios y fracciones de estos empleando tecnología MOS de CI ; además, pueden combinarse con amplificadores e interruptor4es MOS para crear una amplia variedad de funciones de procesamiento de señal, tanto analógica como digital.

Como regla general en el diseño de circuitos integrados MOS es necesario esforzarse por lograr la mayor cantidad posible de funciones solicitadas, empleando únicamente transistores MOS y, cuando sea necesario, pequeños capacitores MOS. Es posible cambiar el tamaño de estos transistores (es decir pueden seleccionarse valores de ancho y largo que cumplan un amplio rango de requisitos de diseño). Además, pueden modificarse las matrices de los transistores (o, de manera mas general, hacer que tengan las relaciones de tamaño deseadas) para crear bloques de construcción tan útiles como los espejos de corriente.

En este momento resulta útil mencionar que para encapsular un número grande de componentes en el mismo chip de CI, la tendencia tiene que ser reducir sus dimensiones. Promediando la presente década de 2010 se encontraban en uso las tecnologías de proceso CMOS capaces de producir transistores con una longitud mínima de canal de 0,1 μm . Dispositivos tan pequeños necesitan operar con fuentes de alimentación de C.C. de tan solo 1 V. Aunque la operación a bajo voltaje ayuda a

reducir la disipación de potencia, plantea muchos desafíos al diseñador del circuito. Por ejemplo estos transistores MOS deben operarse con tensiones de sobre carga ($V_{GS} - V_T$) de tan solo 0,2 V mas o menos. En el estudio de los amplificadores MOS se harán comentarios frecuentes sobre estos temas.

Los circuitos con amplificadores MOS que se estudiarán estarán diseñados casi por completo usando MOSFET de ambas polaridades (es decir NMOS y PMOS) porque están disponibles en la tecnología CMOS. Como se menciono antes, CMOS es actualmente la tecnología de CI mas usada para aplicaciones analógicas, digitales, o que combinan ambas (llamadas de señal mezclada). No obstante los circuitos integrados bipolares aun ofrecen muchas oportunidades estimulantes al ingeniero de diseño analógico. Esto es especialmente cierto para los conjuntos de circuitos de propósito general, como los amplificadores operacionales de alta calidad que se pretenden montar en tarjetas de circuitos impresos en lugar de ser parte de un chip del sistema. Además los circuitos bipolares proporcionan corrientes de salida mucho mayores y presentan aptitudes más favorables para ciertos usos, como en la industria automotriz, para alcanzar alta confiabilidad en condiciones ambientales extremas. Por ultimo, los circuitos bipolares pueden combinarse con CMOS de maneras innovadoras y creativas.

5.2 COMPARACION ENTRE EL MOSFET Y EL BJT

En esta sección se presenta una comparación de las características de los dos principales componentes electrónicos activos: el MOSFET y el BJT. Para facilitar dicha comparación se presentan primero los valores típicos de sus parámetros más importantes.

5.2.1 Valores típicos de los parámetros del MOSFET

En la tabla 5.1 se muestran los valores típicos en los parámetros más importantes de los transistores NMOS y PMOS fabricados con varios procesos CMOS. Cada proceso esta caracterizado por la longitud mínima permitida de canal, L_{min} ; por ejemplo en un proceso de 0,18 μm , el transistor más pequeño tiene una longitud de canal de 0,18 μm . Las tecnologías presentadas en la tabla 5.1 aparecen en orden descendente de longitud de canal, siendo la más moderna aquella que tiene la longitud de canal más corta. Aunque en la actualidad resulta obsoleto el proceso de 0,8 μm , se incluyen sus datos para mostrar las tendencias en los valores de los diversos parámetros. También debe mencionarse que aunque la tabla 5.1 se detiene en el proceso de 0,18 μm al promediar la década de 2010 ya se encontraban disponibles comercialmente un proceso de fabricación de 0,13 μm y en desarrollo otro proceso de 0,09 μm , los que al no ser tan populares como el de 0,18 μm no se han incluido por falta de información.

No obstante aquí se debe tener precaución; los datos presentados en la tabla 5.1 no pertenecen a un determinado proceso disponible comercialmente. De acuerdo con esto, los datos genéricos no estan destinados a usarse en un diseño real de CI; mas bien, muestran tendencias y, como se vera, ayudan a ilustrar las compensaciones y los equilibrios de diseño, además de que permiten trabajar los ejemplos y problemas de diseño con valores de parámetros que son lo mas reales posible.

Como se indica en la tabla 5.1 la tendencia ha sido reducir la longitud de canal mínima permisible. Esta tendencia ha estado motivada por el deseo de incrementar la densidad de integración, además de operar a velocidades mas elevadas, en términos analógicos, en mayores anchos de banda.

Observe que el espesor del oxido t_{ox} se vuelve más pequeño de acuerdo con la longitud del canal, alcanzando 4 nm para el proceso de 0,18 μm . Debido a que la capacitancia del oxido C_{ox} es inversamente proporcional al espesor t_{ox} se ve que C_{ox} aumenta a medida que la tecnología se facilita la

TABLA 5.1. Valores típicos de los parámetros del componente CMOS

Parámetro	0,8 μm		0,5 μm		0,25 μm		0,18 μm	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
t_{ox} (nm)	15	15	9	9	6	6	4	4
C_{ox} (fF/ μm^2)	2,3	2,3	3,8	3,8	5,8	5,8	8,6	8,6
μ ($\text{cm}^2/\text{V}\cdot\text{s}$)	550	250	500	180	460	160	450	100
μC_{ox} ($\mu\text{A}/\text{V}^2$)	127	58	190	68	267	93	387	86
V_{T0} (V)	0,7	-0,7	0,7	-0,8	0,473	-0,62	0,48	-0,45
V_{DD} (V)	5	5	3,3	3,3	2,5	2,5	1,8	1,8
$/V_A/$ (V/ μm)	25	20	20	10	5	6	5	6
C_{ov} (fF/ μm)	0,2	0,2	0,4	0,4	0,3	0,3	0,37	0,33

μ_p disminuye mucho más rápido que μ_n . Como resultado, la relación entre μ_p y μ_n ha ido disminuyendo con cada generación de tecnología, variando desde alrededor de 0,5 en tecnologías antiguas a 0,2, aproximadamente, en las más recientes. A pesar de la reducción de μ_n y μ_p , los parámetros de transconductancia ($\mu_n C_{ox}$ y $\mu_p C_{ox}$) se han incrementado de manera constante. En consecuencia, los componentes modernos de canal corto logran los niveles requeridos de corrientes de polarización a menores voltajes de sobrecarga. Además, alcanzan una transconductancia mayor, que es una ventaja importante.

Aunque las magnitudes de las tensiones de umbral V_{Tn} y V_{Tp} han ido disminuyendo con L_{min} de 0,7 a 0,8 V a 0,4 a 0,5 V, la reducción no ha sido tan grande como la de la fuente de alimentación V_{DD} . La última se ha reducido de manera importante de 5 V para las tecnologías antiguas a 1,8 V para el proceso de 0,18 μm . Esta reducción se ha debido a la necesidad de evitar que los campos eléctricos de los componentes más pequeños alcancen valores elevados. Otra razón para reducir V_{DD} es mantener la disipación de potencia lo más baja posible, dado que el chip de CI ahora tiene un número mucho más grande de transistores.

El hecho de que en los modernos procesos CMOS de canal corto V_T se haya vuelto una proporción mucho más grande del voltaje de alimentación plantea un desafío serio a la ingeniería de diseño de circuitos. Recuerde que $(V_{GS} - V_T)$ debe ser mayor que cero de modo que para mantener V_{GS} pequeño tal condición se cumple pero muy extremadamente al límite (solo 0,2 a 0,3 V superior en las tecnologías más recientes). Para apreciar esto aún más, recuerde que para operar un componente MOSFET en la región lineal y fuera de la zona de triodo, V_{DS} debe exceder a $(V_{GS} - V_T)$ por lo tanto para tener varios componentes entre la fuente de alimentación, en un régimen en que V_{DD} solo es de 1,8 V o menor, se debe mantener $(V_{GS} - V_T)$ lo más bajo posible. Sin embargo, en breve se verá que la operación con un $(V_{GS} - V_T)$ bajo tiene sus desventajas.

Otra característica importante, aunque indeseable, de las tecnologías CMOS modernas en tamaños de solo algunas micras es que el efecto de modulación de la longitud de canal es muy pronunciado. Como resultado, la tensión de Early se ha estado reduciendo de manera constante, lo cual combinado con los valores decrecientes de L ha causado que el MOSFET de canal corto muestre bajas resistencias de salida.

5.2.2 Valores típicos de los parámetros de CI de un BJT

En la tabla 5.2 se proporcionan valores de los principales parámetros que caracterizan los transistores bipolares de circuitos integrados. Los datos que se proporcionan son para dispositivos fabricados con dos procesos diferentes: el estándar y antiguo, conocido como “proceso de alto voltaje”, y un proceso avanzado, moderno, conocido como “proceso de bajo voltaje”. Para cada proceso se muestran los parámetros del transistor npn estándar y los de un tipo especial de transistor npn conocido como **lateral**, en oposición al caso del npn vertical. En relación con esto, se debe mencionar que una desventaja importante de los procesos de fabricación estándar de los circuitos integrados bipolares ha sido la falta de transistores pnp de igual calidad que la de los componentes npn. En cambio, hay varias instrumentaciones pnp para las cuales es más económico fabricar el pnp lateral. Sin embargo por desgracia, como se hará evidente en la tabla 5.2, el pnp lateral tiene características muy inferiores a las del npn. Tome nota, sobre todo, del valor inferior de β y el valor mucho mayor del tiempo de tránsito directo τ_f que determina la capacitancia de difusión de emisor a base C_{be} y, por lo tanto, la velocidad de operación del transistor.

TABLA 5.2 Valores de parámetros típicos de un BJT

Parámetro	Proceso estándar de alto voltaje		Proceso avanzado de bajo voltaje	
	npn	pnp lateral	npn	pnp lateral
(area base-emisor) $A_E (\mu\text{m}^2)$	500	900	2	2
$I_S (\text{A})$	$5 \cdot 10^{-15}$	$2 \cdot 10^{-15}$	$6 \cdot 10^{-18}$	$6 \cdot 10^{-18}$
β_o	200	50	100	50
$V_A (\text{V})$	130	50	35	30
$V_{CEo} (\text{V})$	50	60	8	18
τ_f	0,35 ns	30 ns	10 ps	650 ps
C_{jeo}	1 pF	0,3 pF	5 fF	14 fF
$C_{\mu o}$	0,3 pF	1 pF	5 fF	15 fF
$r_x (\Omega)$	200	300	400	200

Los datos de la tabla 5.2 se emplean para mostrar que la frecuencia de ganancia unidad, también llamada PGB (producto ganancia por ancho de banda) del pnp lateral es dos ordenes de magnitud inferior a las del transistor pnp fabricado con el mismo proceso. Otra diferencia importante entre ambos es el valor de corriente del colector en la cual sus valores de β alcanzan sus máximos. Por ejemplo, para el proceso de alto voltaje esta corriente se encuentra en el intervalo de décimas de micro amperes para el pnp y en el de los mili amperes para el npn. En el lado positivo, el problema de la falta de transistores pnp de alta calidad ha llevado a los diseñadores de circuitos analógicos a crear topologías de circuito muy innovadoras que minimizan el uso de transistores pnp o la dependencia del desempeño del circuito con respecto al pnp. Mas adelante encontrara algunos de estos ingeniosos circuitos.

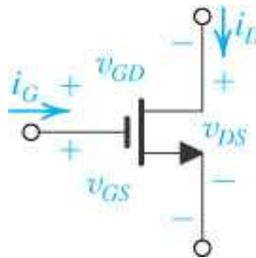
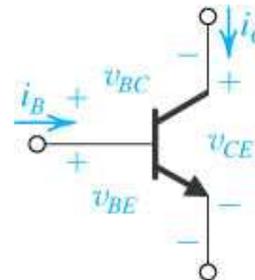
La fuerte reducción en el tamaño del dispositivo alcanzada con el proceso avanzado de bajo voltaje debe ser evidente en la tabla 5.2. Como resultado, la corriente de saturación inversa en la juntura base colector I_S también se ha reducido en alrededor de tres ordenes de magnitud. Aquí se debe tener en cuenta que el ancho de la base alcanzado en el proceso avanzado se encuentra en el orden de

0,1 μm en comparación con unos cuantos micrones en el proceso estándar de alto voltaje. Tome nota también del importante aumento de velocidad; para el transistor npn de bajo voltaje, $\tau_f = 10$ ps, en comparación con los 0,35 ns del proceso de alto voltaje. Como resultado, la frecuencia de transición para el moderno transistor npn es de 10 a 25 GHz, en comparación con los 400 a 600 MHz alcanzado en el proceso de alto voltaje. Aunque la tensión de Early, V_A es menor en el proceso moderno que en el antiguo, aun es razonablemente alta, de 35 V. Por ultimo tome nota de que, como su nombre lo indica, los transistores npn fabricados con el proceso de bajo voltaje presentan ruptura en tensiones colector a emisor de 8 V, en comparación con los 50 V, mas o menos, característicos del proceso de alto voltaje. Por lo tanto, mientras los circuitos diseñados con el proceso estándar de alto voltaje utilizan fuentes de alimentación de +/- 15 V (por ejemplo, en amplificadores operacionales disponibles en el mercado del tipo 741), la tensión total de alimentación utilizado con los dispositivos bipolares modernos es de 5 V (o hasta 3,3 V para lograr compatibilidad con algunos de los procesos CMOS en tamaños inferiores a un micrón).

5.2.3 Comparación de características importantes

En la tabla 5.3 se proporciona una compilación de las características importantes de los transistores NMOS y npn. El material se presenta de tal forma que facilita la comparación. Inmediatamente, se proporcionan comentarios sobre los diversos temas de la tabla 5.3. Además, se incluyen varios ejemplos numéricos y ejercicios para ilustrar la forma en que se puede usar el cúmulo de información de la tabla 5.3. Antes de seguir adelante observe que el PMOS y los transistores pnp pueden compararse de modo similar.

TABLA 5.3 Comparación entre el MOSFET y el BJT

	NMOS	npn
Símbolo del circuito		
Para operar en el modo activo deben satisfacerse dos condiciones	1) inducir un canal $v_{GS} > V_T$, $V_T = 0,5 - 0,7$ V Sea $v_{GS} = V_T + (v_{GS} - V_T)$	1) juntura Base-Emisor con polarización directa $v_{BE} > V_{BEu}$, con $V_{BEu} = 0,6$ V
	2) estrangular el canal en el drenaje $v_{DS} > (v_{GS} - V_T)$ con $(v_{GS} - V_T) = 0,2 - 0,3$ V	2) juntura Base-Colector con polarización inversa $v_{CE} > V_{CE(sat)}$ con $V_{CE(sat)} = 0,3$ V

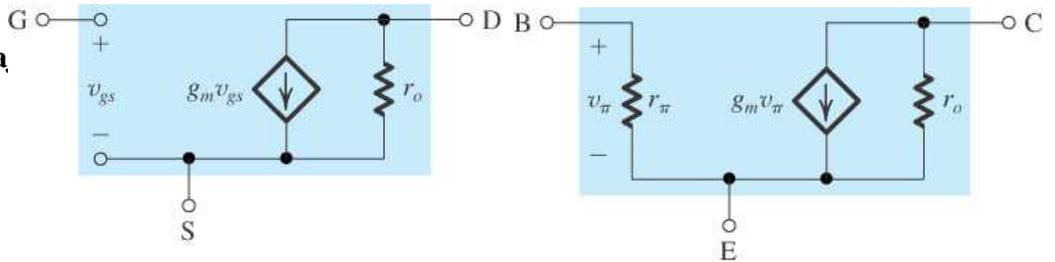
Característica de transferencia en la región activa

$$i_D = 0,5 \mu_n C_{ox} (W/L) (v_{GS} - V_T)^2 \cdot [1 + (v_{DS}/V_A)]$$

$$i_C = I_S \cdot e^{v_{BE}/V_T} \cdot [1 + (v_{CE}/V_A)]$$

$$i_G = 0 \qquad i_B = i_C/\beta$$

Modelo equivalente para bajo nivel en bajas frecuencias



Transconductancia g_m

$$g_m = \frac{2 I_D}{(v_{GS} - V_T)}$$

$$g_m = \frac{I_C}{V_T}$$

$$g_m = (\mu_n C_{ox}) (W/L) (v_{GS} - V_T)$$

$$g_m = \sqrt{2(\mu_n C_{ox}) (W/L) I_D}$$

Resistencia de salida:

$$r_o = \frac{V_A}{I_{DQ}}$$

$$r_o = \frac{V_A}{I_{CQ}}$$

Ganancia de tensión con la salida a circuito abierto A_v:
 $A_v = g_m r_o$

$$A_v = \frac{2 V_A}{(v_{GS} - V_T)}$$

$$A_v = \frac{V_A}{V_T}$$

Resistencia de entrada en configuraciones fuente (emisor) común:

infinito

$$r_{be} = \frac{\beta}{g_m}$$

Condiciones de Operación: Desde ahora en adelante se utilizara la descripción de **modo activo** y **región activa** para denotar el modo activo de operación del BJT y el modo de operación en saturación del MOSFET.

Las condiciones para operar en el modo activo son muy parecidas para los dos componentes: la tensión de umbral o de formación del canal V_T del MOSFET tiene la tensión base-emisor de umbral V_{BEu} como su contraparte en el BJT. Mas aun, para procesos modernos, V_{BEu} y V_T son casi iguales.

Además estrechar el canal en el extremo de drenaje es muy similar a la polarización inversa de la juntura colector base del BJT. Sin embargo tome nota de que la asimetría del BJT arroja como resultado que $V_{BCmin} = 0$ mientras que $V_{BEu} = 0,6$ V, mientras que en el MOSFET, que es simétrico, las tensiones de umbral en los extremos de la fuente y del drenaje es idéntica (V_T). Por ultimo, para que el MOSFET y el BJT operen en el modo activo, la tensión a través del componente (V_{DS} , V_{CE}) debe ser por lo menos 0,2 a 0,3 V.

Curvas características corriente-tensión: La característica de control de la ley de los cuadrados, i_D - v_{GS} , en el MOSFET debe contrastarse con la curva característica de control exponencial, i_C - v_{BE} , del BJT. Obviamente, la ultima es una relación mucho mas sensible, con el resultado de que i_C puede variar en un intervalo amplio (cinco décadas o mas) dentro del mismo BJT. En el MOSFET, el rango de variación de i_D que puede alcanzarse en el mismo componente es mucho mas limitado. Para apreciar mejor esta característica considere la relación parabólica entre i_D y $(v_{GS} - V_T)$, y recuerde del análisis anterior que $(v_{GS} - V_T)$ suele mantenerse en un rango muy estrecho de 0,2 a 0,4 V.

A continuación se considera el efecto de las dimensiones del componente sobre su corriente. Para el transistor bipolar, el parámetro de control es el área de la unión base-emisor, A_E , que determina corriente de saturación inversa I_S ; y puede variar en un intervalo relativamente estrecho, como de 10 a 1. Por lo tanto, mientras que el área del circuito se puede usar para alcanzar una escala de corriente en un CI (como se vera en la siguiente sección, en relación con el diseño de los espejos de corriente) su reducido rango de variación reduce su importancia como parámetro de diseño. Esto es particularmente cierto si se compara A_E con su contraparte en el MOSFET, la relación dimensional W/L . Es posible diseñar dispositivos MOSFET con relaciones W/L en una amplia gama, como 0,1 a 100. Como resultado, W/L es un parámetro de diseño MOS muy significativo, el cual, lo mismo que A_E también se usa en el cambio de escala de la corriente, como se vera en la siguiente sección. Al combinar el intervalo posible de variación de $(v_{GS} - V_T)$ y W/L , pueden diseñarse transistores MOS para que operen en un rango de i_D de aproximadamente cuatro décadas.

La modulación de la longitud de canal en el MOSFET y la modulación de ancho de base en el BJT están modelados de manera similar y dan lugar a la dependencia que tiene i_D (i_C) de v_{DS} (v_{CE}), por lo tanto a una resistencia de salida finita r_o en la región activa. Sin embargo, hay dos diferencias importantes. En el BJT, V_A es simplemente un parámetro de tecnología de proceso y no depende de las dimensiones del BJT. En el MOSFET la situación es muy diferente $V_A = V_A' L$, donde V_A' es un parámetro de tecnología del proceso y L es la longitud del canal, además en un proceso moderno de tamaños inferiores a un micrón, V_A' es muy bajo, lo que da como resultado que el valor de V_A sea mucho menor que los valores correspondientes del BJT.

La ultima diferencia, y tal vez la mas importante, entre las características corriente-tensión de los dos componentes se relaciona con la corriente de entrada en el terminal de control para las configuraciones emisor (fuente). Mientras que la corriente de compuerta del MOSFET es prácticamente cero y la resistencia de entrada es prácticamente infinita, el BJT tiene una corriente de base i_B que es proporcional a la corriente de colector, que es $i_B = i_C/\beta$. La corriente finita de la base y la correspondiente resistencia finita de entrada es una desventaja definitiva del BJT en comparación

con el MOSFET. Por supuesto, es la resistencia de entrada infinita del MOSFET la que ha hecho posible las aplicaciones de circuitos analógicos y digitales que no son factibles con los BJT. Entre los ejemplos se incluyen memorias digitales dinámicas y filtros de capacitor conmutado.

Modelos de baja frecuencia para pequeña señal: Los modelos de baja frecuencia para los dos componentes son muy similares, con excepción, por supuesto, que la corriente de base finita (β finita) del BJT, que da lugar a una resistencia de entrada r_{be} también finita y a las corrientes desiguales en el emisor y el colector en los modelos equivalentes de bajo nivel. Aquí es interesante notar que los modelos de baja frecuencia a pequeña señal se vuelven idénticos si se piensa en el MOSFET como un BJT con $\beta = \infty$ ($\alpha = 1$).

Para ambos componentes el modelo con fuente de corriente en la salida indica que la ganancia de tensión a circuito abierto obtenida en fuente común o emisor común es $-g_m \cdot r_o$. Se entiende que $g_m \cdot r_o$ es la ganancia máxima disponible a partir de un solo transistor de cualquier tipo que hemos llamado A_v .

Aunque no se incluye en el modelo del MOSFET de la tabla 5.3 el efecto de cuerpo puede tener importancia en la operación de este componente como amplificador. En forma sencilla si el cuerpo o tensión de señal desarrollada entre cuerpo y fuente, da lugar a una componente de corriente de drenaje que se encuentra relacionada con dicha tensión a través de una nueva transconductancia que usualmente toma un valor equivalente a un 10 o 20 % de g_m . El efecto de cuerpo no tiene contraparte en el BJT.

La transconductancia: Para el BJT la transconductancia g_m depende solamente de la corriente de colector I_C (recuerde que la tensión termión V_T es una constante física que a la temperatura ambiente de 25 °C es de 25 mV). Resulta interesante observar que g_m no depende de la geometría del BJT en todo caso el área semiconductor del mismo solo determinara el valor de la corriente de colector. En contraste el g_m de un MOSFET depende de I_D , de $(V_{GS} - V_T)$ y de W/L es por ello que hemos empleado tres formulas diferentes para expresar la transconductancia de un MOSFET.

La primera de las tres formulas de la tabla 5.3 es la mas directamente comparable con la formula valida para el BJT. Ella indica que para la misma corriente de polarización, la g_m del MOSFET es mucho mas pequeña que la del BJT, esto se debe a que $0,5 \cdot (V_{GS} - V_T)$ se encuentra en el rango de 0,1 a 0,2 V, es decir de 4 a 8 veces superior que en el BJT.

La segunda formula para el g_m del MOSFET indica que para un componente determinado (es decir una determinada relación W/L) g_m es proporcional a $(V_{GS} - V_T)$. Por lo tanto se obtiene una g_m mas alta al operar al MOSFET con una polarización $(V_{GS} - V_T)$ mas alta. Sin embargo, se deben recordar las restricciones impuestas a dicha magnitud debido a un valor limitado de la tensión de alimentación V_{DD} . Para expresarlo de otra manera, la necesidad de obtener una g_m razonablemente alta restringe el interés del diseñador por reducir $(V_{GS} - V_T)$.

La tercer formula de g_m muestra que para un transistor determinado (es decir una relación W/L determinada), g_m es proporcional a la raíz cuadrada de I_D . Esto debe contrastarse con el caso bipolar, en donde g_m es directamente proporcional a I_C .

Resistencia de salida: La resistencia de salida para ambos componentes esta determinada por formulas similares, en las que r_o es la relación entre la tensión de Early V_A y la corriente de polarización (I_C o I_D). Por lo tanto para ambos transistores la resistencia de salida es inversamente proporcional a la corriente de polarización.

Ganancia de tensión con la salida a circuito abierto A_v : La ganancia de tensión con la salida a circuito abierto A_v del BJT es la relación entre la tensión de Early V_A , que es solo un parámetro de proceso (de 35 a 130 V), y la tensión térmica V_T , que es una constante física (que a temperatura ambiente de 25 °C es de 25 mV) es por ello que resulta independiente del área de unión del dispositivo y de la corriente de operación. Su valor en los BJT varia de 1000 a 5000 (V/V).

La situación del MOSFET es muy diferente. En la tabla 5.3 se proporciona la formula pertinente y en la misma se observa que:

1. Además de depender de la tensión de Early V_A esta ganancia es inversamente proporcional a $[(v_{GS} - V_T) / 2]$, que es un parámetro de diseño, y aunque se esta volviendo cada vez mas pequeño en la tecnología de canal corto, aun es mucho mas grande que V_T . Todavía más, como se ha visto antes, hay razones para seleccionar valores mas grandes de $(v_{GS} - V_T)$;
2. La cantidad V_A es dependiente del proceso y del componente, y su valor se ha estado reduciendo constantemente.

Como consecuencia, la ganancia de tensión con la salida a circuito abierto que puede obtenerse con una sola etapa amplificadora MOSFET fabricado con una tecnología moderna de canal corto es de solo 20 a 40 (V/V), casi dos ordenes de magnitud inferior a la que se obtiene con un BJT.

Otra formula para cuantificar dicha ganancia A_v , que no esta incluida en la tabla 5.3 expresaría un hecho muy interesante: para una tecnología de proceso determinada $[(V_A/L)(\mu_n C_{ox})]$ y un componente determinado (W/L), la ganancia A_v es inversamente proporcional a la raíz cuadrada de la corriente de drenaje $[(I_D)^{0.5}]$. Esto se ilustra en la figura 5.1 que muestra una grafica típica de A_v frente a la corriente de polarización I_{DQ} . La grafica confirma que la ganancia aumenta a medida que la corriente de polarización disminuye. Sin embargo, la ganancia se desnivela a corrientes muy bajas. Esto se debe a que el MOSFET entra en la región de operación de subumbral. Donde su vuelve muy parecida a la de un BJT. Sin embargo, observe de que a pesar de volverse una constante, de manera muy parecida a un BJT pudiendo obtenerse una ganancia mas elevada a corrientes de polarización más bajas, el precio que se paga es una g_m muy baja y menor capacidad de excursión con menor capacidad para excitar cargas capacitivas y, por lo tanto una disminución en el ancho de banda.

5.2.4 Combinación de transistores MOS y bipolares (CI BiCMOS):

Siguiendo el análisis anterior, debe resultar evidente que el BJT tiene la ventaja sobre el MOSFET de una transconductancia mucho mayor (g_m) al mismo valor de corriente de polarización. Por lo tanto, además de obtener ganancias de tensión mucho más elevadas por etapa, los amplificadores con transistores bipolares tienen un desempeño superior a altas frecuencias, en comparación con sus contrapartes MOS, tal como se vera próximamente.

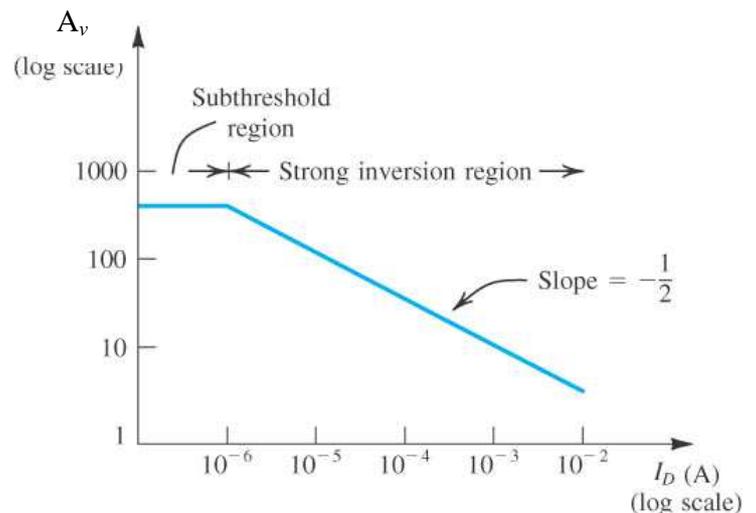


Figura 5.1 La ganancia A_v del MOSFET frente a la corriente I_D para el caso: $\mu_n C_{ox} = 20 \mu A/V^2$, $V_A/L = 20 V/\mu m$, $L = 2 \mu m$, and $W = 20 \mu m$.

Por otra parte, la resistencia de entrada prácticamente infinita de la compuerta de un MOSFET permite el diseño de amplificadores con resistencia de entrada extremadamente alta y corriente de polarización de entrada cercana a cero. Además, como ya se mencionó, el MOSFET proporciona una excelente solución como interruptor, lo que ha hecho que la tecnología CMOS produzca gran cantidad de funciones de circuito analógicas que no son posibles con los transistores bipolares.

Como podrá verse, cada uno de los dos tipos de transistor tiene sus propias ventajas, únicas y distintivas: la tecnología bipolar ha resultado extremadamente útil en el diseño de bloques de construcción de propósito general y calidad elevada, como amplificadores operacionales. Por otra parte, los CMOS, con su muy alta densidad de integración y su adecuación a circuitos analógicos y digitales, se ha vuelto la tecnología de elección para la instrumentación de circuitos integrados VLSI (de muy alta escala de integración). No obstante, el desempeño de los circuitos CMOS puede mejorar si el diseñador tiene a su disposición (en el mismo chip) transistores bipolares, empleándolos en funciones que requieren su elevada g_m y su excelente capacidad de control de corriente. Una tecnología que permite la fabricación de transistores bipolares de muy alta calidad en el mismo chip que los circuitos CMOS se denomina apropiadamente **BiCMOS**. Algunos de tales bloques circuitales BiCMOS tanto interesantes como útiles serán presentados más adelante.

5.2.5 Validez del modelo MOSFET de la ley de los cuadrados

Se concluye esta sección con un comentario sobre la validez del modelo de la ley simple de los cuadrados que se ha usado para describir la operación del transistor MOS. Aunque este modelo simple funciona bien en dispositivos con canales relativamente largos (mayor de $1\ \mu\text{m}$) no proporciona una representación exacta de la operación de los dispositivos de canal corto. Esto se debe a varios fenómenos físicos que entran en juego en estos componentes de tamaños menores a un micrón, lo que da como resultado los llamados **efectos de canal corto**. Aunque el estudio de estos efectos está fuera del alcance de este trabajo, debe mencionarse que se han desarrollado modelos MOSFET que toman en cuenta estos efectos. Sin embargo son difíciles de comprender y no se prestan para el tipo de análisis manual que es necesario para desarrollar un buen conocimiento de la operación del circuito. En cambio, son adecuados para la simulación por computadora y, por supuesto, se emplean en SPICE. Sin embargo, para un análisis manual rápido, se continuará utilizando el modelo de la ley de los cuadrados, que es la base para comparación de la tabla 5.3.

5.3 POLARIZACION DE CI: FUENTES DE ALIMENTACIÓN DE CORRIENTE, ESPEJOS DE CORRIENTE Y CIRCUITOS CONTROLADORES DE CORRIENTE

La polarización en el diseño de circuitos integrados se basa en el uso de fuentes de corriente constante. En un chip de CI con varias etapas amplificadoras, una corriente de C.C. constante (llamada **corriente de referencia**) se genera en un sitio y luego se replica en varios lugares adicionales para polarizar varias etapas amplificadoras mediante un proceso conocido como **control de corriente**. Este método tiene la ventaja de que no es necesario repetir en cada etapa del CI el esfuerzo dedicado a generar una corriente de referencia predecible y estable, empleando por lo general un resistor de precisión externo al chip. Mas aun, las corrientes de polarización de varias etapas de un CI deben tener algún grado de independencia de las variaciones de las fuentes de alimentación y ser insensibles a las variaciones de la temperatura.

En esta sección se estudian los bloques de construcción de circuitos y las técnicas empleadas en el diseño de polarización de amplificadores de CI. Estos circuitos también se utilizan como elementos de carga de amplificadores, como se verá próximamente.

5.3.1 La fuente de corriente básica con MOSFET:

En la figura 5.2 se muestra el circuito sencillo de una fuente de corriente constante realizada con transistores MOS. El eje del circuito es el transistor Q₁, cuyo drenaje esta en corto circuito con su compuerta forzándola a operar en el modo de saturación con:

$$I_{D1} = 0,5 (\mu_n C_{ox}) \left(\frac{W}{L} \right) (V_{GS} - V_T)^2 \quad (5.1)$$

donde se ha despreciado la modulación de la longitud del canal. La corriente del drenaje de Q₁ es proporcionada por V_{DD} mediante el resistor R, que en la mayor parte de los casos estaría fuera del chip de CI. Debido a que las corrientes de la compuerta son nulas,

$$I_{D1} = I_{REF} = \frac{V_{DD} - V_{GS}}{R} \quad (5.2)$$

donde la corriente a través de R se considera que es la corriente de referencia de la fuente de corriente y se denomina

Ahora considere el transistor Q₂: tiene el mismo V_{GS} que Q₁; por lo tanto, se supone que operando en saturación, y su corriente de drenaje, que es la corriente de salida I_o de la fuente de alimentación, será:

$$I_o = I_{D2} = 0,5 (\mu_n C_{ox}) \left(\frac{W}{L} \right)_2 (V_{GS} - V_T)^2 \quad (5.3)$$

en donde también se ha despreciado la modulación de la longitud del canal. Las ecuaciones (5.1) y (5.3) permiten relacionar la corriente de salida I_o con la corriente de referencia I_{REF} de la manera siguiente:

$$\frac{I_o}{I_{REF}} = \frac{(W/L)_2}{(W/L)_1} \quad (5.4)$$

Se trata de una relación simple y atractiva: la conexión especial de Q₁ y Q₂ proporciona una corriente de salida I_o que esta relacionada con la corriente de referencia I_{REF} mediante las relaciones dimensionales de los transistores. En otras palabras, la relación entre I_o e I_{REF} esta determinada solo por la geometría de los transistores. En el caso especial de transistores idénticos I_o = I_{REF}, y el circuito simplemente replica o refleja la corriente de referencia en el terminal de salida. Por esto se ha dado al circuito compuesto por Q₁ y Q₂ el nombre de **espejo de corriente**, nombre que se usa independiente de las dimensiones de sus componentes.

Por razones de simplicidad y generalidad en la figura 5.3 se describe el circuito de espejo de corriente con la corriente de referencia de entrada mostrada como si fuera proporcionada por una fuente de alimentación. La **ganancia de corriente o relación de transferencia de corriente** del espejo de corriente esta dada por la ecuación (5.4).

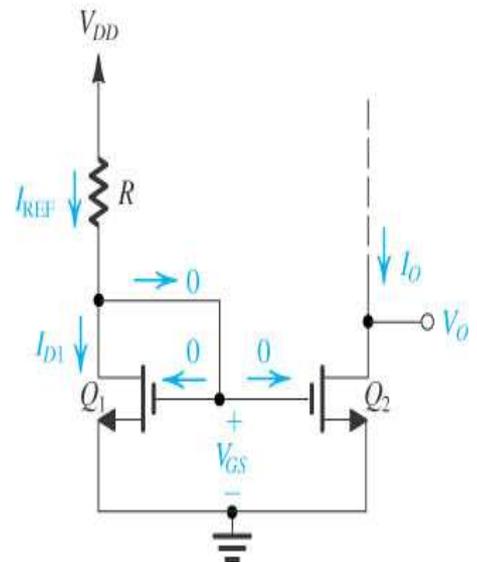


Figura 5.2 Circuito de una fuente de corriente constante MOSFET básica.

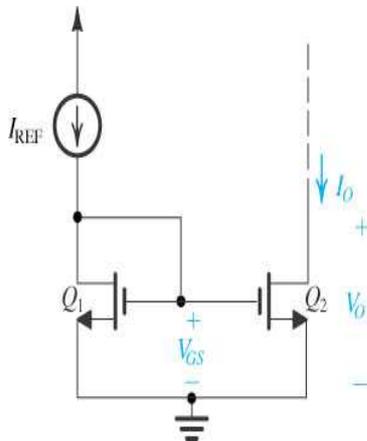


Figura 5.3 Espejo de corriente MOSFET básica.

Efecto de V_o sobre I_o En la descripción anterior para la operación de la fuente de alimentación de la figura 5.2 se supuso que Q_2 habría de operar en saturación. Esto resulta esencial si Q_2 debe proporcionar una corriente de salida constante. Para asegurar que Q_2 este saturado, el circuito al que el drenaje de Q_2 habrá de conectarse debe establecer una tensión de drenaje V_o que satisfaga la relación

$$V_o > (V_{GS} - V_T)$$

En otras palabras, la fuente de alimentación operara apropiadamente con una tensión de salida V_o un tanto mayor que $(V_{GS} - V_T)$ que es algunas décimas de volt.

Aunque se ha ignorado hasta ahora, la modulación de la longitud del canal puede tener un efecto significativo en la operación de la fuente de corriente. Considere, para mayor simplicidad el caso de transistores Q_1 y Q_2 idénticos. La corriente de drenaje de Q_2 , I_o ,

igualara a la corriente de Q_1 I_{REF} , cuando el valor de V_o coincida con el de V_{GS} . Conforme V_o aumenta por arriba de este valor, I_o se incrementa de acuerdo con la resistencia de salida incremental r_{os} de Q_2 . Esto se ilustra en la figura 5.4, en la que se representa I_o en función de V_o . Observe que, como Q_2 opera a un V_{GS} constante (determinado por la circulación de corriente I_{REF} por el componente idéntico Q_1), la curva de la figura 5.4. es simplemente la curva característica de salida para fuente común del transistor Q_2 para el V_{GS} antes mencionado.

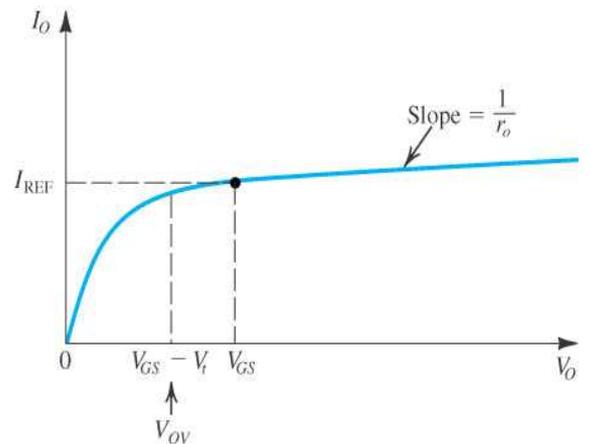


Figura 5.4 Característica de salida de la fuente de corriente de la figura 5.3 y el espejo de corriente de la figura 5.2 para el caso en que Q_2 coincida con Q_1 .

En resumen, la fuente de alimentación de la figura 5.2 y el espejo de corriente de la figura 5.3 tienen una resistencia de salida finita R_o dada por

$$R_o = \frac{\Delta V_o}{\Delta I_o} = r_{os2} = \frac{V_{A2}}{I_o} \quad (5.5)$$

donde I_o esta dada por la ecuacion (5.4) y V_{A2} es la tensión de Early de Q_2 . Además, recuerde que para una tecnología de proceso determinada, V_A es proporcional a la longitud de canal del transistor; por lo tanto, para obtener valores de resistencia de salida elevados, las fuentes de corriente suelen diseñarse con transistores con canales relativamente largos. Por ultimo, tome nota de que se puede expresar la corriente I_o como

$$\frac{I_o}{I_{REF}} = \frac{(W/L)_2}{(W/L)_1} I_{REF} \left(1 + \frac{V_o - V_{GS}}{V_{A2}} \right) \quad (5.6)$$

EJEMPLO 5.1

Dado $V_{DD} = 3 \text{ V}$ y utilizando una $I_{REF} = 100 \mu\text{A}$ se debe diseñar el circuito de la figura 5.2 para obtener una corriente de salida cuyo valor nominal sea de $100 \mu\text{A}$. Encuentre R si Q_1 y Q_2 están apareados y tienen una longitud de canal de $1 \mu\text{m}$, anchos de canal de $10 \mu\text{m}$, $V_T = 0,7 \text{ V}$, $\mu_n \cdot C_{ox} = 200 \mu\text{A/V}^2$. Cual es el menor valor posible de V_o ? Suponiendo que para esta tecnología de proceso la tensión de Early $V_A/L = 20 \text{ V}/\mu\text{m}$, encuentre la resistencia de salida de la fuente de alimentación. Además, encuentre el cambio en la corriente de salida resultante a partir de un cambio de $+1 \text{ V}$ en V_o .

Solución

$$I_{D1} = I_{REF} = 0,5 (\mu_n C_{ox}) \left(\frac{W}{L}\right) (V_{GS} - V_T)^2$$

$$100 = 0,5 \cdot 200 \cdot 10 \cdot (V_{GS} - V_T)^2$$

por lo tanto

$$(V_{GS} - V_T) = 0,316 \text{ V} \quad \text{con lo que} \quad V_{GS} = 0,7 + 0,316 = 1 \text{ V}$$

Luego

$$R = \frac{V_{DD} - V_{GS}}{I_{REF}} = \frac{3 - 1}{0,1 \text{ mA}} = 20 \text{ K}\Omega$$

$$V_{omin} = (V_{GS} - V_T) = 0,32 \text{ V}$$

Para el transistor utilizado, $L = 1 \mu\text{m}$. Por lo tanto

$$V_A = 20 \text{ V}/\mu\text{m} \cdot L = 20 \text{ V}$$

$$R_o = \frac{\Delta V_o}{\Delta I_o} = r_{os2} = \frac{V_{A2}}{I_o} = \frac{20 \text{ V}}{100 \mu\text{A}} = 200 \text{ K}\Omega$$

La corriente de salida sera $100 \mu\text{A}$ cuando $V_o = V_{GS} = 1 \text{ V}$. Si V_o cambia en $+1 \text{ V}$, el cambio correspondiente en I_o sera:

$$\Delta I_o = \frac{\Delta V_o}{R_o} = \frac{1 \text{ V}}{200 \text{ K}\Omega} = 5 \mu\text{A}$$

EJERCICIO

5.1 En la fuente de alimentación del ejemplo 5.1 se necesita reducir el cambio en la corriente de salida ΔI_o , correspondiente a un cambio en la tensión de salida, ΔV_o , de 1 V de modo que sea inferior al 1% de I_o . Cuales deben ser los cambios en las dimensiones de Q_1 y Q_2 ? Suponga que ambos transistores son idénticos.

Resp. $L = 5 \mu\text{m}$; $W = 50 \mu\text{m}$.

5.3.2 Circuitos MOS controladores de corriente:

Como se menciono recientemente, una vez generada la corriente constante, puede duplicarse para proporcionar corrientes de polarizacion para las varias etapas de amplificador de un CI. Obviamente, los espejos de corriente pueden usarse para implantar esta funcion de control de corriente. En la figura 5.5 se muestra un circuito simple de control de corriente.

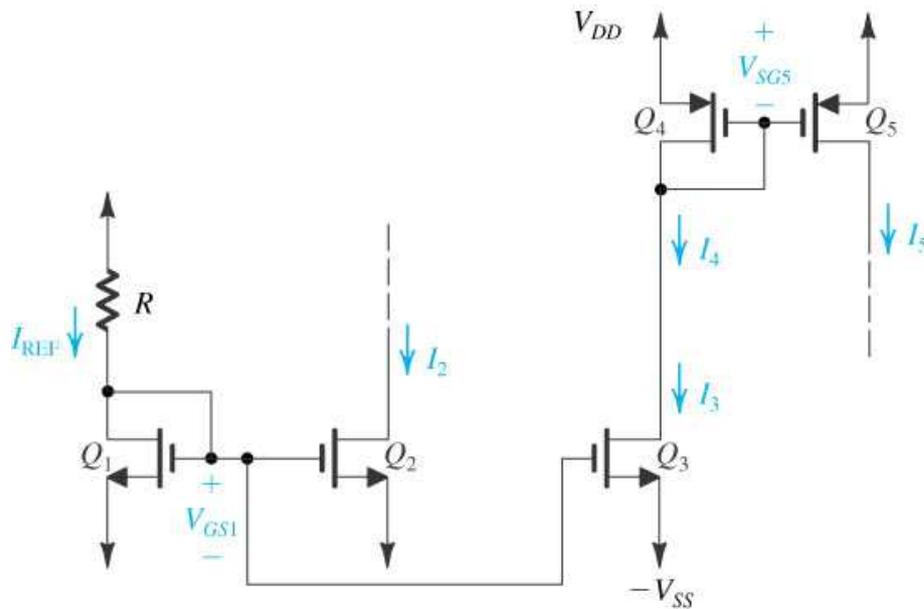


Figura 5.5 Circuito controlador de corriente con MOSFETs.

Aquí Q_1 y R determinan la corriente de referencia I_{REF} . Los transistores Q_1 , Q_2 y Q_3 forman un espejo de corriente de dos salidas,

$$I_2 = I_{REF} \frac{(W/L)_2}{(W/L)_1} \quad (5.7)$$

$$I_3 = I_{REF} \frac{(W/L)_3}{(W/L)_1} \quad (5.8)$$

Para asegurar la operacion en la region de saturacion, la tension de los terminales de drenaje de Q_2 y Q_3 se restringe como sigue

$$V_{D2}, V_{D3} > -V_{SS} + V_{GS1} - V_{Tn} \quad (5.9)$$

En donde $(V_{GS1} - V_{Tn})$ es el margen con que se supera la tension de formacion de canal de los transistores Q_1 , Q_2 y Q_3 . En otras palabras, los drenajes de Q_2 y Q_3 tendran que permanecer mas elevados que $-V_{SS}$ por lo menos en esa diferencia, lo que suele ser unas decimas de volt.

Siguiendo con el analisis del circuito de la figura 5.5 se ve que la corriente I_3 es alimentada en el lado de la entrada de un espejo de corriente formado por los transistores PMOS Q_4 y Q_5 . Este espejo proporciona

$$I_5 = I_4 \frac{(W/L)_5}{(W/L)_4} \quad (5.10)$$

donde $I_4 = I_5$. Para mantener Q_5 en saturacion, su tension de drenaje debe ser

$$V_{D5} < V_{DD} - |(V_{GS5} - V_{Tp})| \quad (5.11)$$

Por ultimo, un punto importante que se debe observar es que mientras Q_2 toma su corriente I_2 de una carga (no mostrada en la figura 5.5). Q_5 entrega su corriente I_5 en una carga (no mostrada en la figura 5.5). Por lo tanto, a Q_5 se le llama adecuadamente fuente de corriente, mientras que a Q_2 se lo denomina mas apropiadamente consumidor de corriente. En un CI ambos dispositivos suelen ser necesarios.

EJERCICIO

5.2 Para el circuito de la figura 5.5, $V_{DD} = V_{SS} = 1,5$ V, $V_{Tn} = 0,6$ V, $V_{Tp} = -0,6$ V, todas las longitudes de canal = $1 \mu\text{m}$, $\mu_n \cdot C_{ox} = 200 \mu\text{A}/\text{V}^2$, $\mu_p \cdot C_{ox} = 80 \mu\text{A}/\text{V}^2$ y $\lambda = 0$. Para $I_{REF} = 10 \mu\text{A}$, calcule los anchos de todos los transistores para obtener $I_2 = 60 \mu\text{A}$, $I_3 = 20 \mu\text{A}$ e $I_5 = 80 \mu\text{A}$. Se requiere adicionalmente que la tension en el drenaje de Q_2 pueda reducirse hasta $0,2$ V de la alimentacion negativa y que la tension de drenaje de Q_5 ascienda hasta $0,2$ V de la alimentacion positiva.

Resp. $W_1 = 2,5 \mu\text{m}$; $W_2 = 15 \mu\text{m}$; $W_3 = 5 \mu\text{m}$; $W_4 = 12,5 \mu\text{m}$; $W_5 = 50 \mu\text{m}$;

5.3.3 Circuitos con BJT:

El espejo de corriente basico con BJT se muestra en la figura 5.6. Funciona de manera muy parecida a la del espejo MOS. Sin embargo, hay dos diferencias importantes: en primer lugar, la corriente de base diferente de cero del BJT (o su equivalente, la β finita) provoca un error en la relacion de corrientes del espejo bipolar. En segundo lugar, la relacion de corrientes esta determinada por las areas relativas de las uniones base-emisor de Q_1 y Q_2 .

Considere primero el caso en que b es lo suficientemente alta como para despreciar las corrientes de base. La corriente de referencia I_{REF} pasa por el transistor conectado al diodo Q_1 y, por lo tanto, establece una tension correspondiente entre base emisor V_{BE} , que a su vez se aplica entre la base y el emisor de Q_2 . Ahora, si Q_2 coincide con Q_1 o, de manera mas especifica, si el area de la juntura base-emisor de Q_2 es la misma que la de Q_1 y, por lo tanto, Q_2 tiene la misma corriente de escala o de saturacion inversa I_S que Q_1 , entonces la corriente del colector de Q_2 sera igual a la de Q_1 ; es decir:

$$I_o = I_{REF} \quad (5.12)$$

Sin embargo, para que esto pase Q_2 debe operar en el modo activo, que se obtiene siempre que la tension del colector V_o sea de $0,3$ V o mayor que el del emisor.

Para obtener ua relacion de transferencia de corriente diferente de la unidad, por ejemplo m , simplemente se arregla que el area de la juntura emisor-base de Q_2 sea m veces la de Q_1 . En este caso,

$$I_o = m \cdot I_{REF} \tag{5.13}$$

En general, la relacion de transferencia de corriente esta dada por

$$\frac{I_o}{I_{REF}} = \frac{I_{S2}}{I_{S1}} = \frac{\text{Area de la Juntura B-E de } Q_2}{\text{Area de la Juntura B-E de } Q_1} \tag{5.14}$$

Como opcion, si la relacion de area m es un numero entero, se puede considerar que Q₂ es equivalente a m transistores y cada uno coincide con Q₁ y esta conectado en paralelo.

Veamos ahora el efecto de operarse con un valor finito de β del transistor en la relacion de transferencia de corriente. El analisis para el caso en que dicha relacion es nominalmente unitaria (es decir, para el caso en que Q₂ coincide con Q₁) se ilustra en la figura 5.7. La clave aqui es que debido a que Q₁ y Q₂ son coincidentes y tienen el mismo V_{BE}, sus corrientes de colector seran iguales. El restode este analisis es simple. La ecuacion de Kirchof en el nodo de colector de Q₁ determina la siguiente relacion de corrientes:

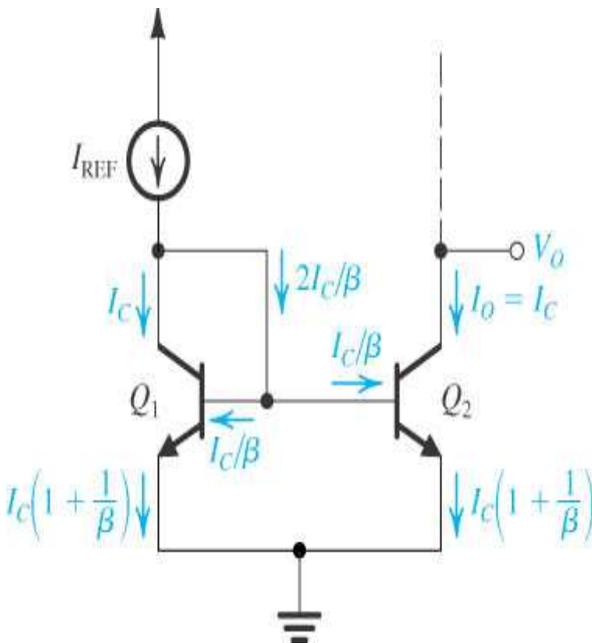


Figura 5.7 Analisis del espejo de corriente tomando en cuenta la β finita de los BJT.

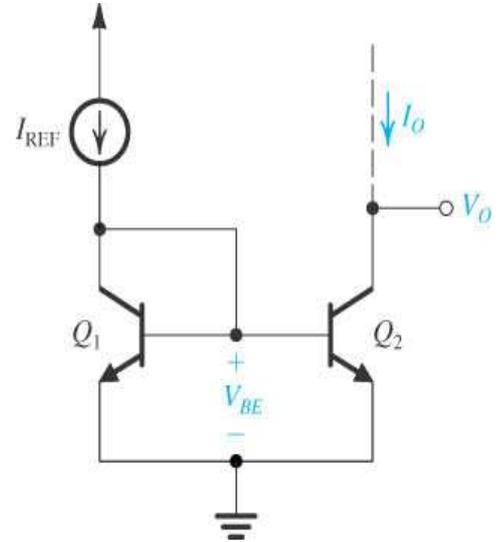


Figura 5.6 El espejo de corriente básico con BJT.

$$I_{REF} = I_C + 2I_C/\beta = I_C \left(1 + \frac{2}{\beta} \right)$$

Por ultimo, debido a que I_o = I_C, la relación de transferencia de corriente puede expresarse como:

$$\frac{I_o}{I_{REF}} = \frac{I_C}{I_C [1 + (2/\beta)]} = \frac{1}{1 + (2/\beta)} \tag{5.15}$$

Observar que a medida que β crece I_o/I_{REF} se acerca al valor nominal de la unidad. Sin embargo, para valores típicos de β el error en la relación de transferencia de corriente puede ser significativo. Por ejemplo, β = 100 arroja como resultado un error de 2 % en dicha relación de transferencia de corriente Mas aun, el error debido al valor finito de β aumenta a medida que la relación de transferencia de corriente nominal “m” se incrementa. Puede demostrarse que para un espejo con una relación m (es decir, una en la que I_{S2} = m I_{S1}) la relación de transferencia de corriente real esta dada por:

$$\frac{I_o}{I_{REF}} = \frac{m}{1 + \frac{m+1}{\beta}} \quad (5.16)$$

Al igual que el espejo de corriente MOS, el espejo BJT tiene una resistencia de salida finita R_o dada por:

$$R_o = \frac{\Delta V_o}{\Delta I_o} = r_{oe2} = \frac{V_{A2}}{I_o} \quad (5.17)$$

donde V_{A2} y r_{oe2} son la tensión de Early y la resistencia de salida para emisor común correspondientes al transistor Q_2 . Por lo tanto, aunque se desprece el error debido a un valor finito de β , la corriente de salida I_o estará en su valor nominal solo cuando Q_2 tenga el mismo V_{CE} que Q_1 (es decir en $V_o = V_{BE}$). A medida que V_o aumenta, I_o lo hace de manera correspondiente. Tomando en cuenta tanto la β finita como la R_o finita, es posible expresar la corriente de salida de un espejo BJT con una relación de transferencia de corriente nominal "m" como sigue:

$$I_o = I_{REF} \left[\frac{m}{1 + \frac{m+1}{\beta}} \right] \left[1 + \frac{V_o - V_{BE}}{V_{A2}} \right] \quad (5.18)$$

donde se observa que el término de error debido al efecto Early está expresado de modo que se reduce a cero para $V_o = V_{BE}$.

EJERCICIO

5.3 Considere un espejo de corriente de BJT con una relación de transferencia de corriente nominal unitaria. Los transistores tienen $I_S = 10^{-15}$ A, $\beta = 100$ y $V_A = 100$ V. Para $I_{REF} = 1$ mA, encuentre la corriente de salida I_o cuando $V_o = 5$ V. Además, encuentre la resistencia de salida.

Resp. 1,02 mA ; 100 K Ω

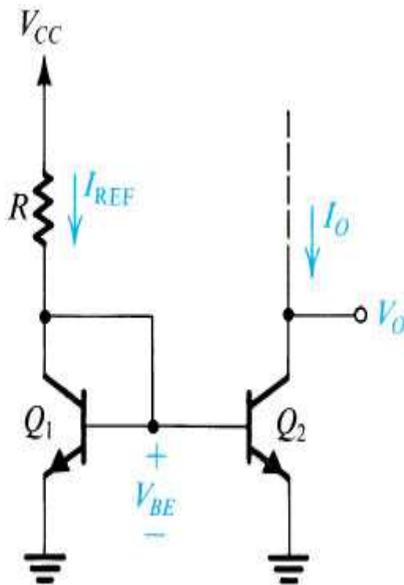
Una fuente de corriente simple De manera análoga al caso del MOS, un espejo de corriente básica con BJT puede emplearse para generar una fuente de corriente simple, como se muestra en la figura 5.8. Aquí, la corriente de referencia es

$$I_{REF} = \frac{V_{CC} - V_{BE}}{R} \quad (5.19)$$

donde V_{BE} es la tensión base emisor correspondiente al valor deseado de la corriente de salida I_o .

$$I_o = \frac{I_{REF}}{[1 + (2/\beta)]} \left[1 + \frac{V_o - V_{BE}}{V_A} \right] \quad (5.20)$$

La resistencia de salida de esta fuente de corriente es r_{oe} de Q_2 ,



$$R_o = r_{oe2} = \frac{V_{A2}}{I_o} = \frac{V_{A2}}{I_{REF}} \quad (5.21)$$

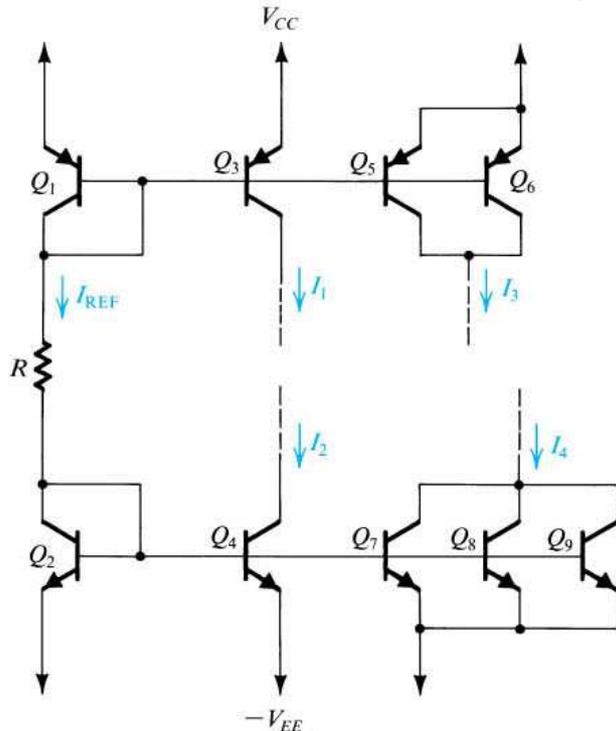
EJERCICIO

5.4. Si se supone la disponibilidad de BJT con corrientes de saturación inversa $I_S = 10^{-15}$ A, $\beta = 100$ y $V_A = 50$ Volt, diseñe el circuito de fuente de corriente de la figura 5.8 para que proporcione una corriente de salida $I_o = 0,5$ mA a $V_o = 2$ V. La fuente de alimentación $V_{CC} = 5$ V. Determine los valores de I_{REF} , R y V_{omin} . Además, encuentre I_o a $V_o = 5$ V.

Resp. 0,497 mA; 8,71 K Ω ; 0,3 V; 0,53 mA.

Figura 5.8 Fuente de corriente BJT simple.

Control de corriente Con el fin de generar las corrientes de polarización para diferentes etapas amplificadoras de un CI, el método de control de corriente descrito para los circuitos MOS puede aplicarse al caso bipolar. Como ejemplo, considere el circuito mostrado en la figura 5.9. La corriente de referencia de C.C. I_{REF} se genera en la rama formada por el transistor conectado al diodo Q_1 , el resistor R y el transistor conectado al diodo Q_2 :



$$I_{REF} = \frac{V_{CC} + V_{EE} - V_{BE1} - V_{BE2}}{R} \quad (5.22)$$

Ahora para simplificar, suponga que todos los transistores tienen un valor de β alto y que, por lo tanto, la corriente de base es tan pequeña que se puede despreciar. También desprecie el efecto Early. El transistor conectado al diodo Q_1 forma un espejo de corriente con Q_3 ; por lo tanto Q_1 proporcionará una corriente constante I_1 igual a I_{REF} . El transistor Q_3 puede proporcionar esta corriente a cualquier carga, siempre y cuando la tensión que se desarrolla en el colector no exceda $(V_{CC} - 0,3$ V); de otra manera Q_3 entraría en la región de saturación.

Figura 5.9 Generación de varias corrientes constantes de diversas magnitudes.

Para generar una corriente de C.C. del doble del valor de I_{REF} , dos transistores Q_5 y Q_6 , cada uno coincidente con Q_1 , estan conectados en paralelo y su combinacion forma un espejo con Q_1 . Por lo tanto $I_3 = 2 \cdot I_{REF}$. Observe que la combinacion en paralelo de Q_5 y Q_6 es equivalente a un transistor con un area de la juntura base emisor del doble de Q_1 , que es precisamente lo que se hace cuando este circuito se fabrica en forma de CI.

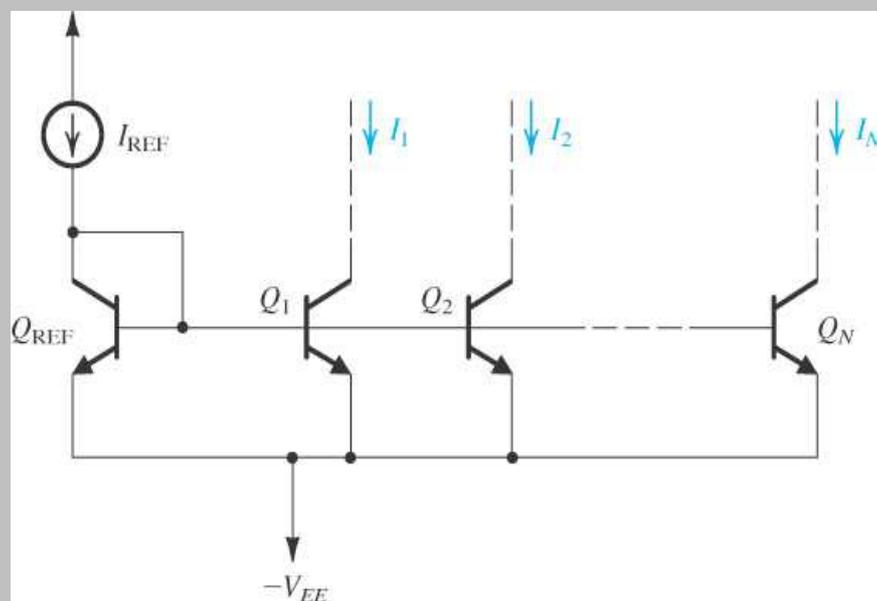
El transistor Q_4 forma un espejo con Q_2 ; por lo tanto, Q_4 proporciona una corriente constante I_2 igual a I_{REF} . Observar que mientras Q_3 entrega su corriente a partes del circuito cuya tension no debe exceder de $(V_{CC} - 0,3 \text{ V})$, Q_4 suministra su corriente a partes del circuito cuya tension no debe disminuir por debajo de $-V_{EE} + 0,3 \text{ V}$. Por ultimo, para generar una corriente tres veces mayor que I_{REF} , se conectan en paralelo tres transistores, Q_7 , Q_8 y Q_9 , cada uno de los cuales coincide con Q_2 , y la combinacion se en conjunto con Q_2 conforman otra fuente de corriente espejo. Una vez mas, en una instrumentacion de CI, Q_7 , Q_8 y Q_9 se reemplazarian con un transistor cuya area de union base emisor sea el triple de la del transistor Q_2 .

EJERCICIO

- 5.4 En la figura E5.10 se muestra un espejo de corriente de salida N. Si se supone que todos los transistores son coincidentes, que tienen β finita y se ignora el efecto de la resistencia de salida finita, demuestre que

$$I_1 = I_2 = \dots = I_N = \frac{1}{1 + [(N + 1)/\beta]}$$

Para $\beta = 100$, encuentre el numero máximo de salidas para un error que no exceda de 10%.



Resp. 9

5.4. LOS AMPLIFICADORES DE FUENTE COMUN Y DE EMISOR COMUN CON CARGAS ACTIVAS

5.4.1 El circuito de fuente común

En la figura 5.11a) se muestra el amplificador MOS de CI más elemental. Esta formado por un transistor MOS con el terminal de fuente conectado a tierra y el resistor R_D sustituido por una fuente de corriente constante I . Como se vera en breve, la carga fuente de corriente puede implementare empleando un transistor PMOS y se la denomina **carga activa**; por lo tanto, el amplificador fuente común de la figura 5.11a) se encuentra **cargado activamente**.

Antes de considerar la operación a pequeña señal del amplificador fuente común cargado activamente, es apropiado comentar un detalle sobre el diseño de la polarización de C.C. obviamente, Q_1 esta polarizado en $I_D = I$, pero ¿qué determina las tensiones de C.C. en los terminales de drenaje y de compuerta? Por lo general, este circuito será parte de un circuito más grande en el que se utiliza retroalimentación negativa para fijar los valores de V_{DS} y V_{GS} . Sin embargo, por el momento se supondrá que el MOSFET se encuentra polarizado para operar en la región de saturación.

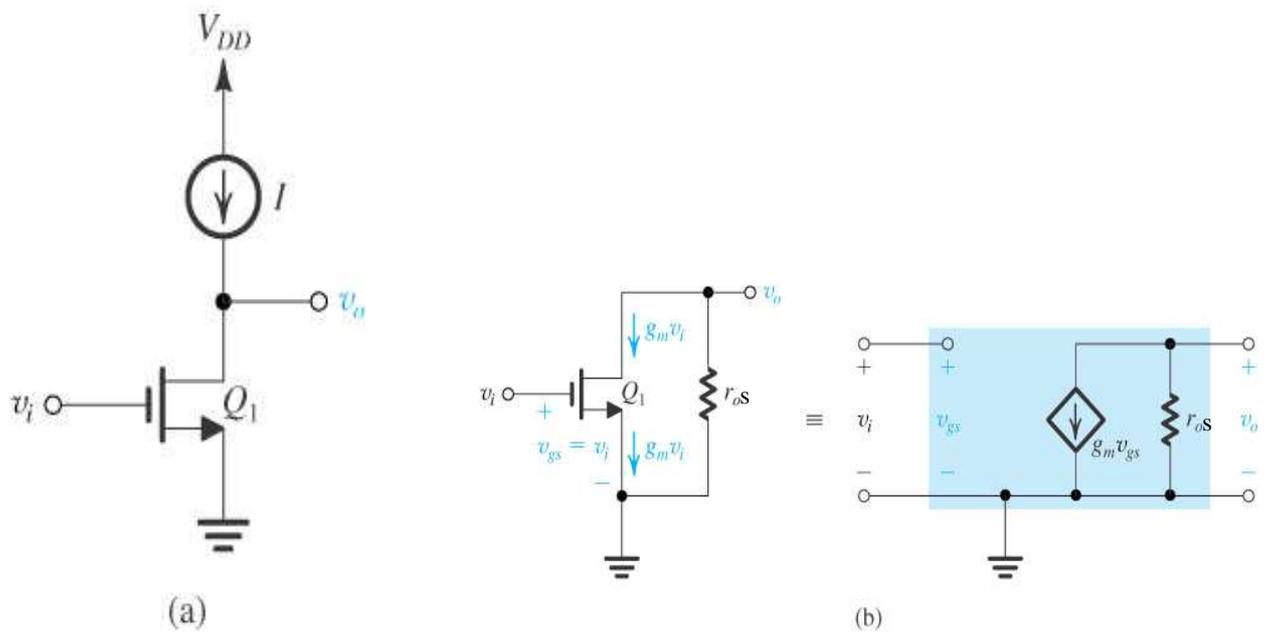


Figura 5.11 a) Amplificador fuente común cargado activamente. b) Análisis de pequeña señal del amplificador fuente común mostrado en a), realizado directamente sobre el diagrama del circuito y también empleando de manera explícita el modelo de pequeña señal.

El analisis de pequena señal del amplificador fuente comun cargado con fuente de corriente es sencillo y se ilustra en la figura 5.11b) . Aquí, junto con el modelo de circuito equivalente, se muestra el transistor con su r_{os} extraída y dibujada por separado y con el analisis realizado directamente sobre el circuito. En la figura 5.11b) se ve que para este amplificador fuente comun,

$$R_i = \text{infinito} \tag{5.23a}$$

$$A_v = - g_m \cdot r_{os} \tag{5.23b}$$

$$R_o = r_{os} \tag{5.23c}$$

EJERCICIO

5.5 Encuentre A_v para un transistor NMOS fabricado con un proceso CMOS de $0,4 \mu\text{m}$ para el que $\mu_n \cdot C_{ox} = 200 \mu\text{A}/\text{V}^2$ y $(V_A/L) = 20 \text{ V}/\mu\text{m}$. El transistor tiene una longitud de canal de $0,4 \mu\text{m}$ y es operado con una tensión compuerta fuente ($V_{GS} - V_T$) de $0,25 \text{ V}$. ¿Cuál debe ser W para que el transistor NMOS opere en $I_D = 100 \mu\text{A}$? Además, encuentre los valores de g_m y r_{os} . Repita para $L = 0,8 \mu\text{m}$.

Resp. 64 V/V ; $6,4 \mu\text{m}$; $0,8 \text{ mA/V}$; $80 \text{ K}\Omega$; 128 V/V ; $12,8 \mu\text{m}$; $0,8 \text{ mA/V}$; $160 \text{ K}\Omega$.

5.4.2 Implementación CMOS del amplificador fuente común

En la figura 5.12a) se muestra la instrumentación del circuito CMOS del amplificador de fuente común. Este circuito esta basado en el que se muestra en la figura 5.11a) con la fuente de corriente de carga I implantada mediante el transistor Q_2 . Este ultimo es el transistor de salida del espejo de corriente formado por Q_2 y Q_3 y alimentado con la corriente de polarización I_{REF} .

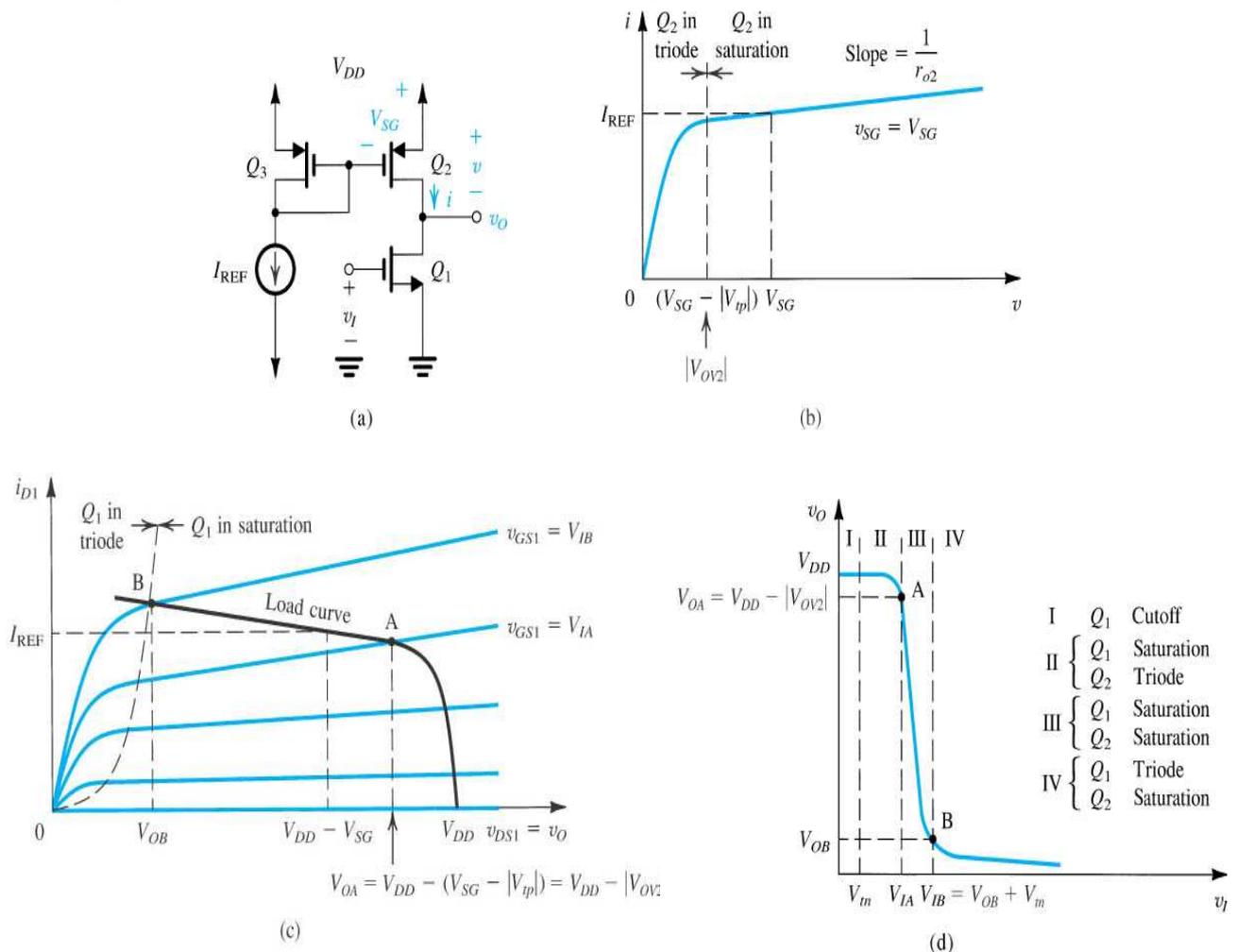


Figura 5.12 El Amplificador CMOS fuente común: a) Circuito; b) Característica tensión corriente de la carga activa Q_2 c) Construcción grafica para la determinación de la característica de transferencia; d) Curva de transferencia

Se supondrá que Q_2 y Q_3 son coincidentes, por lo tanto, la característica corriente tensión del componente de carga será la mostrada en la figura 5.12b). Esta es simplemente la curva característica $i_D - v_{SD}$ del transistor de canal p, Q_2 , para una tensión constante de fuente a compuerta, V_{SG} . El valor de V_{SG} se establece al pasar la corriente de polarización de referencia I_{REF} a través de Q_3 . Observar que, como se esperaba, Q_2 se comporta como una fuente de corriente cuando opera en saturación, lo que a su vez se obtiene cuando $v = v_{SD}$ excede $(V_{SG} - |V_{Tp}|)$, que es la magnitud de tensión que supera a la de formación de canal sobre los transistores Q_2 y Q_3 . Cuando Q_2 esta en saturación, experimenta una resistencia de salida finita r_{os2} .

$$r_{os2} = \frac{|V_{A2}|}{I_{REF}} \quad (5.24)$$

donde V_{A2} es la tensión de Early de Q_2 . En otras palabras, la carga activa de fuente de corriente no es ideal pero tiene una resistencia de salida finita igual a la del transistor r_{os2} .

Antes de proceder a determinar la ganancia de tensión de pequeña señal del amplificador resulta interesante examinar su característica de transferencia, v_o en relación a v_i . Esto puede determinarse usando la construcción grafica mostrada en la figura 5.12c). Allí se han dibujado las características $i_D - v_{DS}$ del transistor amplificador Q_1 y se ha superpuesto la curva de carga. Esta ultima es simplemente la curva $i_D - v_{DS}$ del transistor Q_2 dibujada en la figura 5.12b) "invertida" y desplazada V_{DD} volts a lo largo del eje horizontal. Ahora, como $v_{GS1} = v_i$, cada una de las curvas $i_D - v_{DS}$ corresponde a un valor particular de v_i . La intersección de cada curva con la curva de carga determina el valor correspondiente de v_{GS1} el cual es igual a v_o . Por lo tanto, de esta manera se obtiene la característica $v_o - v_i$ punto por punto. La característica de transferencia resultante se dibuja en la figura 5.12d). Como indico allí, tiene cuatro segmentos distintos, roturados I, II, III y IV, y cada uno se obtiene con una de las cuatro combinaciones de los modos de operación de Q_1 y Q_2 que también están indicados en el diagrama. Tome nota de que se han rotulado dos puntos de ruptura o de quiebre importantes en la característica de transferencia (A y B) en correspondencia con los puntos de intersección (A y B) de la figura 5.12c). Recomendamos al lector que estudie con cuidado las características de transferencia y sus diversos detalles.

No resulta sorprendente, para la operación del amplificador, que el segmento III sea el de mas interés. Observe que en la región III la curva de transferencia es casi lineal y muy inclinada, indicando una ganancia de tensión grande. En la región III el transistor amplificador Q_1 y el de carga activa Q_2 operan en saturación. Los puntos extremos de la región III son AyB: en A, definido por $v_o - (V_{SG} - |V_{Tp}|)$, Q_2 entra en la región de triodo, y en B, definido por $v_o = v_i - V_{Tn}$, Q_1 entra en la región de triodo. Cuando el amplificador esta polarizado en un punto en la región III, la ganancia de tensión de pequeña señal puede determinarse al reemplazar Q_1 por un modelo de pequeña señal y Q_2 mediante su resistencia de salida r_{os2} . La resistencia de salida de Q_2 , constituye la resistencia de carga de Q_1 . La ganancia de tensión A_V puede encontrarse al sustituir los resultados de las ecuaciones (5.23) en

$$A_V = \frac{v_o}{v_i} = A_v \frac{R_L}{R_L + R_o} \quad (5.25)$$

Para obtener

$$A_V = - (g_{m1} \cdot r_{os1}) \frac{r_{os2}}{r_{os2} + r_{os1}} = - g_{m1} (r_{os1} // r_{os2}) \quad (5.26)$$

lo que indica que, como se esperaba, A_V será de magnitud menor a la ganancia intrínseca de Q_1 , $g_{m1} \cdot r_{os1}$. Para el caso en que $r_{os2} = r_{os1}$, A_V será $g_{m1} \cdot (r_{os1}/2)$. Por supuesto, el resultado de la ecuación (5.26) se hubiera obtenido directamente al multiplicar $g_{m1} v_i$ por la resistencia total entre el nodo de salida y tierra, $r_{os1} // r_{os2}$.

El amplificador CMOS de fuente común con carga activa puede diseñarse para proporcionar ganancias de tensión comprendidas entre 15 y 100. Muestra una resistencia de entrada muy elevada y al mismo tiempo una resistencia de salida también grande.

Deben hacerse dos comentarios finales antes de dejar al amplificador de fuente común:

- El circuito no se ve afectado por el efecto de cuerpo porque los terminales de la fuente de Q_1 y Q_2 están a tierra de señal.
- El circuito suele ser parte de un circuito amplificador más grande (como se mostrara mas adelante), de modo que la tensión de la unión de los terminales de drenaje quedara fijada por el circuito siguiente a esta etapa, y además se empleara realimentación negativa de continua para asegurar que el circuito en realidad opere en la región III de la característica de transferencia del amplificador.

EJEMPLO 5.2

Considere el amplificador CMOS tipo fuente común con carga activa de la figura 5.12a) para el caso de $V_{DD} = 3 \text{ V}$, $V_{Tn} = |V_{Tp}| = 0,6 \text{ V}$, $\mu_n C_{ox} = 200 \mu\text{A}/\text{V}^2$ y $\mu_p C_{ox} = 65 \mu\text{A}/\text{V}^2$. Para todos los transistores, $L = 0,4 \mu\text{m}$ y $W = 4 \mu\text{m}$. Además, $V_{An} = 20 \text{ V}$ y $|V_{Ap}| = 10 \text{ V}$ e $I_{REF} = 100 \mu\text{A}$. Calcule la ganancia de tensión de pequeña señal. Además, encuentre las coordenadas de los extremos de la región lineal de la característica de transferencia del amplificador (es decir los puntos: A y B).

Solución

$$g_{m1} = \sqrt{2(\mu_n C_{ox}) (W/L) I_D}$$

$$g_{m1} = \sqrt{2 \cdot 200 \cdot (4/0,4) \cdot 100} = 0,63 \text{ mA/V}$$

$$r_{o1} = \frac{V_{An}}{I_{DQ1}} = \frac{20 \text{ V}}{0,1 \cdot 10^{-3} \text{ A}} = 200 \text{ K}\Omega$$

$$r_{o2} = \frac{V_{Ap}}{I_{DQ2}} = \frac{10 \text{ V}}{0,1 \cdot 10^{-3} \text{ A}} = 100 \text{ K}\Omega$$

Por lo tanto,

$$A_V = -g_{m1} (r_{os1} // r_{os2}) = -0,63 \cdot 66,7 = -42 \text{ V/V}$$

Los extremos de la región lineal de la característica de transferencia del amplificador (región III) se encuentran de la siguiente manera (revise la figura 5.12). En primer lugar, se determina la V_{SG} de Q_2 y Q_3 para $I_D = I_{REF} = 100 \mu\text{A}$ empleando

$$I_D = 0,5 \mu_p C_{ox} (W/L)_3 \cdot (V_{SG} - V_{Tp})^2 \cdot [1 + (V_{SD} / |V_{Ap}|)]$$

por lo tanto

$$100 = 0,5 \cdot 65 \cdot (4/0,4) \cdot (V_{SG} - V_{Tp})^2 \cdot [1 + (0,6 + |(V_{SG} - V_{Tp})|) / 10] \quad (5.27)$$

donde $|V_{SG} - V_{Tp}|$ es el modulo de la tensión fuente-compuerta que supera a la tensión de formación del canal a la que operan los transistores Q_3 y Q_2 , y se ha utilizado el hecho de que, para Q_3 , $V_{SD} = V_{SG}$. La ecuación (5.27) puede simplificarse y así llevar a la forma

$$0,308 = |(V_{SG} - V_{Tp})|^2 [1,06 + 0,1|(V_{SG} - V_{Tp})|]$$

que mediante prueba y error, produce

$$|(V_{SG} - V_{Tp})| = 0,525 \text{ V}$$

por lo que

$$V_{SG} = 0,6 + 0,525 = 1,13 \text{ V}$$

y

$$V_{oA} = V_{DD} - |(V_{SG} - V_{Tp})| = 3 - 0,525 = 2,47 \text{ V}$$

Para encontrar el valor correspondiente de v_I , V_{IA} , se obtiene una expresión para v_o frente a v_I en la región III. Al tomar en cuenta que en la región III Q_1 y Q_3 están en saturación y, obviamente, conducen corrientes iguales, es posible escribir

$$i_{D1} = i_{D2}$$

$$0,5 \mu_n C_{ox}(W/L)_1 \cdot (v_I - V_{Tn})^2 \cdot [1 + (v_o / |V_{An}|)] = 0,5 \mu_p C_{ox}(W/L)_2 \cdot (V_{SG} - V_{Tp})^2 \cdot [1 + [(V_{DD} - v_o) / |V_{Ap}|]]$$

sustituyendo los valores numéricos se obtiene

$$8,55 (v_I - 0,6)^2 = \frac{1 - 0,08 v_o}{1 + 0,05 v_o} = 1 - 0,13 v_o$$

que puede también expresarse como

$$v_o = 7,69 - 65,77 (v_I - 0,6)^2 \quad (5.28)$$

Esta es la ecuación del segmento III de la característica de transferencia. Aunque incluye el termino dependiente de v_I^2 , no debemos alarmarnos: debido a que la región III es muy estrecha, v_I cambia muy poco y la característica es casi lineal. Sustituyendo $v_o = 2,47 \text{ V}$ la expresión arroja el valor correspondiente de v_I (es decir $V_{IA} = 0,88 \text{ V}$). Para determinar las coordenadas de B, debemos observar que estas están relacionadas mediante $V_{oB} = V_{IB} - V_{Tn}$. Así, sustituyendo en la ecuación (5.28) y resolviendo se obtiene $V_{IB} = 0,93 \text{ V}$ y $V_{oB} = 0,33 \text{ V}$. Por lo tanto, el ancho de la región lineal del amplificador es

$$\Delta v_I = V_{IB} - V_{IA} = 0,05 \text{ V}$$

y el correspondiente rango de variación de la salida

$$\Delta v_o = V_{oB} - V_{oA} = -2,14 \text{ V}$$

Por lo tanto, la ganancia de tensión de “gran señal” es

$$\frac{\Delta v_o}{\Delta v_i} = \frac{-2,14}{0,05} = -42,8 \text{ V/V}$$

que es muy similar al valor de la ganancia de tensión de pequeña señal de -42 , lo que indica que el segmento III de la característica de transferencia es bastante lineal.

EJERCICIO

5.6 Un amplificador CMOS tipo fuente común fabricado con una tecnología de $0,18 \mu\text{m}$ tiene una relación $(W/L) = 7,2 \mu\text{m}/0,36 \mu\text{m}$ para todos los transistores, $\mu_n C_{ox} = 387 \mu\text{A/V}^2$, $\mu_p C_{ox} = 86 \mu\text{A/V}^2$, $I_{REF} = 100 \text{ mA}$, $V_{A_n}/L = 5 \text{ V}/\mu\text{m}$ y $|V_{A_p}/L| = 6 \text{ V}/\mu\text{m}$. Encuentra g_{m1} , r_{os1} , r_{os2} y la ganancia de tensión.

Resp. $1,25 \text{ mA/V}$; $18 \text{ K}\Omega$; $21,6 \text{ K}\Omega$; $-12,3 \text{ V/V}$

5.4.3 El circuito amplificador emisor común con carga activa

El circuito amplificador emisor común cargado activamente, mostrado en la figura 5.13a) es similar al de fuente común recién estudiado. Aquí tampoco se muestra el circuito de polarización y estabilización. El análisis de pequeña señal es similar al del caso MOS y se ilustra en la figura 5.13b). Los resultados de dicho análisis se indican en la pagina siguiente.

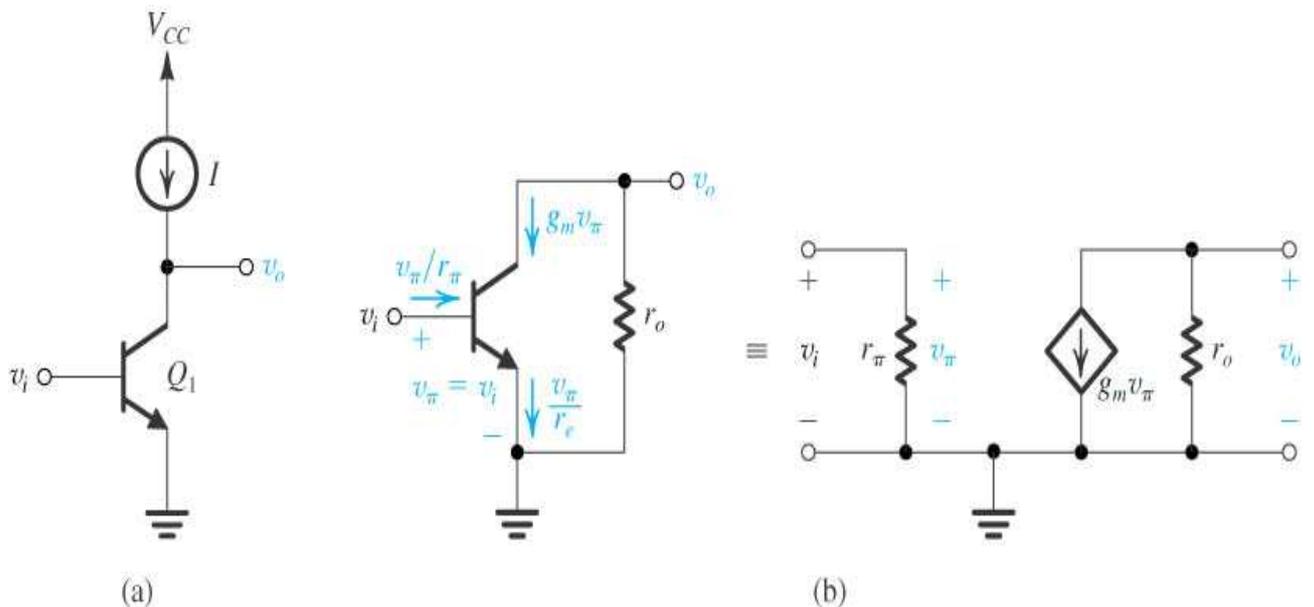


Figura 5.13 El Amplificador emisor común con carga activa: a) Circuito; b) Análisis de pequeña señal del amplificador a) realizado directamente sobre el circuito y empleando explícitamente el modelo híbrido aproximado.

$$R_i = r_{be} \text{ o } r_{\pi} \quad (5.29a)$$

$$A_v = - g_m \cdot r_{oe} \quad (5.29b)$$

$$R_o = r_{oe} \quad (5.29c)$$

que, con la excepción de la resistencia de entrada mas bien baja r_{be} o r_{π} , son similares a los del amplificador MOSFET. Sin embargo, recuerde, a partir de la comparación realizada en la sección 5.2, que la ganancia intrínseca $g_m r_o$ del BJT es mucho mayor que la del MOSFET. A pesar de ello, esta ventaja se contrarresta con la resistencia de entrada prácticamente infinita del amplificador fuente común. En la sección 5.2 se presentaron mas comparaciones entre los dos tipos de amplificadores.

5.5. EL AMPLIFICADOR DIFERENCIAL

5.5.1 Introducción

La configuración de par diferencial o amplificador diferencial es el bloque de construcción más utilizado en el diseño de circuitos integrados analógicos. Por ejemplo, la etapa de entrada de todos los amplificadores operacionales es un amplificador diferencial. Además, el amplificador diferencial BJT es la base de una familia de circuitos lógicos de muy alta velocidad denominada lógica de emisores acoplados (ECL) por sus siglas en ingles.

Aunque se invento cuando todavía los semiconductores no existían, la configuración diferencial básica se implemento recién con la aparición de los transistores bipolares discretos. Sin embargo, fue el surgimiento de los circuitos integrados lo que volvió más popular al par diferencial en las tecnologías bipolar y MOS. Hay dos razones por las que los amplificadores diferenciales sean tan adecuados para la fabricación de circuitos integrados: en primer lugar, como se vera en breve, el desempeño de los pares diferenciales depende de manera importante de la identidad de dos componentes activos o transistores, sean estos bipolares o MOS. La fabricación de circuitos integrados puede proporcionar dispositivos idénticos cuyos parámetros permanecen apareados aun cuando las condiciones ambientales varíen mucho. En segundo lugar, por su propia naturaleza, los amplificadores diferenciales utilizan más componentes (alrededor del doble) que los circuitos que disponen de un terminal común. Aquí, una vez mas el lector recordara a partir del análisis de la sección 5.1 que una ventaja importante de la tecnología de circuitos integrados es la disponibilidad de grandes cantidades de transistores a un costo relativamente bajo.

Se supone que el lector esta familiarizado con el concepto básico de un amplificador diferencial, tal como se presento en la sección 2.1. No obstante, vale la pena responder la siguiente pregunta: ¿por qué diferencial? En esencia, hay dos razones para usar diferenciales en lugar de los amplificadores con terminal común: en primer lugar, los circuitos diferenciales son mucho menos sensibles al ruido y a la interferencia que los que disponen terminal común. Para apreciar esto, considere dos alambres conductores que transportan una pequeña señal diferencial que es la diferencia entre las tensiones de cada uno de los dos conductores o diferencia de potencial entre conductores. Ahora suponga que hay una señal de interferencia que esta acoplada a los dos alambres, ya sea capacitivamente o bien inductivamente. Como los dos conductores se ubican físicamente cerca, las tensiones de interferencia en ambos (es decir, entre cada uno de los dos conductores y tierra) serán iguales. Debido a que en un sistema diferencial solo se amplifica la señal diferencia entre los dos conductores, ¡la salida del amplificador no contendrá componente de interferencia!

La segunda razón por la que se prefieren los amplificadores diferenciales es que la configuración diferencial permite polarizar el amplificador y conectar etapas de amplificadores sin la necesidad de

utilizar capacitores de acoplamiento ni de paso, como los que se utilizan en el diseño de circuitos amplificadores de componentes discretos. Esta es otra razón por la que los circuitos diferenciales son ideales para ser fabricados como circuitos integrados porque en ellos es imposible integrar dentro del chip capacitores suficientemente grandes de manera razonable.

El tema principal de esta sección es el amplificador diferencial en sus versiones bipolar y MOS. Como se vera, el diseño y análisis de amplificadores diferenciales utiliza de manera intensa el material de los amplificadores de una etapa que se describieron en los capítulos 3 y 4 y en lo que va del presente capítulo.

5.5.2 El par diferencial MOS

En la figura 5.14 se presenta la configuración básica del par diferencial MOS. Consta de dos transistores idénticos, Q_1 y Q_2 , cuyas fuentes están unidas y polarizadas por una fuente de corriente constante I . Dicha fuente de corriente suele implementarse con un circuito MOSFET del tipo que se estudio en la sección 5.3. En el futuro, se supondrá que la fuente de corriente es ideal y que tiene una resistencia de salida infinita. Aunque cada drenaje se muestra conectado a la fuente de alimentación positiva mediante una resistencia R_D , en la mayor parte de los casos se usan cargas activas (otras fuente de corriente), como se vera en breve. Sin embargo, en el futuro se explicara la esencia de la operación

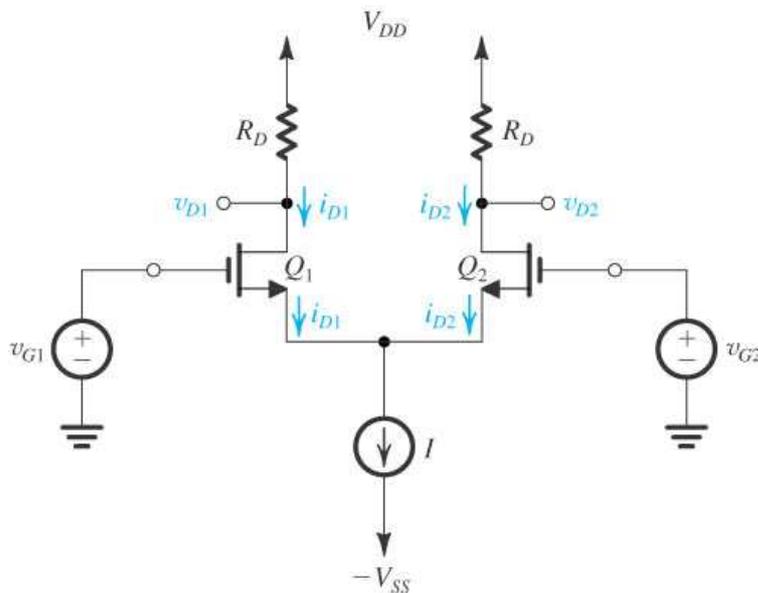


Figura 5.14 La configuración básica del par diferencial MOS.

del par diferencial utilizando cargas resistivas simples. Sin importar el tipo de carga que se utilice, resulta esencial que el MOSFET no entre en la región de operación que hemos llamado de triodo.

5.5.2.1 Operación con una tensión de entrada de modo común

Se afirmó anteriormente que en los sistemas diferenciales el objetivo es amplificar la diferencia entre los potenciales de los dos terminales de entrada. Como se vera próximamente el par diferencial bajo estudio también transfiere a la salida una tensión de alguna forma proporcional a los potenciales que

son comunes a ambos terminales de entrada. Entonces para estudiar esta característica no buscada de estos circuitos, es que se define una tensión que realmente sea común a ambos terminales de entrada y en tal sentido, en nuestro circuito tal tensión de modo común de entrada es el promedio de los dos potenciales de entrada, es decir:

$$v_{CM} = \frac{v_{G1} + v_{G2}}{2} \tag{5.30}$$

Para ver la manera en que funciona el par diferencial imagine primero el caso de dos terminales de compuerta unidos y conectados a una **tensión de entrada de modo común**. Es decir, como se muestra en la figura 5.15, en donde $v_{G1} = v_{G2} = v_{CM}$. Debido a que Q_1 y Q_2 son idénticos, se concluye, por simetría, que la corriente I se dividirá de manera equitativa entre los dos transistores. Por lo tanto $i_{D1} = i_{D2} = I/2$ y la tensión que aparece entre la unión de los terminales de fuente y tierra, v_S , será:

$$v_S = v_{CM} - V_{GS} \tag{5.31}$$

donde V_{GS} es la tensión compuerta fuente que corresponde a una corriente de drenaje de valor $I/2$. Al ignorar la modulación de la longitud del canal, V_{GS} e $I/2$ están relacionados por

$$\frac{I}{2} = 0,5 \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \quad \text{o bien} \quad \frac{I}{2} = B (V_{GS} - V_T)^2 \tag{5.32}$$

con lo que

$$V_{GS} = V_T + \sqrt{I / [\mu_n C_{ox} (W/L)]} \quad \text{o} \quad V_{GS} = V_T + \sqrt{I / 2 B} \tag{5.33}$$

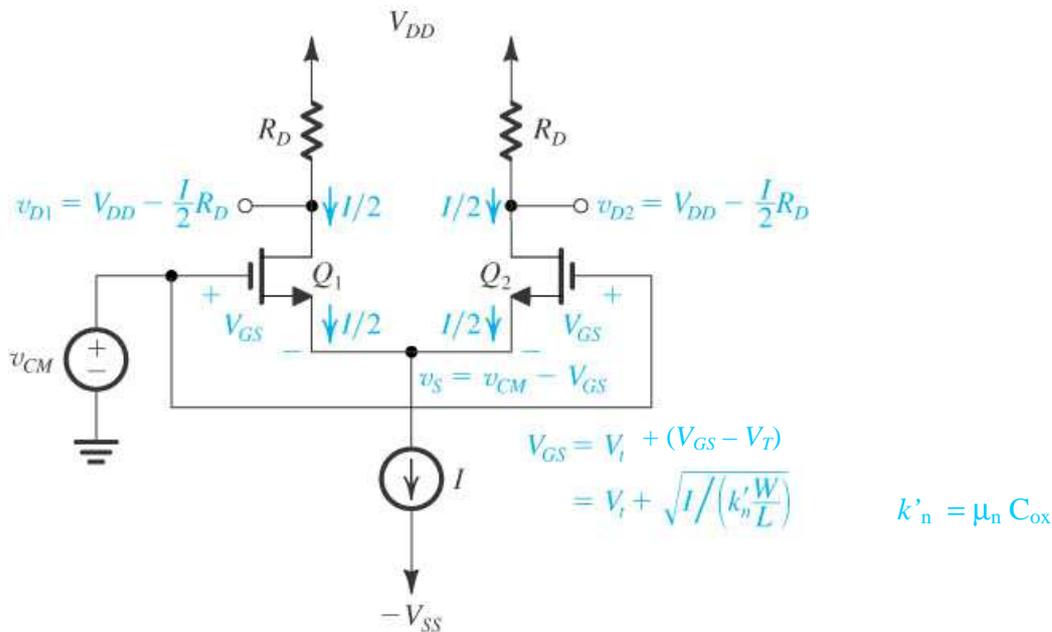


Figura 5.14 El par diferencial MOS con una tensión de entrada de modo común v_{CM} .

Por su parte, la tensión entre cada terminal de drenaje y tierra será:

$$v_{D1} = v_{D2} = V_{DD} - \frac{I}{2} R_D \quad (5.34)$$

Por lo tanto, la diferencia de potencial entre los dos terminales de drenaje será cero.

Ahora modifiquemos el valor de la tensión de entrada de modo común v_{CM} . Es obvio que, siempre y cuando Q_1 y Q_2 permanezcan en la región de saturación, la corriente I se dividirá equitativamente entre Q_1 y Q_2 y las tensiones de los terminales de drenajes no cambiarán. Por lo tanto, el par diferencial en su salida entre ambos terminales de drenaje no responde a las señales de entrada de modo común (es decir las rechaza).

Una especificación importante de un amplificador diferencial es su **rango de tensiones de entrada de modo común**. Este es el rango de v_{CM} en el que el par diferencial opera de manera apropiada. El valor más elevado de v_{CM} de polaridad positiva está limitado por el requisito de que Q_1 y Q_2 permanezcan en la región de saturación, por lo tanto

$$v_{CMmax+} = V_T + V_{DD} - \frac{I}{2} R_D \quad (5.35)$$

El valor más alto de v_{CM} de polaridad negativa está determinado por la necesidad de permitir una tensión suficiente en la fuente de corriente que provee la corriente I para que opere de forma apropiada. Si se necesita una tensión V_{CS} a través de la fuente de corriente, entonces:

$$v_{CMmax-} = -V_{SS} + V_{CS} + V_T + (V_{GS} - V_T) \quad (5.36)$$

EJERCICIO

5.6 Para el par diferencial MOS con una tensión de modo común v_{CM} aplicada como se muestra en la figura 5.15, sean $V_{DD} = V_{SS} = 1,5$ V, $B = 4$ mA/V², $V_T = 0,5$ V, $I = 0,4$ mA y $R_D = 2,5$ K Ω y despreciando la modulación de la longitud de canal:

- encuentre $(V_{GS} - V_T)$ y V_{GS} para cada transistor;
- para $v_{CM} = 0$, encuentre v_S , i_{D1} , i_{D2} , v_{D1} y v_{D2} ;
- repita b) para $v_{CM} = +1$ V;
- repita b) para $v_{CM} = -0,2$ V;
- ¿Cuál es el valor máximo de v_{CM} para que Q_1 y Q_2 permanezcan en saturación?
- Si la fuente de corriente I requiere una tensión mínima de 0,4 V para operar apropiadamente, ¿Cuál es el valor mínimo permisible para v_S y, por lo tanto, para v_{CM} ?

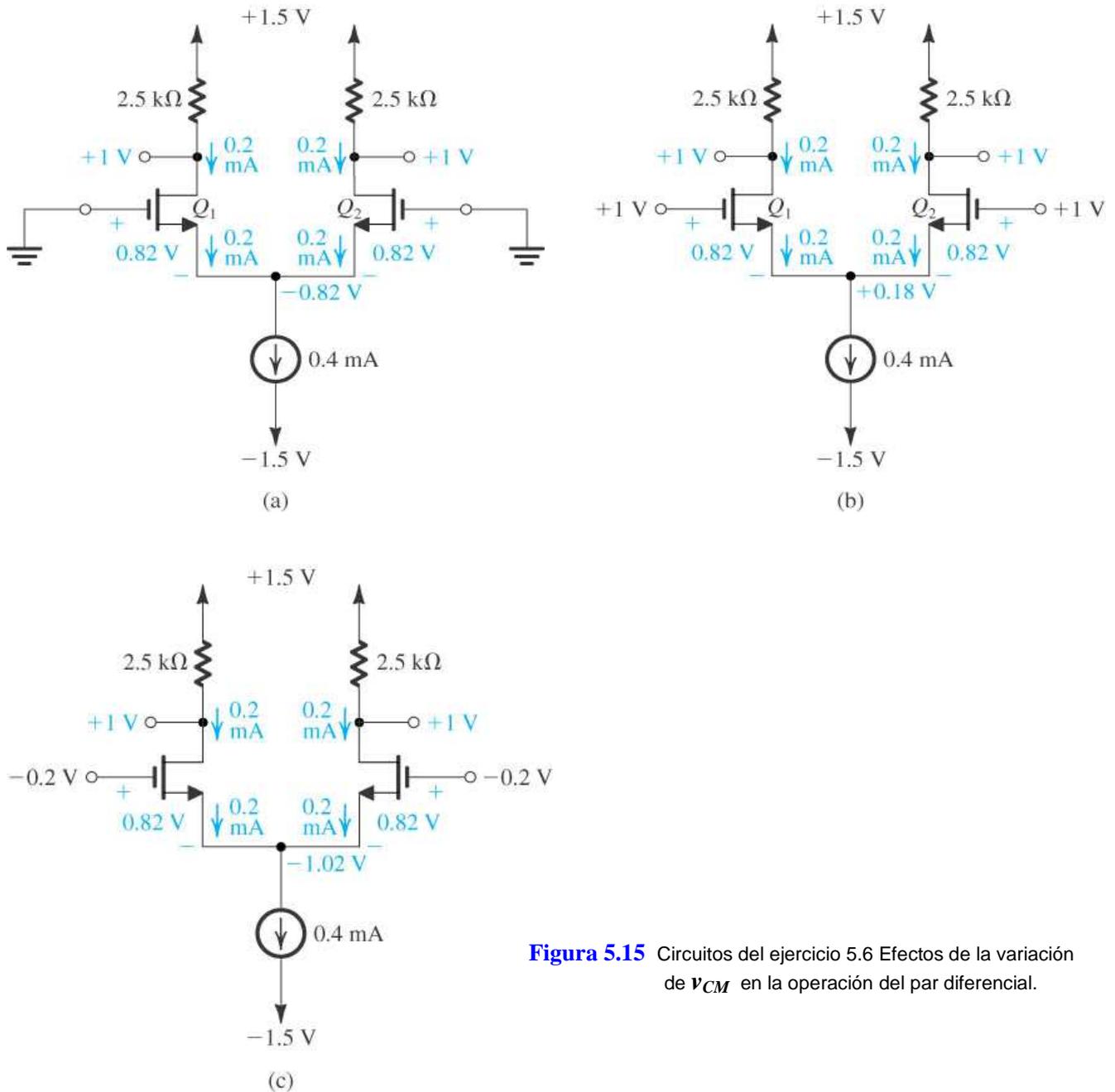


Figura 5.15 Circuitos del ejercicio 5.6 Efectos de la variación de v_{CM} en la operación del par diferencial.

Resp. a) 0,316 V, 0,82 V; b) véase la figura 5.15a) ; c) véase la figura 5.15b) ; d) véase la figura 5.15c). (Se supone que 0,48 V es suficiente para que la fuente de corriente opere apropiadamente.) e) +1,5 V ; f) -1,1 V , 0,28 V.

5.5.2.2 Operación con una tensión de modo diferencial de entrada

A continuación se aplica una tensión diferencia o voltaje diferencial de entrada al conectar a tierra el terminal de compuerta del transistor Q_2 (es decir, se impone que $v_{G2} = 0$) y se aplica también una señal

v_{id} al terminal de compuerta de Q_1 , tal como se muestra en la figura 5.16. Es fácil ver que debido a que $v_{id} = v_{GS1} - v_{GS2}$, si v_{id} es positivo, v_{GS1} será mayor que v_{GS2} y, por lo tanto, i_{D1} será mayor que i_{D2} y la diferencia de potencial entre los terminales de salida de drenaje de ambos transistores ($v_{D2} - v_{D1}$) será positiva.

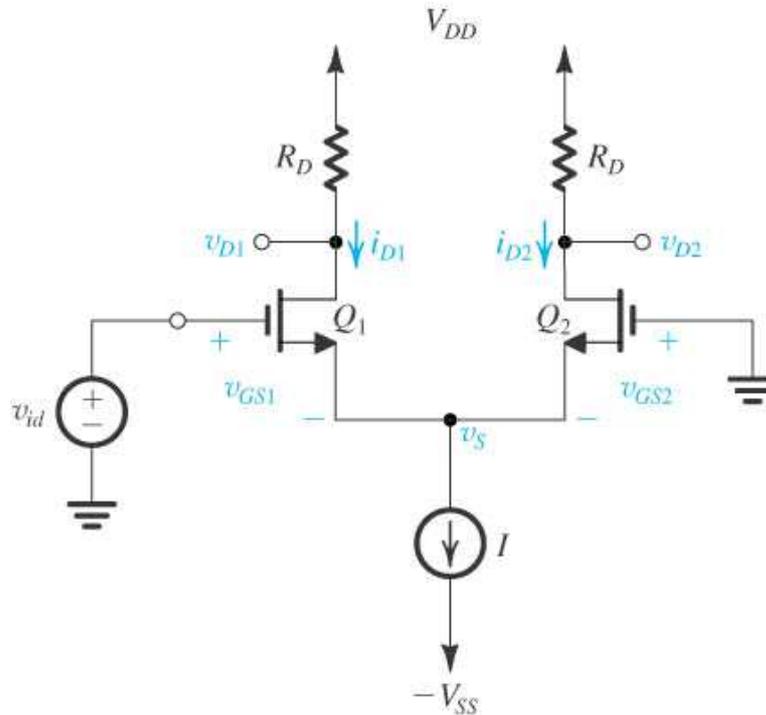


Figura 5.16 El par diferencial MOS con una señal de modo diferencial de entrada v_{id} aplicada.

Por otra parte, cuando v_{id} es negativo, v_{GS1} será menor que v_{GS2} y, i_{D1} será menor que i_{D2} y, de manera correspondiente, v_{D1} será mayor que v_{D2} ; en otras palabras, la diferencia de potencial entre los terminales de salida de drenaje de ambos transistores ($v_{D2} - v_{D1}$) será negativa.

Entonces como conclusión a todo lo precedente, se ve que el par diferencial responde a **las señales de modo diferencial de entrada** al proporcionar una señal diferencial de salida correspondiente entre los dos terminales de drenaje. A esta altura del análisis resulta útil preguntarse acerca del valor de v_{id} que hace que toda la corriente de polarización I circule solo por uno de los dos transistores. En la dirección positiva, esto sucede cuando v_{GS1} alcanza el valor que corresponde a $i_{D1} = I$ y v_{GS2} se reduce a un valor igual al de la tensión de umbral V_T , en cuyo punto $v_S = -V_T$. El valor de v_{GS1} puede encontrarse a partir de

$$I = B (v_{GS1} - V_T)^2 \quad \text{como} \quad v_{GS1} = V_T + \sqrt{I / B} = V_T + \sqrt{2} \cdot (V_{GS} - V_T)$$

en donde $(V_{GS} - V_T)$ es el correspondiente a la corriente de drenaje $I / 2$ (ecuación 5.33). Por lo tanto, el valor de v_{id} para el cual toda la corriente de polarización se envía a Q_1 resulta:

$$\begin{aligned} v_{idmax} &= v_{GS1} + v_S \\ &= V_T + \sqrt{2} \cdot (V_{GS} - V_T) - V_T \\ &= \sqrt{2} \cdot (V_{GS} - V_T) \end{aligned} \tag{5.37}$$

si v_{id} aumenta mas allá de $1,41 (V_{GS} - V_T)$, i_{D1} permanece igual a I , v_{GS1} permanece igual a $[(V_T + 1,41 (V_{GS} - V_T)]$ y v_S se eleva de manera correspondiente, manteniendo a Q_2 cortado. De manera similar, es posible demostrar que en la dirección negativa a medida que v_{id} alcanza el valor $-1,41 (V_{GS} - V_T)$, Q_1 marcha hacia el corte y Q_2 conduce toda la corriente de polarización I . Por lo tanto, la corriente I puede dirigirse de un transistor al otro al variar v_{id} en el siguiente rango:

$$-1,41 (V_{GS} - V_T) < v_{id} < +1,41 (V_{GS} - V_T)$$

que define el rango de operación de modo diferencial. Por ultimo, observe que se ha supuesto que Q_1 y Q_2 permanecen en saturación aunque uno de ellos este conduciendo toda la corriente I .

EJERCICIO

5.7 Para el par diferencial MOS especificado en el ejercicio 5.6, encuentre a) el valor de v_{id} que causa que Q_1 conduzca toda la corriente I y los valores correspondientes de v_{D1} y v_{D2} ; b) el valor de v_{id} que causa que Q_2 conduzca toda la corriente I y los valores correspondientes de v_{D1} y v_{D2} ; c) el rango de variación de la tensión de salida diferencial ($v_{D2} - v_{D1}$).

Resp. a) 0,45 V , 0,5 V , 1,5 V ; b) -0,45 V , 1,5 V , 0,5 V ; de +1 V a -1 V.

Para utilizar el par diferencial como amplificador lineal se mantiene pequeña la señal diferencial de entrada v_{id} . Como resultado, la corriente en uno de los transistores (Q_1 cuando v_{id} es positivo) se incrementara al aumentar ΔI de manera proporcional a v_{id} , para $(I/2 + \Delta I)$. De manera simultanea, la corriente en el otro transistor disminuirá en la misma cantidad para convertirse en $(I/2 - \Delta I)$. Una señal de tensión $-\Delta I R_D$ se desarrolla en uno de los drenajes y una señal de polaridad opuesta, $\Delta I R_D$, se desarrolla en el otro terminal de drenaje. Por lo tanto, la tensión de salida tomada entre los dos terminales de drenaje será de $2\Delta I R_D$, que es proporcional a la señal diferencial de entrada v_{id} . La operación de bajo nivel del par diferencial se estudiara con detalle en la sección 5.5.3.

5.5.2.3. Operación a gran señal

Ahora se obtendrán expresiones para las corrientes de drenaje i_{D1} e i_{D2} en términos de la señal diferencial de entrada $v_{id} = (v_{G1} - v_{G2})$. En la figura 5.17 no se muestran las conexiones de los terminales de drenaje porque dichas corrientes no dependen de los detalles del circuito al que dichos terminales estén conectados; simplemente se supone que el circuito mantiene siempre a Q_1 y Q_2 fuera de la región de operación de triodo. En el estudio que sigue se supone que el par diferencial es perfectamente idéntico y se ignorara la modulación de la longitud del canal ($\lambda = 0$) así como el efecto de cuerpo.

Para comenzar se expresan los valores totales de las corrientes de drenaje de Q_1 y Q_2

$$i_{D1} = B (v_{GS1} - V_T)^2 \quad \text{e} \quad i_{D2} = B (v_{GS2} - V_T)^2$$

a continuación teniendo en cuenta que $I = i_{D1} + i_{D2}$ y $v_{id} = v_{GS1} - v_{GS2}$, se realiza un procesamiento algebraico que permite arribar a otras dos expresiones para las mismas corrientes de salida del par diferencial tal como se indica a continuación:

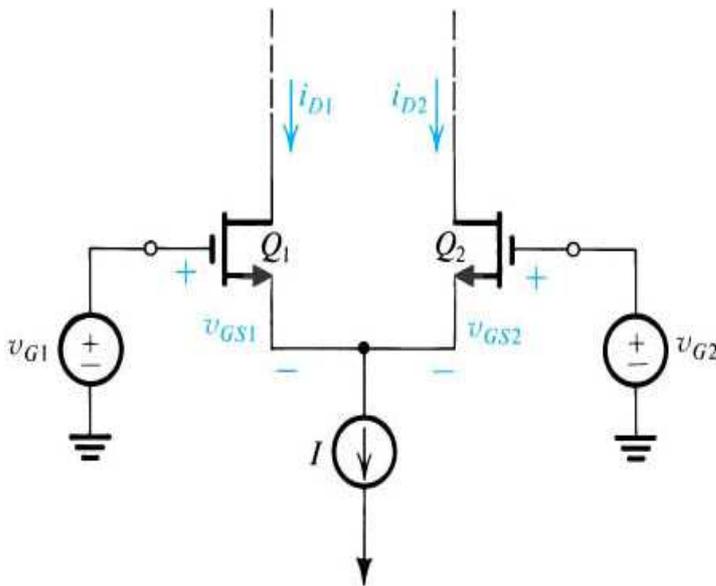


Figura 5.17 El par diferencial MOS para obtener las curvas características de transferencia, i_{D1} e i_{D2} frente a $v_{id} = v_{G1} - v_{G2}$

proporción, de tal modo que la suma $I = i_{D1} + i_{D2}$ se mantiene constante. La corriente se vuelca por completo sobre el transistor Q_1 cuando v_{id} alcanza el valor $1,41 \cdot (V_{GS} - V_T)$, como se vio con anterioridad. Para v_{id} negativo se pueden hacer afirmaciones idénticas al intercambiar i_{D1} e i_{D2} . En este caso, $v_{id} = -1,41 \cdot (V_{GS} - V_T)$ hace volcar toda la corriente hacia Q_2 .

Es obvio que las características de transferencia de las ecuaciones recién graficadas no son lineales. Esto se debe al término v_{id}^2 involucrado. Como existe interés en obtener amplificación lineal a partir del par diferencial, se trata de hacer que este término sea lo más pequeño posible. Para un valor dado de $(V_{GS} - V_T)$ lo único que se puede hacer es mantener $(v_{id} / 2)$ mucho más pequeño que $(V_{GS} - V_T)$, que es la condición para el método de pequeña señal. Lo anterior da como resultado

$$i_{D1} = \frac{I}{2} + \frac{I}{(V_{GS} - V_T)} \frac{v_{id}}{2} \quad (5.40)$$

$$i_{D1} = \frac{I}{2} - \frac{I}{(V_{GS} - V_T)} \frac{v_{id}}{2} \quad (5.41)$$

$$i_{D1} = \frac{I}{2} + \frac{I}{(V_{GS} - V_T)} \frac{v_{id}}{2} \sqrt{1 - \left[\frac{v_{id} / 2}{(V_{GS} - V_T)} \right]^2} \quad (5.38)$$

$$i_{D1} = \frac{I}{2} - \frac{I}{(V_{GS} - V_T)} \frac{v_{id}}{2} \sqrt{1 - \left[\frac{v_{id} / 2}{(V_{GS} - V_T)} \right]^2} \quad (5.39)$$

Estas dos ecuaciones describen el efecto de aplicar una señal diferencial de entrada v_{id} a las corrientes i_{D1} e i_{D2} . Pueden emplearse para obtener las gráficas normalizadas i_{D1}/I e i_{D2}/I frente a v_{id}/V_T que se muestran en la figura 5.18

Observe que en $v_{id} = 0$, las dos corrientes son iguales a $I / 2$. Si v_{id} se hace positivo, i_{D1} aumenta e i_{D2} disminuye en la misma

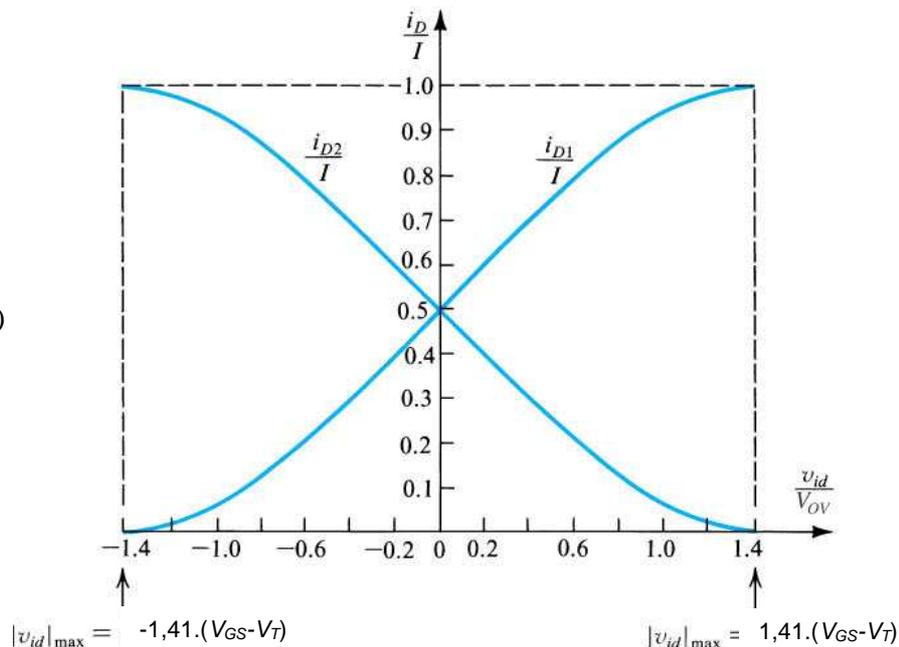


Figura 5.18 Gráficas normalizadas de las corrientes en un par diferencial MOS. Observe que $(V_{GS} - V_T)$ es la tensión que produce $I/2$

lo cual, como se esperaba, indica que i_{D1} aumenta por un incremento i_d e i_{D2} disminuye en la misma cantidad, y en este caso i_d es proporcional a la señal diferencial de entrada v_{id} .

$$i_d = \frac{I}{(V_{GS} - V_T)} \cdot \frac{v_{id}}{2} \quad (5.42)$$

Recuerde, a partir del estudio del MOSFET en el capítulo 3 y la sección 5.2 (consulte la tabla 5.3), que un MOSFET polarizado a una corriente I_D tiene una transconductancia $g_m = 2 I_D / (V_{GS} - V_T)$, se reconoce el factor $[I / (V_{GS} - V_T)]$ en la ecuación (5.40) como la g_m de Q_1 y Q_2 , que están polarizados en $I_D = I / 2$. Ahora bien, ¿por qué $v_{id} / 2$? Simplemente porque v_{id} se divide equitativamente entre los dos componentes con $v_{gs1} = v_{id} / 2$ y $v_{gs2} = -v_{id} / 2$, lo cual causa que Q_1 tenga un incremento de corriente i_d y Q_2 tenga un decremento i_d . En breve se regresara a la operación a pequeña señal del par diferencial MOS. Sin embargo, por el momento se desea regresar a las ecuaciones (5.38) y (5.39) y observar que la linealidad se puede incrementar si se aumenta la tensión $(V_{GS} - V_T)$ a la cual operan los transistores Q_1 y Q_2 . Esto se consigue con el uso de relaciones (W / L) pequeños. El precio que se paga por la linealidad aumentada es una reducción de g_m y, por lo tanto, una reducción en la ganancia. En este aspecto se observa que la grafica normalizada de la figura 5.18, aunque compacta, enmascara este grado de libertad de diseño. En la figura 5.19 se muestran graficas de las características de transferencia i_{D1-2} / I frente a v_{id} para varios valores de $(V_{GS} - V_T)$, suponiendo que la corriente I se mantiene constante.

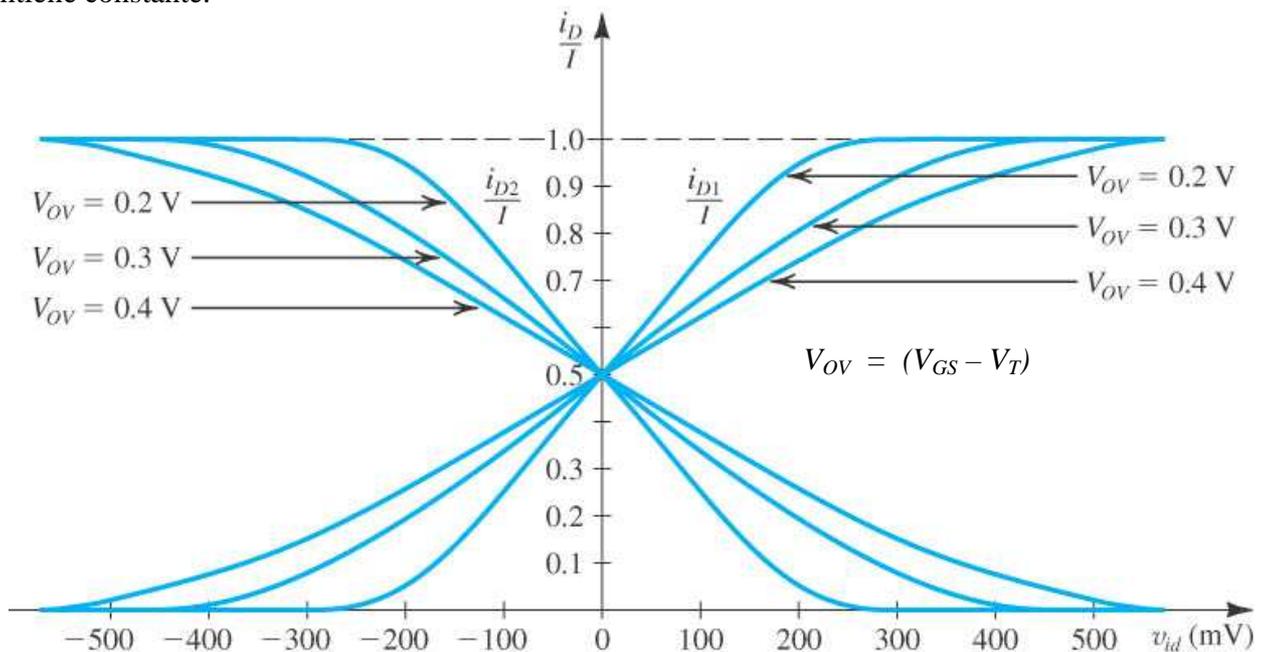


Figura 5.19 El rango lineal de operación del par diferencial MOS se extenderá si se opera al transistor MOSFET a un valor mas elevado de $(V_{GS} - V_T)$.

Estas graficas ilustran claramente la compensación entre la linealidad y la transconductancia obtenida al cambiar el rango lineal de operación puede extenderse al operar los MOSFET a un valor mas alto de $(V_{GS} - V_T)$ (al emplear relaciones W / L mas pequeños) a costa de reducir g_m y, por lo tanto, la ganancia. Esta compensación se basa en la suposición de que la corriente de polarización I se mantiene

constante. Por supuesto, es posible aumentar la corriente de polarización para obtener un g_m mas elevado. Sin embargo, el costo es una mayor disipación de potencia, lo que representa una seria limitación en el diseño de CI.

EJERCICIO

5.8 Un par diferencial MOS se opera con una corriente de polarización de 0,4 mA. Si $\mu_n C_{ox} = 0,2 \text{ mA/V}^2$ encuentre los valores requeridos de W/L y la transconductancia g_m resultante si los MOSFETs operan a $(V_{GS} - V_T) = 0,2, 0,3$ y $0,4 \text{ V}$. Para cada valor, indique el máximo valor absoluto de v_{id} para el cual el termino que incluye v_{id}^2 en las ecuaciones (5.38) y (5.39), a saber $[(v_{id}/2)/(V_{GS} - V_T)]^2$ esta limitado a 0,1.

Resp.

$(V_{GS} - V_T) \text{ (V)}$	0,2	0,3	0,4
W/L	50	22,2	12.5
$g_m \text{ (mA/V)}$	2	1,33	1
$v_{idmax} \text{ (mV)}$	126	190	253

5.5.3 Operación en bajo nivel del par diferencial MOS

En esta sección se utiliza lo que se ha comprendido de la operación básica del par diferencial y se estudia con cierto detalle su operación como amplificador lineal.

5.5.3.1 Ganancia diferencial

En la figura 5.20a) se muestra el amplificador diferencial MOS con tensiones de entrada superposición de los modos común y diferencial

$$v_{G1} = V_{CM} + 0,5 v_{id} \tag{5.43}$$

y

$$v_{G2} = V_{CM} - 0,5 v_{id} \tag{5.43}$$

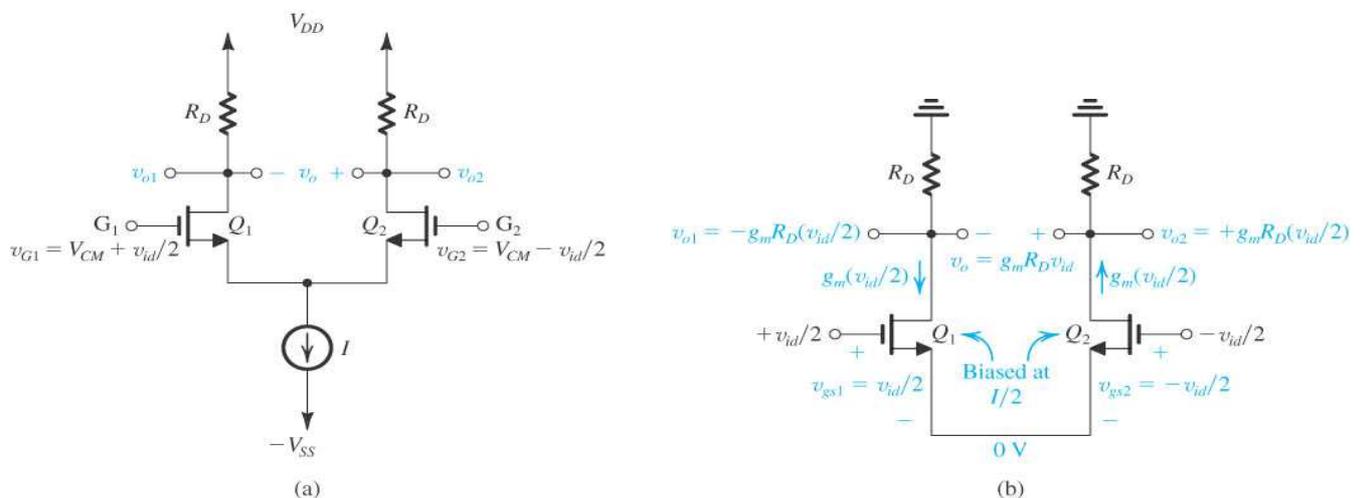


Figura 5.20 Análisis de pequeña señal del amplificador diferencial MOS: a) el circuito con una tensión de modo común aplicada para establecer la tensión de polarización de C.C. en las compuertas y con v_{id} aplicada de manera equilibrada, b) el circuito preparado para el análisis de pequeña señal.

Aquí, V_{CM} representa a una tensión de C.C. de modo común dentro del rango de tensiones de entrada de modo común del amplificador diferencial. Dicha tensión es necesaria para establecer la tensión de polarización de las compuertas del MOSFET correspondientemente con las corrientes de polarización $I/2$ impuesta por la fuente de corriente de polarización I . Por lo general V_{CM} se ubica en un valor intermedio entre las fuentes de alimentación. Por lo tanto, para el caso que aquí se describe, en el que se utilizan dos fuentes complementarias o simétricas (partidas), V_{CM} suele ser cercano a cero V.

La señal diferencial de entrada v_{id} se aplica de manera simétrica o complementaria (o equilibrada); es decir, v_{G1} aumenta en una cantidad $v_{id}/2$ y v_{G2} disminuye en esa misma proporción. Este sería el caso, por ejemplo, si el amplificador diferencial fuera alimentado por la salida de otra etapa amplificadora diferencial. Sin embargo, en ocasiones la entrada diferencial se aplica en un solo extremo, como se vio en la figura 5.16. La diferencia en el desempeño resultante es un tema que carece de importancia por el momento.

Como se indico en la figura 5.20a) la salida del amplificador puede tomarse entre uno de los terminales de drenaje y tierra o entre ambos terminales de drenaje. En el primer caso las **salidas de un solo extremo** resultantes, v_{o1} y v_{o2} , se montaran sobre las tensiones de C.C. en los terminales de drenaje ($V_{DD} - 0,5 I R_D$). Este no es el caso cuando la salida se toma entre los dos terminales de drenaje: la **salida diferencial** resultante v_o (que tiene una componente de C.C. de 0 V) será exclusivamente componente de señal. En breve se vera que hay otras ventajas importantes derivadas de tomar la tensión de salida de manera diferencial.

Ahora el objetivo consiste en analizar la operación de pequeña señal del amplificador diferencial de la figura 5.20a) para determinar la ganancia de tensión como respuesta a la señal diferencial de entrada v_{id} . Con esa finalidad en el circuito de la figura 5.20b) se eliminan las fuentes de alimentación, al igual que V_{CM} . Por el momento se ignorara el efecto de la resistencia de salida del MOSFET y, como se ha hecho desde el principio de este capitulo, se seguirá ignorando el efecto del cuerpo (es decir, se mantiene la suposición de que $\lambda = 0$). Por ultimo, observe que Q_1 y Q_2 están polarizados a una corriente de C.C. de $I/2$ y operan con una tensión ($V_{GS} - V_T$) en correspondencia con dicha corriente.

A partir de la simetría del circuito, y también debido a la manera equilibrada en que se aplica v_{id} , se observa que la tensión de señal en la interconexión de los terminales de fuente resulta nula, por lo que para esta señal dichos terminales se describen como una suerte de **tierra virtual**. Por lo tanto, Q_1 tendrá una tensión de señal entre compuerta y fuente $v_{gs1} = v_{id}/2$ y Q_2 tiene $v_{gs2} = -v_{id}/2$. Suponiendo que $(v_{id}/2) \ll (V_{GS} - V_T)$, la condición para la aproximación de pequeña señal, los cambios resultantes en las corrientes de drenaje de Q_1 y Q_2 serán proporcionales a v_{gs1} y v_{gs2} , respectivamente. Por lo tanto, Q_1 tendrá un incremento en la corriente de drenaje $g_m(v_{id}/2)$ y Q_2 tendrá una disminución en la corriente de drenaje $g_m(v_{id}/2)$, donde g_m denota las transductancias iguales de los dos transistores.

$$g_m = \frac{2 I_D}{(V_{GS} - V_T)} = \frac{2 (I/2)}{(V_{GS} - V_T)} = \frac{I}{(V_{GS} - V_T)} \quad (5.44)$$

Estos resultados se corresponden con los obtenidos antes, empleando las características de transferencia a gran señal e imponiendo la condición de pequeña señal, en las ecuaciones (5.40) a (5.42).

De acuerdo al análisis que precede, si introducimos los circuitos equivalentes de pequeña señal de los transistores y realizamos el correspondiente al transistor Q_2 solamente pero teniendo en cuenta la contribución de Q_1 debemos respetar el concepto de tierra virtual en el terminal de fuente por lo que dicho circuito equivalente, para señal diferencial resulta como el indicado en la figura 5.21. El agregado de la resistencia interna de la fuente de excitación R_{S2} en nada modifica el análisis ya que al no haber corriente en compuerta sobre dicho componente no existe diferencia de potencial alguna.

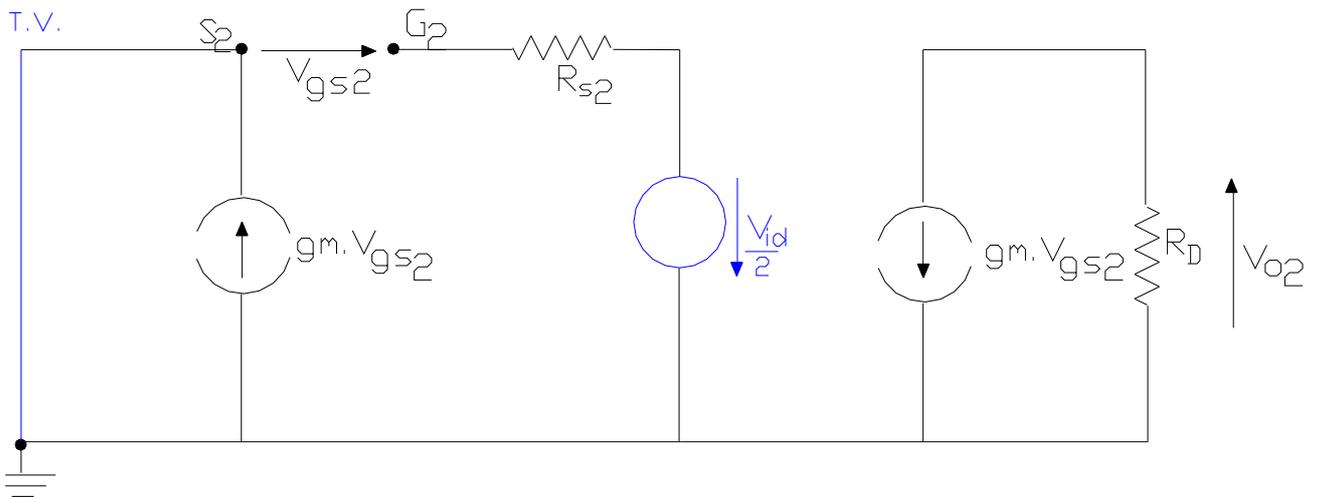


Figura 5.21 Circuito equivalente de pequeña señal del amplificador diferencial MOS valido para la señal diferencial: solo se dibuja el modelo del transistor Q_2 y para tener en cuenta la contribución de Q_1 se introduce el concepto de tierra virtual de la unión de los terminales de fuente de ambos transistores.

En la malla $G_2 - S_2$ de dicho circuito: $v_{gs2} + v_{id}/2 = 0$ por lo tanto $v_{gs2} = -0,5 v_{id}$

por lo tanto la tensión de salida resulta:

$$v_{o2} = g_m \frac{v_{id}}{2} R_D \tag{5.45}$$

De igual forma se podría haber hecho el circuito equivalente de pequeña señal del transistor Q_1 que tuviera en cuenta la contribución del transistor Q_2 . La única diferencia sería la fase del generador de excitación de tensión diferencial de entrada $v_{id}/2$, por lo que en un análisis similar se llegaría a:

$$v_{o1} = - g_m \frac{v_{id}}{2} R_D \tag{5.46}$$

Así si se establece que la salida del amplificador diferencial es por uno de los terminales de drenaje, la ganancia resultante resulta ser:

$$A_{Vd1} = \frac{v_{o1}}{v_{id}} = -\frac{g_m}{2} R_D \quad (\text{mitad de lo que gana el fuente común}) \quad (5.47)$$

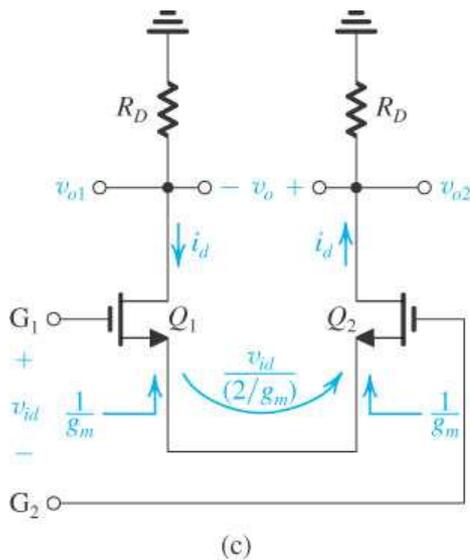
y

$$A_{Vd2} = \frac{v_{o2}}{v_{id}} = \frac{g_m}{2} R_D \quad (5.48)$$

En tanto que si la salida se toma diferencialmente, es decir entre los dos terminales de drenaje, la ganancia en este caso será:

$$A_{Vdd} = \frac{v_{o2} - v_{o1}}{v_{id}} \quad ; \quad A_{Vdd} = g_m R_D \quad (5.49)$$

Por lo tanto, otra ventaja de tomar la salida de manera diferencial es la duplicación de la ganancia (ahora coincidente con la ganancia del amplificador fuente común). Sin embargo debe tomarse en consideración que aunque se prefieran las salidas diferenciales, en algunas aplicaciones se necesita una salida sencilla con la señal referida a masa. Mas adelante se añadirán otras consideraciones.



En la figura 5.22 se muestra una manera opcional y útil de ver la operación del par diferencial como respuesta a una señal diferencial de entrada dispuesta entre los terminales de compuerta de ambos transistores. Aquí se utiliza el hecho de que la resistencia entre la compuerta y la fuente de un MOSFET, mirando desde el terminal de fuente es $(1/g_m)$. Como resultado, entre G_1 y G_2 se tiene una resistencia total en el circuito de fuente, de $(2/g_m)$. De esto se desprende que se puede obtener la corriente i_d con solo dividir v_{id} por $2/g_m$ como se indica en la figura.

Figura 5.22 Otra manera de observar la operación a pequeña señal .

Efecto de la r_{os} del MOSFET: A continuación se refina el análisis al considerar el efecto de la resistencia de salida finita r_{os} de Q_1 y Q_2 . Además se hace la suposición realista de que la fuente de corriente de polarización I tiene una resistencia de salida finita R_{o3} . El circuito de par diferencial resultante, preparado para el análisis de pequeña señal, se muestra en la figura 5.23a) . Observe que el circuito sigue siendo perfectamente simétrico y, como resultado, la tensión de señal en la unión de las fuentes será nula. Por lo tanto, la corriente de señal a través de R_{o3} será cero y R_{o3} no desempeña papel alguno en la determinación de la ganancia diferencial.

La tierra virtual en la conexión de fuente común permite obtener el circuito equivalente que se muestra en la figura 5.23b) . El circuito de dicha figura consta de dos amplificadores fuente común

idénticos, uno excitado con $+(v_{gs}/2)$ y el otro con $-(v_{gs}/2)$. Obviamente, solo se necesita uno de los dos circuitos para realizar cualquier análisis que se desee. Por lo tanto, a cualquiera de los dos circuitos de fuente común se le conoce como semicircuito diferencial.

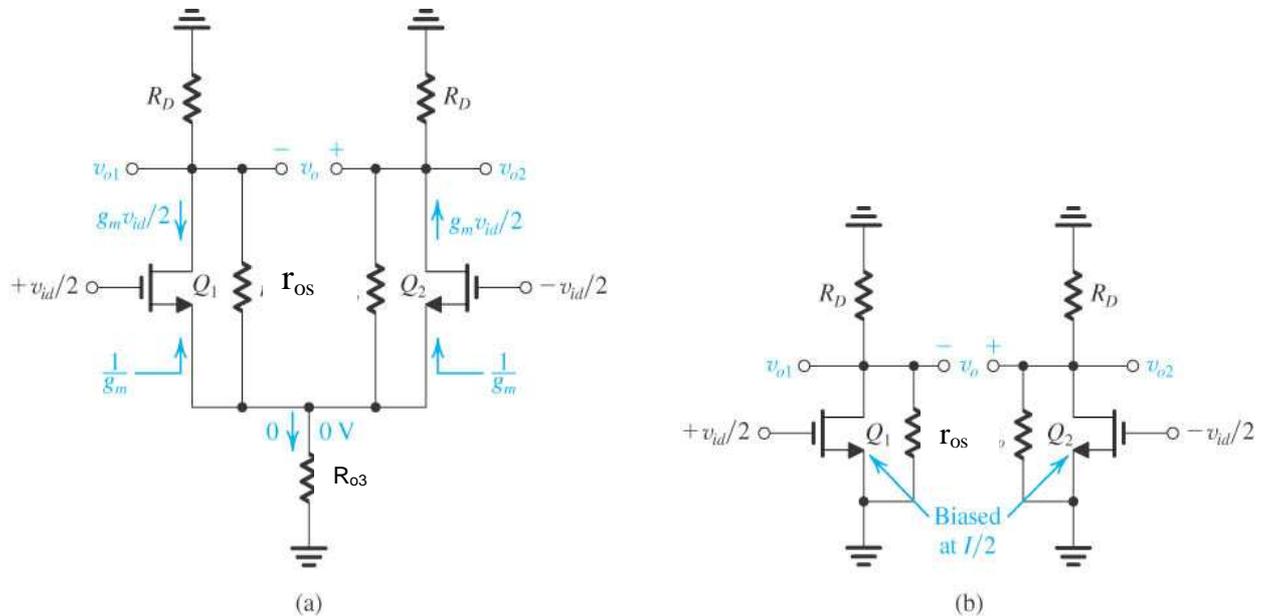


Figura 5.23 a) Amplificador diferencial MOS en el que se toman en cuenta r_{os} y R_{o3} ; b) circuito equivalente para determinar la ganancia diferencial. Cada una de las dos mitades del circuito amplificador diferencial es un amplificador fuente común, conocido como semicircuito diferencial.

Entonces basándonos en el circuito equivalente de la figura 5.23b) es posible deducir que:

$$v_{o1} = -g_m (R_D/r_{os})(v_{id}/2) \tag{5.50}$$

$$v_{o2} = g_m (R_D/r_{os})(v_{id}/2) \tag{5.51}$$

$$v_o = v_{o2} - v_{o1} = g_m (R_D/r_{os}) v_{id} \quad \text{por lo que} \quad A_{Vdd} = \frac{v_o}{v_{id}} = g_m (R_D/r_{os}) \tag{5.52}$$

EJERCICIO

5.9 Un par diferencial MOS trabaja a una corriente de polarización total de 0,8 mA, empleando transistores con una relación W/L de 100, $\mu_n C_{ox} = 0,2 \text{ mA/V}^2$, $V_A = 20 \text{ V}$ y $R_D = 5 \text{ K}\Omega$. Encuentre $(V_{GS} - V_T)$, g_m , r_{os} y A_{Vdd} .

Resp. 0,2 V ; 4 mA/V ; 50 K Ω ; 18,2 V/V

5.5.3.2 Ganancia de modo común y relación de rechazo de modo común (CRRM)

Ahora se considera la operación del par diferencial MOS cuando se aplica una señal de entrada modo común v_{icm} como se muestra en la figura 5.24a) . Aquí, v_{icm} representa una perturbación de la señal de interferencia acoplada de alguna manera a ambas terminales de entrada. Aunque no se muestra, la tensión de C.C. de los terminales de entrada debe estar definida todavía por una tensión V_{CM} , como se vio antes.

La simetría del circuito permite dividirlo en dos mitades iguales, como se muestra en la figura 5.24b). Cada una de ellas conocida como **semicircuito CM**, es un MOSFET polarizado a $I/2$ y tiene una resistencia conectada en fuente de valor $2R_{o3}$. Si se ignora el efecto de r_{os} , es posible expresar la ganancia de tensión de cada uno de los dosemicircuitos idénticos como sigue

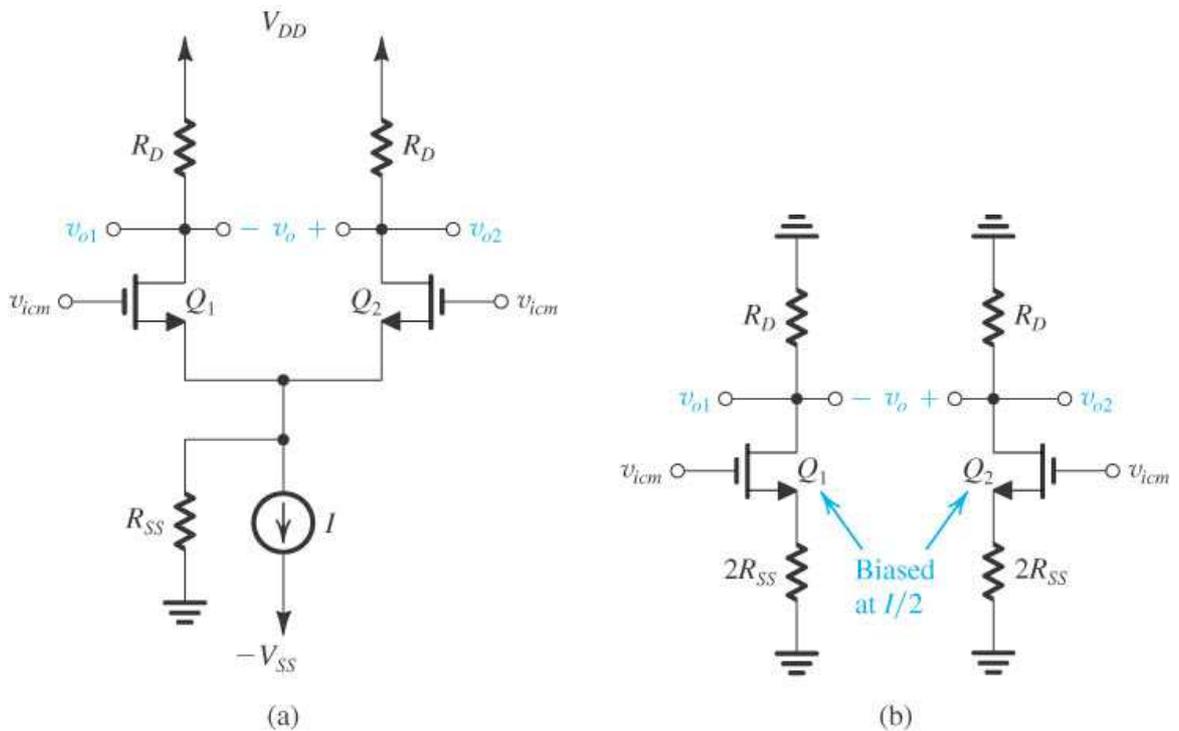


Figura 5.24 a) Amplificador diferencial MOS en el que se aplica una señal de modo común, v_{icm} ; b) circuito equivalente para determinar la ganancia de modo común (sin tomar en cuenta r_{os}). A Cada mitad del circuito se le conoce como “semicircuito de modo común”.

$$\frac{v_{o1}}{v_{icm}} = \frac{v_{o2}}{v_{icm}} = - \frac{R_D}{(I/g_m) + 2 R_{SS}} \tag{5.54}$$

Por lo general, $R_{SS} \gg (I/g_m)$, lo que permite aproximar la ecuación (5.54) como

$$\frac{v_{o1}}{v_{icm}} = \frac{v_{o2}}{v_{icm}} = - \frac{R_D}{2 R_{SS}} \tag{5.55}$$

Ahora considere dos casos:

- a) La salida del par diferencial se toma de un solo extremo;

$$\left| A_{cm} \right| = \frac{R_D}{2 R_{SS}} \quad (5.56)$$

$$\left| A_{vd} \right| = \frac{1}{2} g_m \cdot R_D \quad (5.57)$$

Por lo tanto, la relación de rechazo de modo común esta dada por

$$CMRR = \left| \frac{A_{vd}}{A_{cm}} \right| = g_m \cdot R_{SS} \quad (5.58)$$

- b) La salida se toma de manera diferencial;

$$A_{cm} = \frac{v_{o2} - v_{o1}}{v_{icm}} = 0 \quad (5.59)$$

$$A_{vd} = \frac{v_{o2} - v_{o1}}{v_{id}} = g_m \cdot R_D \quad (5.60)$$

y por lo tanto,

$$CMRR = \text{infinito} \quad (5.61)$$

Así, aunque R_{SS} es finita, el hecho de tomar la salida de manera diferencial da como resultado una CMRR infinita. Sin embargo, esto solo es cierto cuando el circuito es perfectamente simétrico.

5.5.4. El par diferencial Bipolar

En la figura 5.25 se muestra la configuración del par diferencial BJT. Es muy similar al circuito MOSFET y consta de dos transistores idénticos Q_1 y Q_2 , cuyos emisores están unidos y polarizados por una fuente de corriente constante I . Esta última suele implementarse con un circuito de transistores del tipo estudiado ya en las secciones precedentes. Aunque cada colector se muestra conectado a la fuente de alimentación positiva V_{CC} mediante una resistencia R_C , esta conexión no es esencial para la operación del par diferencial (es decir, en algunas aplicaciones los dos colectores pueden estar conectados a otros transistores en lugar de hacerlo a cargas resistivas). Sin embargo, resulta esencial que los circuitos colectores sean tales que Q_1 y Q_2 nunca entren en saturación.

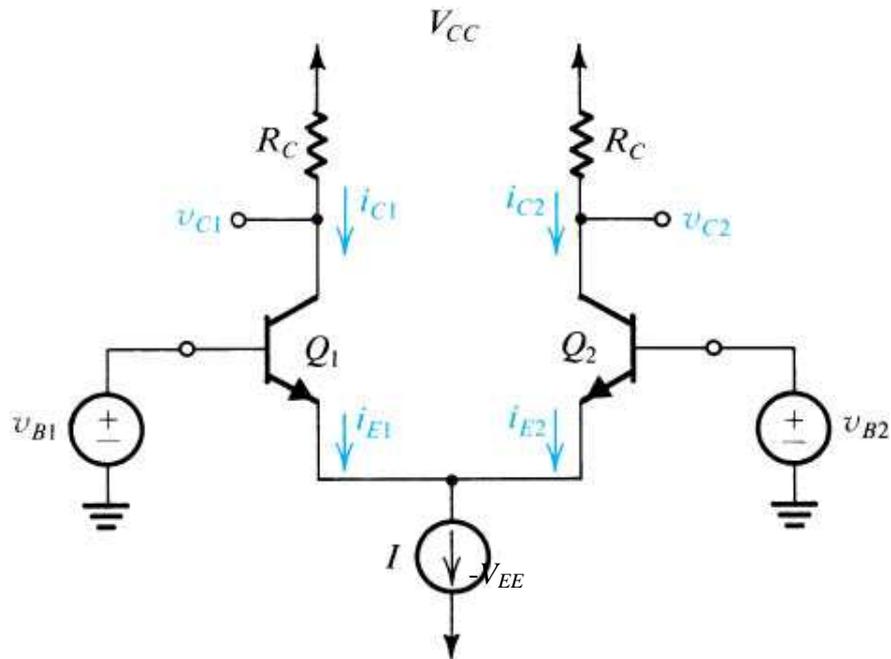


Figura 5.25 La configuración básica del par diferencial bipolar

5.5.4.1.- Operación Básica:

Para ver la manera en que funciona el par diferencial BJT, considere primero el caso de las dos bases unidas y conectadas a un voltaje de modo común v_{CM} . Es decir, como se muestra en la figura 5.26.a), $v_{B1} = v_{B2} = v_{CM}$. Debido a que Q_1 y Q_2 son coincidentes, y suponiendo una fuente de corriente de polarización ideal I con una resistencia de salida infinita, se concluye que la corriente I permanecerá constante y, debido a la simetría, que I se dividirá equitativamente entre los dos componentes activos.

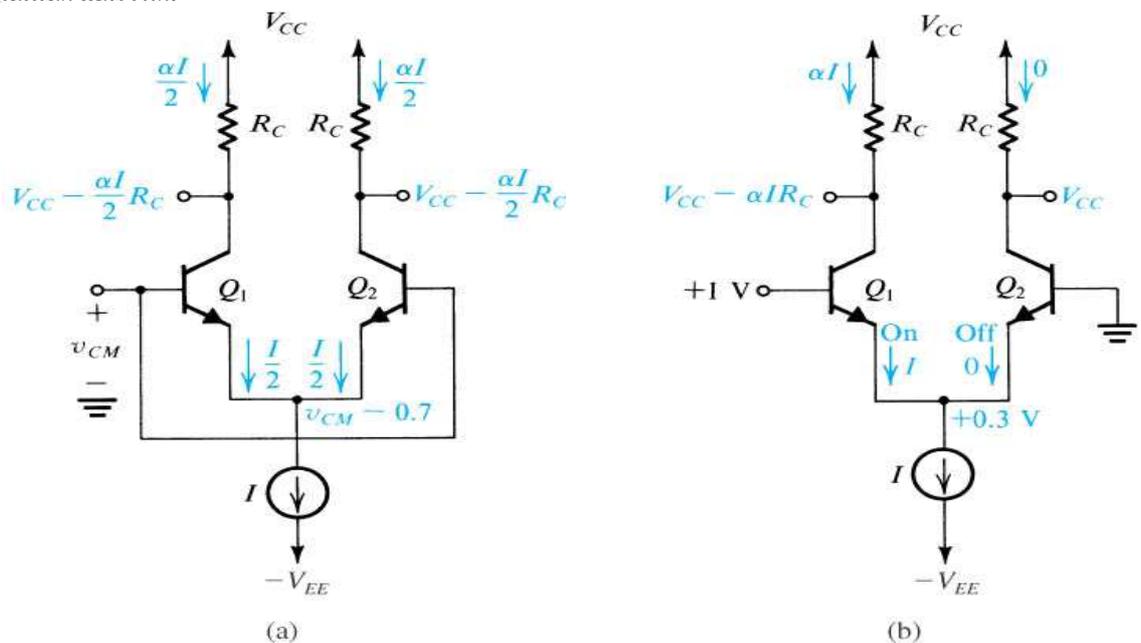


Figura 5.26 El par diferencial bipolar excitado con a) una tensión de entrada de modo común, b) con una señal diferencial grande

Por lo tanto $i_{E1} = i_{E2} = I/2$, y la tensión en la unión de los emisores será $v_{CM} - V_{BE}$ este ultimo de alrededor de 0,7 volt, que corresponde a una corriente de emisor de $I/2$. La tensión de cada colector será $V_{CC} - \alpha I/2 \cdot R_C$ y la diferencia de potencial entre los dos colectores será nula.

Ahora suponga que se modifica el valor de la señal de entrada de modo común v_{CM} . Obviamente, siempre y cuando Q_1 y Q_2 sigan en la región activa, la corriente I se dividirá todavía de manera equitativa entre Q_1 y Q_2 , y la tensión de los colectores no cambiara. Por lo tanto, el par diferencial no responde a las señales de entrada de modo común (es decir, las rechaza).

Como otro experimento, considere que la tensión v_{B2} esta fijo en un valor constante, por ejemplo, cero (al conectar B_2 a tierra) y sea $v_{B1} = +1$ volt [véase la figura 5.26.b)]. Con un poco de razonamiento puede verse que Q_1 estará conduciendo toda la corriente I y Q_2 estará desactivado. Para que Q_1 conduzca (con $v_{BE1} = 0,7$ volt), el emisor tiene que estar aproximadamente en $+0,3$ volt, lo que mantiene la unión base-emisor del transistor Q_2 polarizada en forma inversa. Las tensiones de los colectores serán $v_{C1} = V_{CC} - \alpha I \cdot R_C$ y $v_{C2} = V_{CC}$.

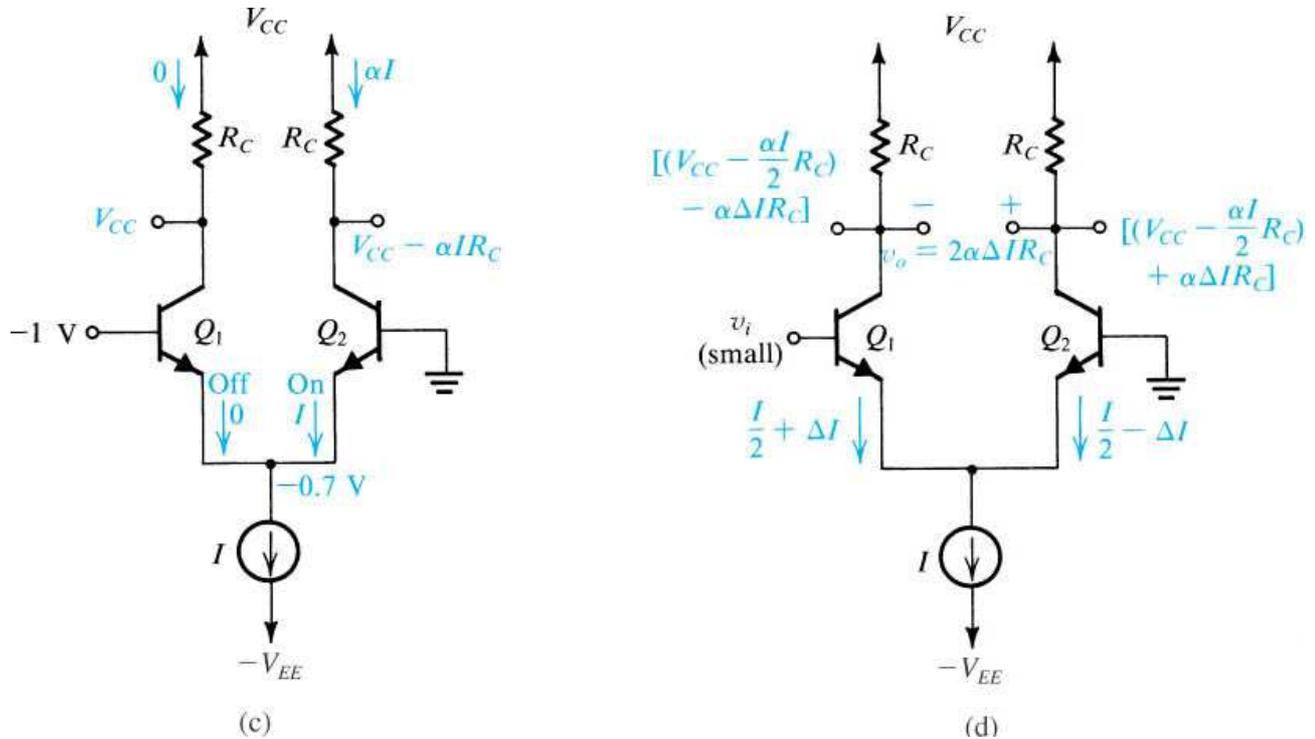


Figura 5.26 El par diferencial bipolar excitado con c) una tensión de entrada diferencial grande de polaridad opuesta a la del caso b, y d) una señal diferencial de entrada pequeña v_i

Considere ahora que se cambia $v_{B1} = -1$ volt [véase la figura 5.26.c)]. De nuevo con algún razonamiento se puede ver que Q_1 se desactiva y Q_2 conduce toda la corriente I . El emisor común estará en $-0,7$ volt, lo que significa que la unión base-emisor del transistor Q_1 estará polarizada inversamente por 0,3 volt. Las tensiones del colector serán $v_{C1} = V_{CC}$ y $v_{C2} = V_{CC} - \alpha I \cdot R_C$.

Basado en todo lo precedente se observa que el par diferencial realmente responde a las grandes señales de modo de diferencia (o diferencial). De hecho, con tensiones de diferencia relativamente pequeños es factible dirigir toda la corriente de polarización de un lado del par al otro. Esta propiedad de control de corriente del par diferencial permite su uso en circuitos lógicos (familia lógica de Emisores Acoplados).

Para utilizar el par diferencial bipolar como amplificador lineal se aplica una señal diferencial muy pequeña (de unos cuantos milivolts), que dará como resultado que uno de los transistores conduzca una corriente de $I/2 + \Delta I$; la corriente del otro transistor será $I/2 - \Delta I$, donde ΔI es proporcional a la tensión de señal de entrada de modo diferencial [véase la figura 5.26.d)]. La tensión de salida tomada entre los dos colectores será $2\alpha\Delta I \cdot R_C$, que es proporcional a la señal diferencial de entrada v_i . La operación a pequeña señal del par diferencial se estudiara a continuación.

5.5.4.2.- Operación a señal pequeña

Analizaremos la configuración circuital más sencilla, aunque no práctica, correspondiente a un amplificador diferencial bipolar, tal como se muestra en la figura 5.27.a). El circuito presentado, un tanto elemental y teórico, no incluye al circuito de polarización comúnmente llamado Fuente de Corriente ya que estas serán motivo de un estudio particular y por ahora la representamos mediante un circuito equivalente de Norton: es decir un generador de corriente I_{CQ3} en paralelo con su respectiva resistencia interna R_{O3} , circuito que sin mayor análisis puede asociarse con la salida de un tercer transistor.

Asimismo, para este estudio asumiremos que existe una exacta simetría entre las dos ramas del amplificador diferencial, sobre todo en lo que respecta a los transistores y a las resistencias del circuito de base de los mismos. Si bien en esta oportunidad supondremos también que ambas resistencias de colector son igualmente coincidentes, veremos más adelante que este aspecto de la simetría no es en realidad muy necesario y de hecho muchos circuitos prácticos no lo respetan.

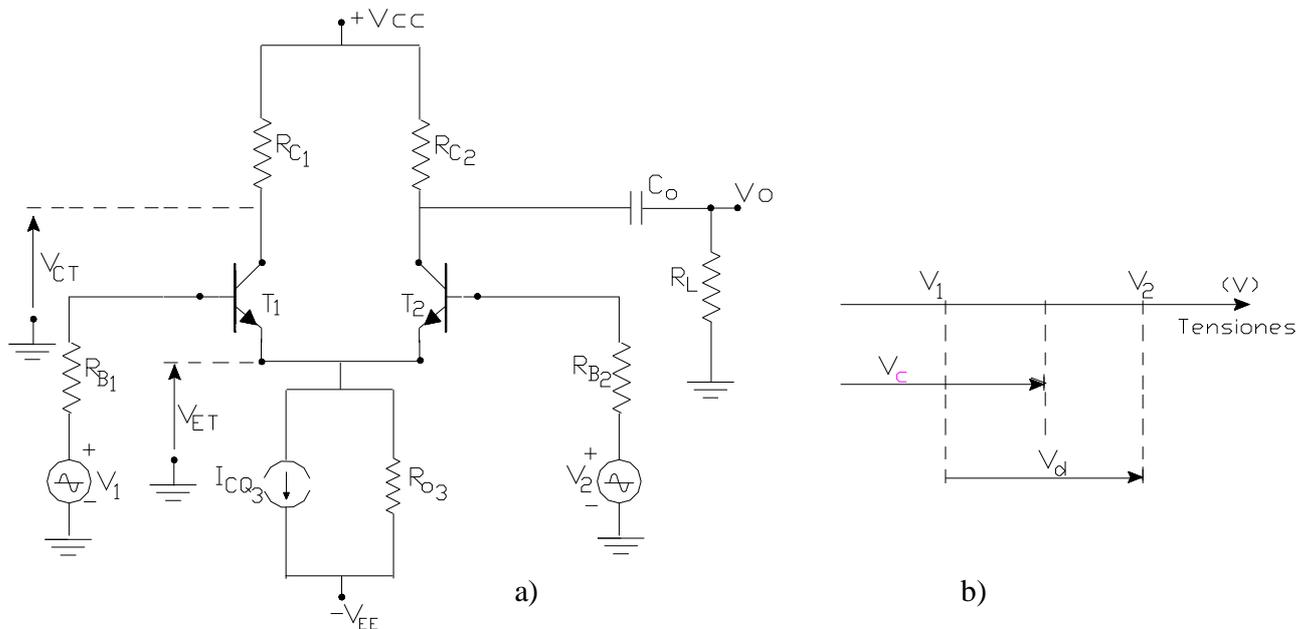


Figura 5.27 El par diferencial bipolar excitado con una tensión de entrada diferencial de señal pequeña v_d

Al iniciar el estudio comenzaremos por determinar las condiciones estáticas de funcionamiento de los transistores T_1 y T_2 . En tal sentido, dadas las condiciones de simetría impuestas para las mallas de entrada de ambos transistores y la identidad en las características base-emisor de los mismos, la corriente I_{CQ3} se dividirá en dos partes exactamente iguales, una para cada una de las ramas diferenciales. Dicho lo cual puede aceptarse que:

$$I_{CQ1} = I_{CQ2} = \frac{I_{CQ3}}{2} \quad (5.62)$$

Si bien lo que sigue resulta dependiente de los valores que adopten los componentes $R_{B1} = R_{B2}$, ocurre regularmente que las pequeñas caídas que producen las corrientes de base de ambos transistores resultan despreciables, sobre todo si las ganancias estáticas de corriente de los mismos es apreciable o significativa, tal es así que en la totalidad de los casos pueden despreciarse frente a la tensión base-emisor de umbral de los transistores (V_{BEu}), de modo que con muy pequeña cuota de error puede afirmarse que planteando las ecuaciones de ambas mallas equivalentes estáticas ($v_1 = v_2 = 0$) de entrada:

$$V_{ET1} = V_{ET2} = -V_{BEu1-2} = -0,6 \text{ ó } -0,7 \text{ V} \quad (5.63)$$

Por otra parte, si planteáramos las ecuaciones de las mallas equivalentes estáticas de salida de ambos transistores se tiene:

$$V_{CT1-2} = V_{CC} - I_{CQ1-2} \cdot R_{C1-2}$$

y dado que:

$$V_{CEQ1-2} = V_{CT1-2C} - V_{ET1-2}$$

teniendo en cuenta la (5.63):

$$V_{CEQ1-2} = V_{CC} + 0,6 \text{ (V)} - I_{CQ1-2} \cdot R_{C1-2} \quad (5.64)$$

quedando claro que tanto los valores absolutos como las condiciones de estabilización de dichas componentes de reposo resultan dependientes de las características del circuito de la Fuente de Corriente que proporciona I_{CQ3} .

Puede observarse asimismo que si las resistencias del circuito de colector de ambas ramas diferenciales no fueran idénticas como se ha planteado, lo único que ocurriría es que los transistores, trabajando ambos a la misma corriente de polarización, se hallarían sometidos a diferentes tensiones colector-emisor de reposo (V_{CEQ1} diferente a V_{CEQ2}), lo cual, dentro de límites aceptables, no introduciría diferencias apreciables en el comportamiento dinámico de ambos transistores, ya que como se vio dichos parámetros dinámicos no son fuertemente dependientes de dicha tensión de reposo V_{CEQ} , por lo menos no como lo son respecto de la corriente I_{CQ} .

Con la finalidad de encarar el estudio del funcionamiento del circuito frente a señales de bajo nivel, en este caso previamente haremos algunas definiciones que resultan imprescindibles, entre otras razones, para permitir una simplificación de la tarea, a la par de hacer uso de ciertos parámetros un tanto particulares que los propios fabricantes de circuitos integrados utilizan para describir y valorizar el funcionamiento de sus productos.

Llamaremos entonces **TENSIÓN DE MODO DIFERENCIAL DE ENTRADA** o simplemente **Modo Diferencial de Excitación** o modo diferencial, a la diferencia entre las dos tensiones de excitación dispuestas en el circuito. Ello con independencia de que ambas existan simultáneamente en una aplicación real o bien con independencia de su valor. En consecuencia dadas las v_1 y v_2 por definición la tensión de excitación de modo diferencial v_d es:

$$v_d = v_1 - v_2 \quad (5.65) \qquad v_c = \frac{v_1 + v_2}{2} \quad (5.66)$$

La expresión (5.66) representa otra definición, la correspondiente a la **TENSIÓN DE MODO COMÚN DE ENTRADA** que como se ve puede interpretarse como el promedio entre las dos tensiones de entrada. Cabe aclarar al respecto que puede encontrarse bibliografía en donde tales definiciones difieran respecto a lo precedentemente expresado y que en este trabajo se ha optado por ellas para ajustarlas a las especificaciones más comunes de los Manuales de los fabricantes de componentes.

En la figura 5.27.b) se lleva a cabo una interpretación gráfica de una situación dada y arbitraria en un instante de tiempo determinado para ambas tensiones de excitación v_1 y v_2 y los modos recién definidos.

Como corolario de tal observación las tensiones de excitación originales de ambas bases pueden ser descritas en función de ambos modos ya definidos, según:

$$v_2 = v_c + \frac{v_d}{2} \quad \text{y} \quad v_1 = v_c - \frac{v_d}{2} \quad (5.67)$$

Volviendo a nuestro circuito amplificador diferencial digamos que en él se busca por sobre cualquier otra característica, que:

$$v_o = K \cdot v_d$$

Desafortunadamente ello es solo posible en un amplificador diferencial ideal, ya que en la práctica, en la salida de dicho circuito se tendrá en general una tensión de salida formada por una parte proporcional a la tensión diferencial v_d y otra parte proporcional a la tensión de modo común v_c , vale decir:

$$v_o = v_{od} + v_{oc}$$

Llamando **Ganancia de Tensión de Modo Diferencial** o simplemente **Amplificación Diferencial** (A_{vd}) y **Ganancia de Tensión de Modo Común** o bien **Amplificación de Modo Común** (A_{vc}), a las relaciones:

$$A_{vd} = \frac{v_{od}}{v_d} \quad (5.68) \quad \text{y} \quad A_{vc} = \frac{v_{oc}}{v_c} \quad (5.69)$$

la tensión de salida de la etapa diferencial puede expresarse según:

$$v_o = A_{vd} \cdot v_d + A_{vc} \cdot v_c \quad \text{o bien:} \quad v_o = A_{vd} \cdot v_d \cdot \left(1 + \frac{v_c / v_d}{A_{vd} / A_{vc}} \right)$$

Esta última expresión detalla lo dicho respecto a la conformación de la tensión de salida de la etapa y puede observarse que tal como se adelantara, los resultados obtenidos a la salida del circuito amplificador difieren notoriamente respecto de lo esperado, ya que además de la parte de v_o dependiente de la señal diferencial de excitación v_d ($A_{vd} \cdot v_d$), se incluye un error (relativo) ε expresado por:

$$\varepsilon = \frac{v_c / v_d}{A_{vd} / A_{vc}}$$

y que para minimizarlo, cualquiera sea el tipo de excitación presente (v_c / v_d) debe conseguirse que:

$$A_{vd} \gg A_{vc}$$

Para poder cuantificar esta característica del circuito, se define el parámetro llamado RELACION DE RECHAZO DE MODO COMUN (C.M.R.R. = ρ):

$$\text{C.M.R.R.} = \rho = \frac{A_{vd}}{A_{vc}} \quad (5.70)$$

con lo cual la expresión de la tensión de salida de la etapa diferencial resulta:

$$v_o = A_{vd} \cdot v_d \cdot \left(1 + \frac{v_c / v_d}{\rho} \right) \quad (5.71)$$

En dicha relación, el término dependiente de la C.M.R.R. expresa la característica real del circuito y su valorización en la práctica permitirá determinar la medida en que el amplificador diferencial real (C.M.R.R. finito) se aparta del circuito ideal para el cual C.M.R.R. resulta infinito.

La realidad práctica si bien no permite en la actualidad obtener comportamientos diferenciales ideales, consigue circuitos amplificadores diferenciales que presentan C.M.R.R. suficientemente elevadas como para poder tolerar perfectamente los pequeños errores que subsisten.

Es así que a la fecha resultan incontables las aplicaciones que se pueden encontrar en la utilización de los circuitos amplificadores diferenciales, cuya característica dinámica de funcionamiento quedó representada por la ecuación (5.71) precedente. Desde su desempeño como dispositivo de mezcla o comparación entre una señal de referencia y otra exterior en cualquier sistema de control, pasando por el empleo como etapa separadora de una señal útil entre otras interferentes, hasta llegar a convertirse en la etapa de entrada de cualquier Amplificador Operacional, como veremos más adelante en este trabajo.

Por ahora nos interesa encontrar cuales son las relaciones que vinculan a los parámetros dinámicos recién definidos y las constantes de los componentes del circuito bajo estudio. Con ese objetivo y al imponer las condiciones de funcionamiento de bajo nivel y bajas frecuencias, representamos a dicho circuito haciendo uso del modelo híbrido simplificado para reemplazar a ambos transistores, resultando un circuito equivalente tal como el representado en la figura 5.28

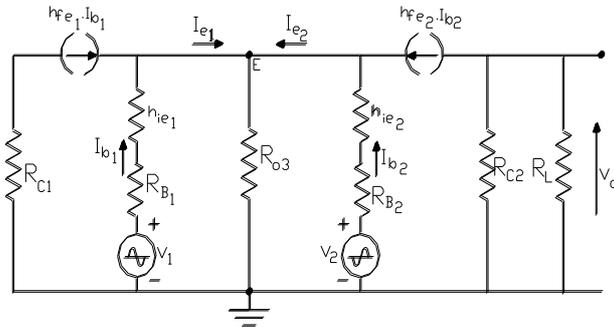


Figura 5.28

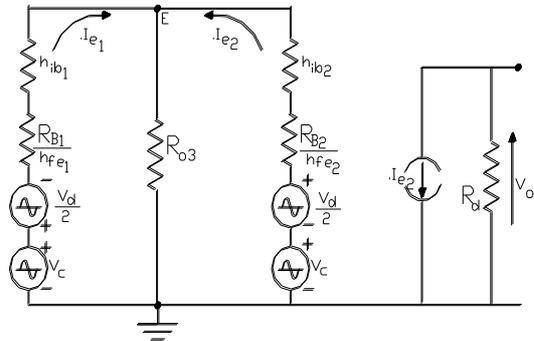


Figura 5.29

A partir de este circuito, desdoblado las fuentes controladas $I_{c2} (h_{fe} \cdot I_{b2})$ e $I_{c1} (h_{fe} \cdot I_{b1})$ según procedimiento ya estudiado con anterioridad, despreciando la parte de salida de T_1 (ya que su colector no se carga para la señal), y absorbiendo los generadores (tanto para T_1 como para T_2) del circuito de entrada por modificación de las corrientes de malla y cambio de las impedancias correspondientes, es posible pasar a estudiar el circuito equivalente representado en la figura 5.29. En este último además se reemplazaron los generadores de excitación de acuerdo a las definiciones de los dos modos de excitación, se tuvo en cuenta que la resistencia de carga dinámica es $R_d = R_L // R_{C2} // r_o$ y que la expresión que establece una relación entre los parámetros h_{ib} y h_{ie} .

Obtenemos así un circuito en donde intervienen dos fuentes de excitación dinámicas (v_c y $v_d/2$) por lo que para estudiar su comportamiento total, dada la condición de linealidad impuesta, es posible aplicar el principio de superposición. En tal sentido, en primer lugar analizamos su comportamiento frente a la acción de la señal de modo común (v_c), anulando simultáneamente a la señal de modo diferencial (v_d) con lo que la parte de entrada del circuito resultante se reduce al esquema representado en la figura 5.30.

En dicho circuito las corrientes de ambas mallas, es decir las que hemos llamado I_{ec1} e I_{ec2} (corrientes de emisor para el modo común de excitación) serán idénticas en magnitud y fase atento las condiciones de simetría de ambas mallas, de modo que por la resistencia R_{o3} se tendrá una corriente total que puede ser:

$$2 \cdot I_{ec1} = 2 \cdot I_{ec2}$$

Entonces nuevamente se podrá pasar a otro circuito equivalente, valido únicamente para la señal de modo común, que solo represente la parte correspondiente al transistor al cual se halla conectada la carga (T_2) pero sin dejar de considerar la presencia y actividad del transistor restante. Esto se ha logrado en el circuito equivalente indicado en la figura IV.6. en donde para tener en cuenta lo dicho en el último párrafo se ha duplicado la resistencia de la rama central del circuito de la figura IV.5. ($2 \cdot R_{o3}$) que permite mantener la caída de tensión en dicha rama cuando actúa un solo transistor.

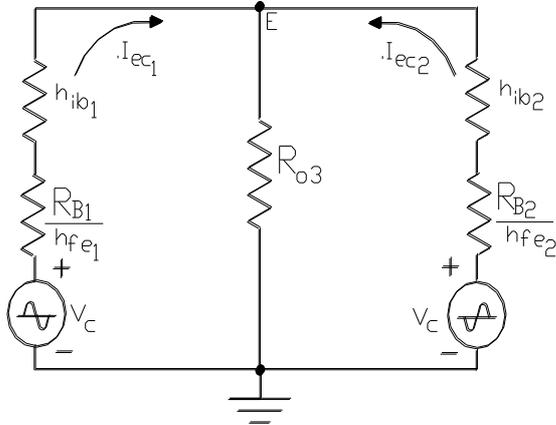


Figura 5.30

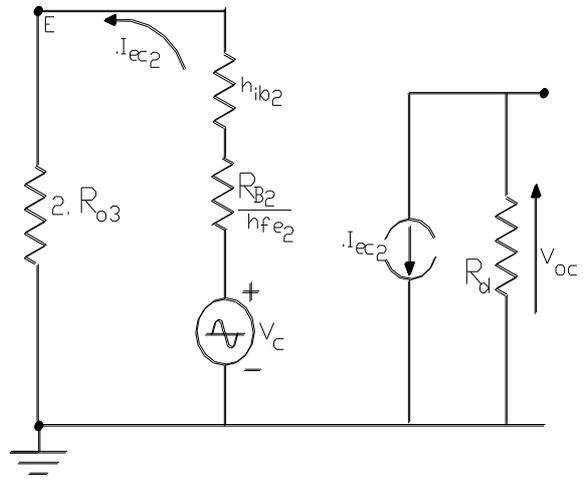


Figura 5.31

Debe observarse asimismo que en el último circuito se ha agregado la parte de salida del transistor T₂, dado que seguidamente procedemos a determinar la tensión de salida para el modo común (V_{oc}).

$$V_{oc} = - I_{ec2} \cdot R_d \quad \text{con} \quad I_{ec2} = \frac{V_c}{2 \cdot R_{o3} + h_{ie2} + (R_{B2} / h_{fe2})}$$

esta última expresión, dado los valores usuales que adoptan tanto R_{o3} como los restantes dos términos del denominador, puede aproximarse con error despreciable y entonces describir a la tensión de salida como:

$$V_{oc} = - \frac{V_c \cdot R_d}{2 \cdot R_{o3}} \quad (5.72) \quad \text{y la ganancia de tensión de modo común:} \quad A_{vc} = \frac{- R_d}{2 \cdot R_{o3}} \quad (5.73)$$

es decir que la ganancia de tensión de modo común, además de ser proporcional a la carga dinámica del transistor, resulta inversamente proporcional a la resistencia de salida de la fuente de corriente de polarización.

Volvamos ahora al circuito equivalente completo y pongamos en práctica el segundo paso del principio de superposición, anulando ahora a la señal de modo común y estudiando el comportamiento del circuito frente a la señal de excitación de modo diferencial. El circuito equivalente que representa esta condición se indica en la figura 5.32,

En este circuito, dada la oposición de fase entre los generadores de tensión de excitación de modo diferencial, en la entrada, por la rama central que contiene a R_{o3} no se registra ninguna corriente por lo que en ella no se desarrolla diferencia de potencial alguna debido a este modo, en razón de que el balance de ambas ramas es perfecto. Si en R_{o3} no se desarrolla diferencia de potencial diferencial, se puede realizar otro circuito equivalente al precedente pero de uno solo de los transistores, nuevamente

el T₂ que es el que se halla cargado, pero otra vez sin dejar de considerar la presencia del transistor restante. Ello se concreta en el circuito equivalente de la figura 5.33.

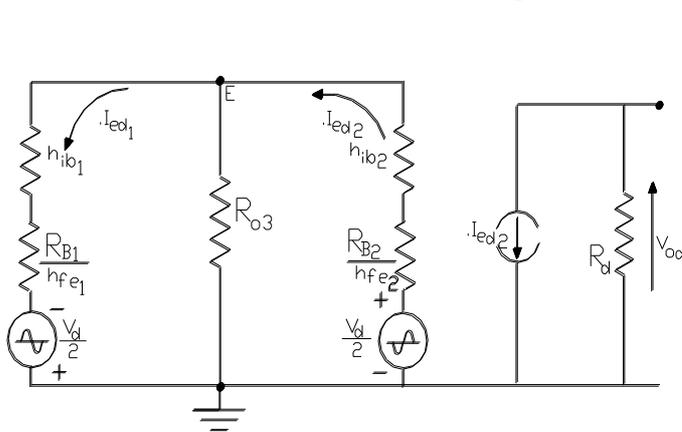


Figura 5.32

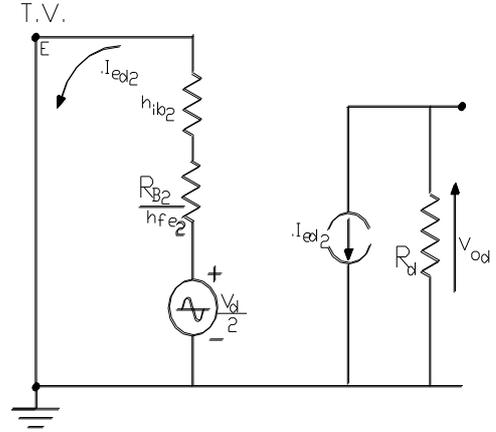


Figura 5.33

Puede constatarse que en la figura 5.33 se ha tenido en cuenta la presencia del transistor T₁ a través de la consideración de que el nodo unión de emisores (E) se comporta como una "Tierra Virtual", derivado de que al no existir caída en R_{o3} dicho nodo se encuentra virtualmente conectado a masa para dicha señal diferencial. El estudio de las mallas de entrada y de salida de dicho circuito equivalente dinámico nos permite escribir las siguientes ecuaciones:

$$V_{od} = - I_{ed2} \cdot R_d \quad \text{con} \quad I_{ed2} = \frac{V_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]}$$

luego reemplazando I_{ed2} en v_{od} se obtiene:

$$V_{od} = - \frac{V_d \cdot R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} \quad (5.74) \quad \text{y así la ganancia} \quad A_{vd} = \frac{- R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} \quad (5.75)$$

que también puede escribirse como:

$$A_{vd} = \frac{- h_{fe1-2} \cdot R_d}{2 \cdot (h_{ie1-2} + R_{B1-2})} \quad (5.75')$$

arrojando como resultado una ganancia igual a la mitad de la que le correspondería a una etapa emisor común con igual carga.

Continuando con la aplicación del principio de superposición, llevamos a cabo ahora el tercer paso, es decir que hallamos el total de la tensión de señal a la salida sumando los productos de dicha componente para cada uno de los modos de entrada que nos proporcionan las expresiones (5.72) y (5.74), vale decir:

$$v_o = v_{oc} + v_{od}$$

$$v_o = v_c \cdot \frac{-R_d}{2 \cdot R_{o3}} + v_d \cdot \frac{-h_{fe1-2} \cdot R_d}{2 \cdot (h_{ie1-2} + R_{B1-2})} \quad (5.76)$$

que resulta concordante con lo expresado por la ecuación (5.71) de modo que reemplazando en la definición de la Relación de Rechazo de Modo Común se obtiene:

$$\text{C.M.R.R.} = \rho = \frac{R_{o3}}{h_{ib1-2} + (R_{B1-2}/h_{fe1-2})} \quad (5.77)$$

Algunas conclusiones pueden mencionarse al analizar los resultados obtenidos hasta aquí:

- a) el apartamiento o error existente entre el comportamiento del amplificador diferencial real y el ideal (ϵ) no solo depende de la relación de rechazo de modo común (C.M.R.R. = ρ) sino que igualmente es función de la relación entre los valores que asuman los modos diferencial y común de excitación (v_c / v_d). Algunos ejemplos numéricos desarrollados más adelante nos ilustran al respecto.
- b) es posible reducir dicho apartamiento, independientemente de la relación de los modos de excitación, haciendo al rechazo todo lo grande como sea posible (idealmente infinito), para lo cual resulta necesario polarizar a la configuración diferencial con fuentes de corriente de gran resistencia de salida (idealmente R_{o3} infinito).

Observemos algunos resultados numéricos. Supongamos en tal sentido los siguientes casos:

- 1°) $v_1 = 50 \text{ mV}$; $v_2 = -50 \text{ mV}$. Para: a) $\rho = 10$; b) $\rho = 100$; c) $\rho = 1000$. Se pide determinar el error debido a la eventual presencia de modo común de excitación.

Dado que $v_d = -100 \text{ mV}$ y $v_c = 0$, independientemente de los valores de ρ el error es nulo, es decir:

$$\epsilon_a = \epsilon_b = \epsilon_c = 0$$

a la salida del amplificador diferencial solamente se obtendrá señal proporcional a la tensión de entrada de modo diferencial.

- 2°) $v_1 = 150 \text{ mV}$; $v_2 = 50 \text{ mV}$. Para iguales valores de ρ de acuerdo a lo indicado en el punto anterior, se solicita también ahora determinar el error debido a la presencia de modo común de excitación.

Nuevamente $v_d = -100 \text{ mV}$. mientras que ahora $v_c = 100 \text{ mV}$ por lo que los errores serán, para cada relación de rechazo:

$$\epsilon_a = 10 \% - \epsilon_b = 1 \% - \epsilon_c = 0,1 \%$$

3º) $v_1 = 1050 \text{ mV}$; $v_2 = 950 \text{ mV}$. y nuevamente para iguales valores de una vez mas se requiere determinar los errores en cada caso.

En este caso se tiene $v_d = -100 \text{ mV}$ y ahora la tensión de modo común de excitación resulta $v_c = 1000 \text{ mV}$. Los errores resultantes son:

$$\epsilon_a = 100 \% - \epsilon_b = 10 \% - \epsilon_c = 1 \%$$

Debiéndose notar que para disminuir estos errores por debajo del 0,1 % se deben conseguir relaciones de rechazo de 10^4 o más.

Estudiaremos ahora las Resistencias de Entrada y de Salida del Amplificador Diferencial. Para tal fin recordemos uno de los primeros circuitos equivalentes que hemos realizado en la figura 5.24. A partir de dicho circuito y con la finalidad de estudiar su transferencia, en los estudios realizados hasta aquí se procedió a uniformar la corriente de las mallas de entrada a nivel de corriente de emisor (I_e).

Pretendemos ahora estudiar la resistencia de entrada del circuito amplificador y dado que los puntos de excitación los hemos definido en los terminales de base de los transistores, al intentar uniformar las corrientes en las dos mallas de entrada lo haremos tomando como referencia a la corriente de base (I_b). Tal procedimiento lo pondremos en práctica para cada uno de los dos tipos de señales de excitación.

En primer lugar, para la señal diferencial, atento a la característica de TIERRA VIRTUAL del terminal de unión de los emisores (Nodo E), la malla de entrada uniformada, solo para la corriente de base diferencial se representa en la figura 5.34.

A partir de allí, la resistencia de entrada Diferencial del amplificador resultará:

$$R_{id} = 2 \cdot h_{ie1-2} \tag{5.78}$$

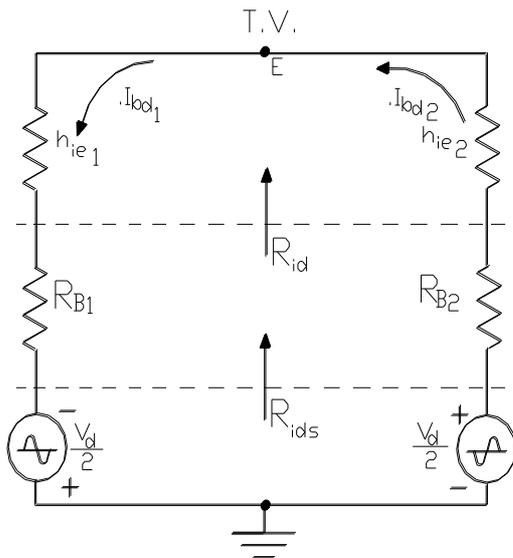


Figura 5.34

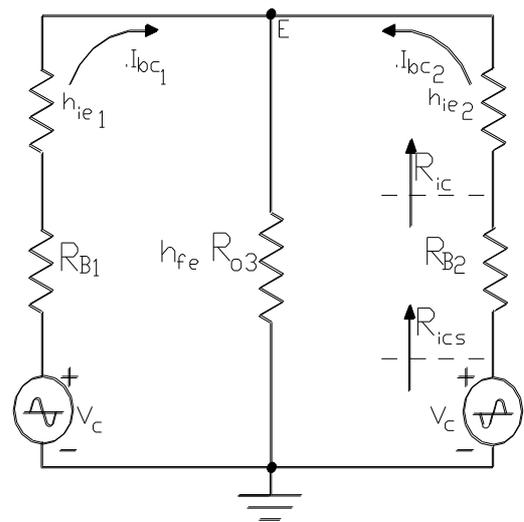


Figura 5.35

mientras que si consideramos a la resistencia interna de los generadores de excitación, la resistencia de entrada Diferencial del sistema amplificador será:

$$R_{ids} = 2 \cdot (h_{ie1-2} + R_{B1-2}) \tag{5.79}$$

Para la señal de modo común en cambio, el circuito equivalente de las mallas de entrada, uniformado a nivel de corriente de base de modo común (I_{bc}) se representa en la figura 5.35 y entonces las resistencias de entrada de Modo Común, tanto para el amplificador como para el sistema amplificador resultan ser:

$$R_{ic} = h_{ie1-2} + 2 \cdot h_{fe1-2} \cdot R_{o3} \tag{5.80} \quad - \quad R_{ics} = R_{B1-2} + h_{ie1-2} + 2 \cdot h_{fe1-2} \cdot R_{o3} \tag{5.81}$$

EJEMPLO 5.3

Ejemplos de Amplificadores Diferenciales:

a) Polarización con elementos pasivos

En este caso el circuito amplificador diferencial se encuentra polarizado mediante un resistor llamado R_E que se conecta entre la unión de los dos emisores y la fuente de alimentación, (en este caso de polaridad negativa al tratarse de transistores del tipo NPN), tal como se indica en la figura 5.36

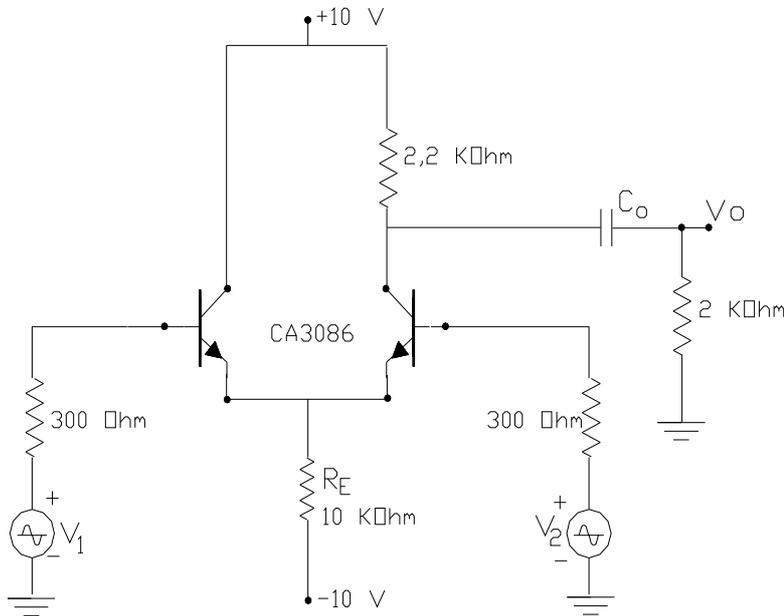


Figura 5.36 Circuito amplificador diferencial del Ejemplo 5.3

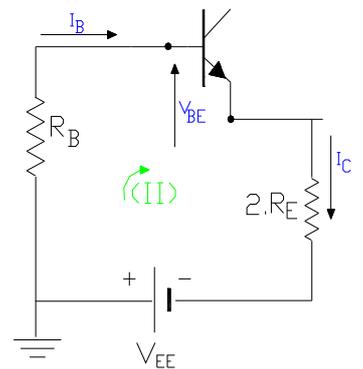


Figura 5.37 Circuito equivalente estático

Dado dicho circuito, nos proponemos verificar el comportamiento del mismo, especificando particularmente la excursión simétrica máxima potencial y la tensión de salida proporcional a la señal diferencial de entrada, así como el error debido al eventual modo común de entrada frente a las siguientes dos condiciones de excitación: 1) $v_2 = 10 \text{ mV}$; $v_1 = -10 \text{ mV}$ y 2) $v_2 = 110 \text{ mV}$; $v_1 = 90 \text{ mV}$. Asimismo se solicita verificar cual sería la limitación que se presentaría si se pretende disminuir el error antes determinado por debajo de un 0,3 % sin modificar el esquema de circuito. Finalmente se solicitan las resistencias de entrada frente a los dos modos de excitación.

Para el análisis estático, particularmente su malla de entrada puede ser estudiada mediante el circuito equivalente presentado en la figura 5.37. Se debe constatar que el mismo solo representa la entrada de uno cualquiera de los dos transistores y para tener en cuenta la presencia del restante se ha duplicado el valor de R_E . Así, en dicho circuito equivalente:

$$I_{CQ} = \frac{V_{EE} - V_{BEu}}{2 R_E + (R_B / h_{FE})}$$

Del Manual obtenemos que para una $I_C = 1 \text{ mA}$ estos transistores integrados presentan un valor típico de h_{FE} de 100, en consecuencia dado los valores de R_B y de R_E , al reemplazarlos en la expresión anterior nos queda:

$$I_{CQ} = \frac{10 - 0,6}{2 \cdot 10^4} = 0,47 \text{ mA}$$

que es tanto válida para T_1 como para T_2 .

Asimismo, a partir del estudio de las mallas de salida de ambos transistores se tiene que:

$$V_{CEQ1-2} = V_{CT1-2} - V_{ET1-2} \quad \text{en donde} \quad V_{ET1-2} = -V_{BE1-2} - I_{B1-2} \cdot R_{B1-2} = -0,6 - (0,47/85) \cdot 300 \cdot 10^{-3} = -0,6 \text{ V}$$

$$\text{mientras que} \quad V_{CT1} = V_{CC} = +10 \text{ V} \quad \text{y} \quad V_{CT2} = V_{CC} - I_{CQ} \cdot R_{C2} = 10 - 0,47 \cdot 10^{-3} \cdot 2,2 \cdot 10^3 = 9 \text{ V}$$

$$\text{en consecuencia:} \quad V_{CEQ1} = 10,7 \text{ V} \quad \text{y} \quad V_{CEQ2} = 9,7 \text{ V}$$

Verificamos en consecuencia que ambos puntos de reposo son prácticamente iguales y así los consideraremos a los efectos de obtener, a partir del Manual, los parámetros dinámicos de los transistores.

La excursión simétrica máxima posible y que para este tipo de amplificador hemos definido como "potencial", ya que como se verá más adelante la misma puede ser acotada por requerimientos de linealidad de la etapa, se obtiene analizando la separación del punto de reposo recién hallado con las zonas alineales del corte y saturación. Así

$$\text{-por saturación} \quad V_{odmax} < (V_{CEQ2} - V_{CE(sat)}) = 9,7 - 1 = 8,7 \text{ V}$$

$$\text{-por corte} \quad V_{odmax} < I \cdot R = 0,47 \cdot 10^{-3} \cdot (2,2 \text{ K}\Omega // 2 \text{ K}\Omega) = 0,9 \text{ V}$$

-la menor de las dos constituye la excursión simétrica máxima: $V_{odmax} = 0,9 \text{ V}$

En las figuras 5.38. y 5.39. se han realizado una vez más, los circuitos equivalentes respectivamente para la señal diferencial y para la señal de modo común. De dichos circuitos equivalentes se obtienen las expresiones de las ganancias de tensión, tanto de señal diferencial como de señal de modo común que utilizaremos seguidamente para las determinaciones numéricas. Previamente y a partir de las especificaciones del Manual obtenemos:

Para $I_C = 0,5 \text{ mA}$ y $V_{CE} = 3 \text{ V}$: $h_{ie} = 1,8 \cdot 3,5 \text{ KOhm} = 6,3 \text{ KOhm}$ y $h_{fe} = 1 \cdot 100 = 100$

luego:

$$A_{vd} = \frac{-R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = \frac{-1900}{2 \cdot (63 + 3)} = -14,4$$

$$A_{vc} = \frac{-R_d}{2 \cdot R_E + h_{ib1-2} + (R_{B1-2} / h_{fe1-2})} = \frac{-1900}{20 \cdot 10^3 + 66} = -0,0947$$

Entonces la relación de rechazo de modo común resulta:

$$\text{C.M.R.R.} = \rho = \frac{R_E}{h_{ib1-2} + (R_{B1-2} / h_{fe1-2})} = \frac{10^4}{63 + 3} = 151,5$$

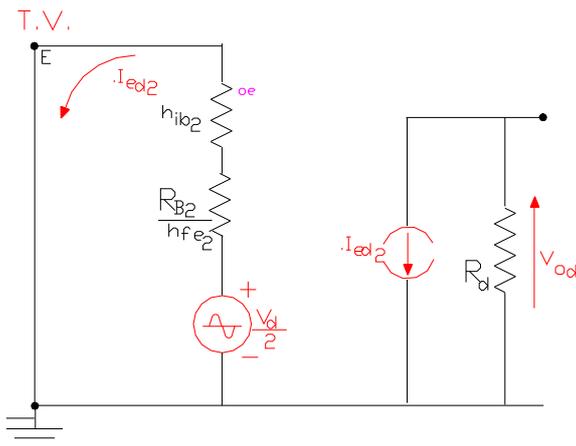


Figura 5.38 Circuito equivalente para la señal de excitación de modo diferencial

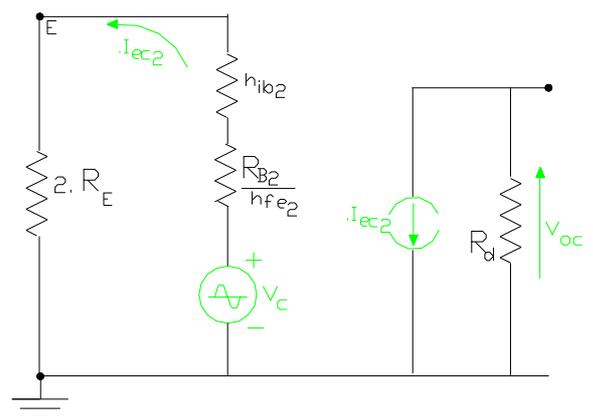


Figura 5.39 Circuito equivalente para la señal de excitación de modo común

En consecuencia, dado que para el caso 1) $v_d = 20 \text{ mV}$ y $v_c = 0$; y para el caso 2) $v_d = 20 \text{ mV}$ y $v_c = 100 \text{ mV}$ y teniendo en cuenta que:

$$v_o = A_{vd} \cdot v_d \cdot \left(1 + \frac{v_c / v_d}{\rho} \right) \quad \text{para cada caso se tendrá:}$$

1) $v_o = v_{od} = A_{vd} \cdot v_d = -14,4 \cdot 20 \cdot 10^{-3} = -0,288 \text{ mV}$ y por lo tanto $\epsilon = 0$ independientemente del ρ .

2) $v_o = -14,4 \cdot 20 \cdot 10^{-3} \cdot [1 + (5/151,5)] = -0,2975 \text{ mV}$ con lo que contiene un $\epsilon = 3,3 \%$

A continuación se analizará la posibilidad de reducir el error calculado en el caso 2) hasta un 0,3 %, es decir un poco más de 10 veces:

$$\frac{v_c / v_d}{\rho} = \frac{100 / 20}{\rho} < 0,3 \% \quad \text{por lo tanto} \quad \frac{100 / 20}{0,003} < \rho \quad \text{o sea} \quad \rho > 1667$$

si como se solicita, el circuito esquemáticamente no se modifica y tampoco cambiamos las condiciones de reposo, para lograr dicha relación deberíamos incrementar el valor de R_E también un poco más de 10 veces, lo que nos llevaría a una diferencia de potencial de C.C. sobre él de:

$$2 \cdot I_{CQ1-2} \cdot R_E = 2 \cdot 0,47 \cdot 100 = 100 \text{ V aproximadamente}$$

que deben ser proporcionados por la fuente V_{EE} , es decir $V_{EE} > 100 \text{ V}$ lo que constituye una limitación para el uso de transistores cuya ruptura se produce en valores marcadamente inferiores (en nuestro caso $V_{(BR)CEo \text{ tip}} < 24 \text{ V}$).

Por último, en cuanto a las resistencias de entrada, en las figuras 5.34 y 5.35 se definieron las mismas tanto para la señal de modo diferencial como para la señal de modo común resultando las expresiones (5.78/79) y (5.80/81) respectivamente, las que utilizaremos seguidamente para su evaluación:

$$R_{id} = 2 \cdot h_{ie1-2} = 2 \cdot 6,3 \cdot 10^3 = 12,6 \text{ K}\Omega \quad \text{y} \quad R_{ids} = 2 \cdot (h_{ie1-2} + R_{B1-2}) = 13,2 \text{ K}\Omega$$

$$R_{ic} = h_{ie1-2} + 2 \cdot h_{fe1-2} \cdot R_E = 6,3 + 2 \cdot 100 \cdot 10^4 = 2 \text{ M}\Omega \quad \text{y} \quad R_{ics} = R_{B1-2} + h_{ie1-2} + 2 \cdot h_{fe1-2} \cdot R_{o3} = 2 \text{ M}\Omega$$

b) Polarización mediante un tercer transistor:

A través del ejemplo anterior se apreció la limitación del circuito con polarización pasiva, sobre todo respecto a la obtención de mejores relaciones de rechazo del modo común. La función de dicha parte del circuito es únicamente permitir que se establezca la corriente $2 \cdot I_{CQ1-2}$ a lo largo de un resistor R_E que desde el punto de vista de C.M.R.R. conviene que sea del mayor valor posible. Ello nos permite inferir que mediante la utilización de un tercer transistor se puede concretar tal función de

polarización con mucho mayor eficiencia, por lo que nos proponemos verificar el comportamiento del circuito amplificador diferencial que se representa en la figura 5.40.

Puede observarse que al usar el mismo circuito integrado CA3086 ahora se están empleando los otros tres transistores sueltos y no el par internamente unido por emisor empleado en el ejemplo anterior, ya que en el nuevo circuito se han dispuesto sendas pequeñas resistencias en los emisores de ambas ramas diferencial. Asimismo podrá repararse que ahora la resistencia de carga R_L se encuentra conectada en forma aislada de masa, entre ambos colectores de las ramas diferencial.

$$V_{CC} = V_{EE} = 10 \text{ V} \quad - \quad R_{E3} = 2,2 \text{ KOhm} \quad - \quad R_1 = R_2 = 22 \text{ KOhm} \quad - \quad R_L = 100 \text{ KOhm}$$

$$R_{C1} = R_{C2} = 3,3 \text{ KOhm} \quad - \quad R_{B1} = R_{B2} = R_e = 100 \text{ Ohm} \quad - \quad T_1, T_2, T_3 : \text{CA3086}$$

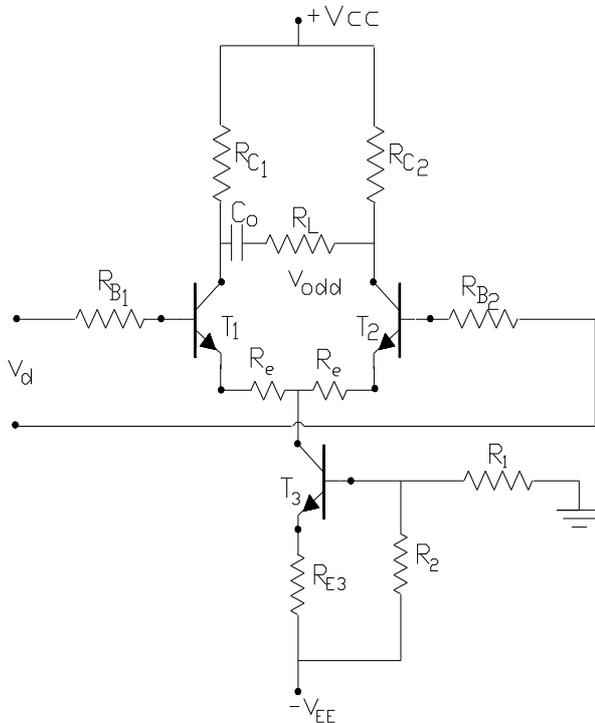


Figura 5.40 Circuito amplificador diferencial polarizado mediante un tercer transistor

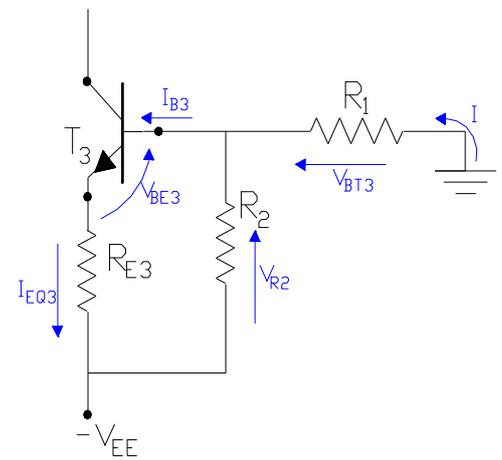


Figura 5.41 Circuito equivalente estático del Transistor T_3

A los fines de llevar a cabo el estudio del comportamiento estático el circuito de polarización se analiza por separado, tal como se indica en la figura 5.41. En la misma se han dispuesto los convenientes sentidos de referencia de corrientes y tensiones que nos permite establecer por un lado que a los efectos de tener en cuenta la estabilización $I \gg I_{B3}$ y por el otro, las siguientes relaciones y cálculos:

$$I = \frac{V_{EE}}{R_1 + R_2} ; \quad V_{BT3} = -I \cdot R_1 = -V_{EE} \cdot \frac{R_1}{R_1 + R_2} \text{ cuyo valor es } V_{BT3} = -10 \cdot \frac{22}{22 + 22} = -5 \text{ V}$$

mientras que $V_{R2} = I \cdot R_2 = V_{EE} \cdot \frac{R_2}{R_1 + R_2}$ y cuyo valor es $V_{R2} = 10 \cdot \frac{22}{22 + 22} = 5 \text{ V}$

entonces, planteando la ecuación de la malla de entrada de T_3 y despejando I_{EQ3} se tiene:

$$I_{EQ3} = \frac{V_{R2} - V_{BEu}}{R_E} = \frac{5 - 0,6}{2200} = 2 \text{ mA}$$

En cuanto a la tensión de reposo V_{CEQ3} , ya que esta etapa no maneja señal la misma debe ser solo lo suficientemente grande como para que T_3 opere fuera de la región de saturación, de modo de mantener un alto valor de resistencia de salida ($r_{o3} = 1/h_{oe3}$). Dicha tensión se encuentra calculando:

$$V_{CEQ3} = V_{CT3} - V_{ET3}$$

en donde, despreciando las pequeñas caídas en R_{B1-2} y en R_e :

$$V_{CT3} = -V_{BEu1-2} = -0,6 \text{ V}$$

mientras que:

$$V_{ET3} = -V_{BEu3} + V_{BT3} = -0,6 \text{ V} + V_{BT3}$$

en consecuencia:

$$V_{CEQ3} = -V_{BEu1-2} - (-V_{BEu3} + V_{BT3}) = -V_{BT3} = 5 \text{ V}$$

Igual análisis para los transistores T_1 y T_2 nos lleva a los siguientes valores:

$$I_{CQ1} = I_{CQ2} = \frac{I_{CQ3}}{2} = 1 \text{ mA} \quad \text{y dada la simetría en colectores: } V_{CEQ1} = V_{CEQ2} = V_{CT1-2} - V_{ET1-2}$$

en donde:

$$V_{CT1-2} = V_{CC} - I_{CQ1-2} \cdot R_{C1-2} = 10 - 10^{-3} \cdot 3,3 \cdot 10^3 = 6,7 \text{ V} \quad \text{y} \quad V_{ET1-2} = -V_{BEu1-2} = -0,6 \text{ V}$$

$$V_{CEQ1} = V_{CEQ2} = 6,7 \text{ V} - (-0,6 \text{ V}) = 7,3 \text{ V}$$

entonces, los puntos de reposo de ambos transistores son iguales y se ubican con una corriente de 1 mA y una tensión de 7,3 V.

Debemos pasar seguidamente al análisis de bajo nivel, para ello en primer lugar recurrimos a la Hoja de Datos para la obtención de los parámetros híbridos de estos transistores tanto para 2 mA (T_3) como para 1 mA (T_1 y T_2):

Para $f = 1 \text{ KHz}$, $V_{CE} = 3 \text{ V}$ e $I_C = 1 \text{ mA}$ se especifica $h_{ie} = 3,5 \text{ KOhm}$ - $h_{fe} = 100$ - $h_{oe} = 15,6 \mu\text{S}$

mientras que con las curvas de corrección de parámetros, para $I_C = 2 \text{ mA}$ h_{fe} no cambia, h_{ie} se reduce al 80 % de su valor y h_{oe} se incrementa al doble de su valor, es decir:

$$h_{ie} = 2,8 \text{ KOhm} \quad - \quad h_{fe} = 100 \quad - \quad h_{oe} = 31,2 \cdot 10^{-6} \text{ (A/V)}$$

La resistencia de salida del circuito conformado por el transistor T_3 es decir compatible con aquella que le correspondió a una etapa amplificadora emisor con resistencia R_E sin puentear resulta ser la resistencia equivalente R_{o3} que se definió para el circuito de polarización de la etapa diferencial, por lo que en este caso la misma puede ser calculada de acuerdo a la ecuación:

$$R_{o3} = h_{oe3}^{-1} \cdot \left(1 + h_{fe3} \cdot \frac{R_{E3}}{R_{E3} + R_{B3} + h_{ie3}} \right) \quad \text{con} \quad R_{B3} = R_1 // R_2 = 11 \text{ K}\Omega, \text{ así}$$

$$R_{o3} = 32,05 \cdot 10^3 \cdot \left(1 + 100 \cdot \frac{2,2}{2,2 + 11 + 2,8} \right) = 32050 \cdot 13,85 = 473 \text{ K}\Omega$$

En este caso el circuito equivalente dinámico para la señal diferencial se representa en la figura 5.42 y en la misma se aprecia por un lado la presencia de los resistores R_e en serie con ambos emisores y la conexión de la carga R_L en forma diferencial, es decir entre los dos colectores del par diferencial. Asimismo, dado el valor de R_L , puede aproximarse el análisis asumiendo que la totalidad de las corrientes I_{ed1-2} circularán por las resistencias de colector R_{C1-2} . En consecuencia, definiendo a la tensión de salida diferencial sobre la carga diferencial (V_{odd}) como:

$$V_{odd} = V_{od2} - V_{od1}$$

en donde $v_{od2} = -I_{ed2} \cdot R_{C2}$ y $v_{od1} = I_{ed1} \cdot R_{C1}$ con lo que por simetría: $v_{odd} = -2 \cdot I_{ed1-2} \cdot R_{C1-2}$

y se puede pasar a estudiar un circuito equivalente para la señal diferencial, tal como el indicado en la figura 5.43.

A partir de dichos circuitos equivalentes se destaca que la ganancia de tensión diferencial A_{vd} tal cual fue definida se reduce ahora debido a la presencia de la resistencia de emisor R_e debido a que:

$$A_{vd} = \frac{V_{od2}}{v_d} = \frac{-R_{C2}}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e]} = \frac{-3300}{2 \cdot (35 + 1 + 100)} = -12,13$$

y definiendo ahora, a la Ganancia de Tensión Diferencial con Salida Diferencial a:

$$A_{vdd} = \frac{V_{odd}}{v_d} = \frac{-2 \cdot I_{ed1-2} \cdot R_{C1-2}}{2 \cdot I_{ed1-2} \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e]} = 2 \cdot A_{vd} = -24,26 \quad (5.82)$$

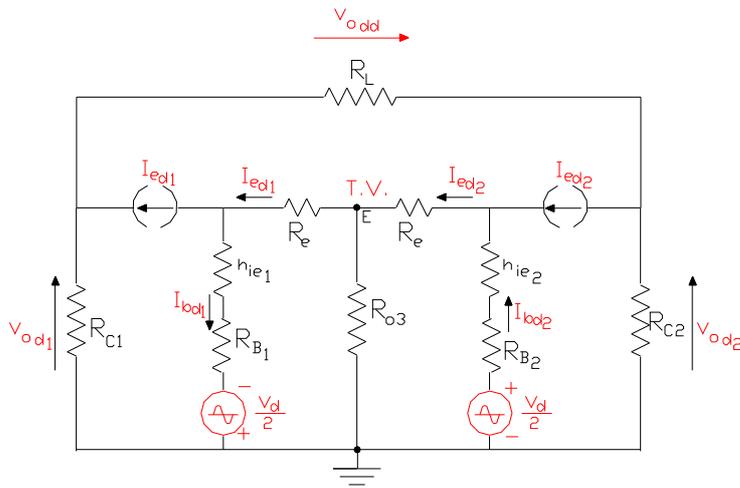


Figura 5.42 Circuito equivalente para la señal de excitación de modo diferencial

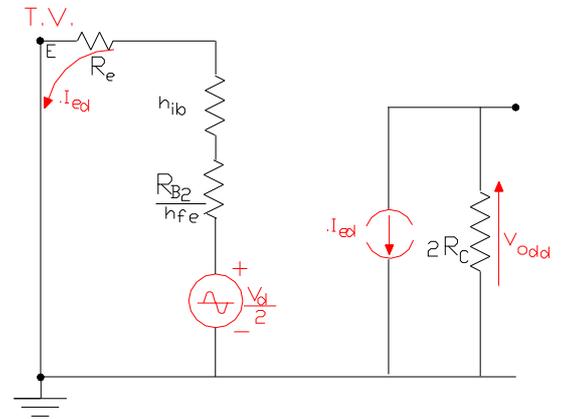


Figura 5.43 Circuito equivalente de uno de los transistores pero que tiene en cuenta al otro.

Por otra parte, para la señal de modo común se tiene:

$$A_{vc} = \frac{-R_{C1-2}}{2 \cdot R_{o3} + h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e}$$

debiéndose notar que al tomarse la salida en forma diferencial el modo común sobre la carga R_L resulta nulo independientemente del valor de dicha ganancia y siempre que el circuito sea perfectamente simétrico. No obstante ello si subsistiera cierta asimetría el modo común remanente sería rechazado según una relación de rechazo que ahora resulta:

$$C.M.R.R. = \rho = \frac{R_{o3}}{h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e} = \frac{473 \cdot 10^3}{35 + 1 + 100} = 3478 \quad (5.83)$$

Si bien el valor numérico de esta Relación ha aumentado con referencia al ejemplo anterior, debe tenerse presente que dicho incremento se logra únicamente por haberse empleado el circuito de polarización activo (con T_3) en lugar del circuito pasivo utilizado antes ($R_{o3} \gg R_E$). Pero al mismo tiempo cabe puntualizar que debido a la presencia de las resistencias de emisor R_e y tal como la expresión (5.83.) lo indica, debe esperarse una reducción del Rechazo al Modo Común toda vez que las mismas se utilicen.

Por último verificaremos que las resistencias R_e también modifican los niveles de resistencia de entrada:

$$R_{id} = 2 \cdot (h_{ie1-2} + h_{fe1-2} \cdot R_e) = 2 \cdot (3,5 \cdot 10^3 + 10^4) = 27 \text{ K}\Omega \quad (5.84.)$$

$$R_{ic} = h_{ie1-2} + h_{fe1-2} \cdot (R_e + 2 \cdot R_{o3}) = 3,5 \cdot 10^3 + 100 \cdot (100 + 2 \cdot 473 \cdot 10^3) = \text{varios } M\Omega \quad (5.85.)$$

con la aclaración de que en este caso, dado los valores resultantes esta resistencia de salida quedaría limitada por la presencia de las resistencias r_{μ} que en los modelos del transistor bipolar no se han considerado por simplificación.

5.5.4.3.= Máxima Excitación de Modo Común:

Esta característica suele ser una especificación bastante frecuente en la mayoría de los circuitos integrados lineales. Para su interpretación consideraremos el caso de un amplificador diferencial polarizado por una fuente de polarización activa tal como se estudiara en el ejemplo anterior. En su funcionamiento normal, dada la característica de amplificador de C.C., suele presentarse el caso en que sobre una de las bases de la etapa diferencial se encuentre aplicada una tensión continua de polaridad positiva respecto de masa. En tal caso dicha tensión debe ser considerada como una excitación de modo común y la situación puede representarse como lo indica la figura 5.44.

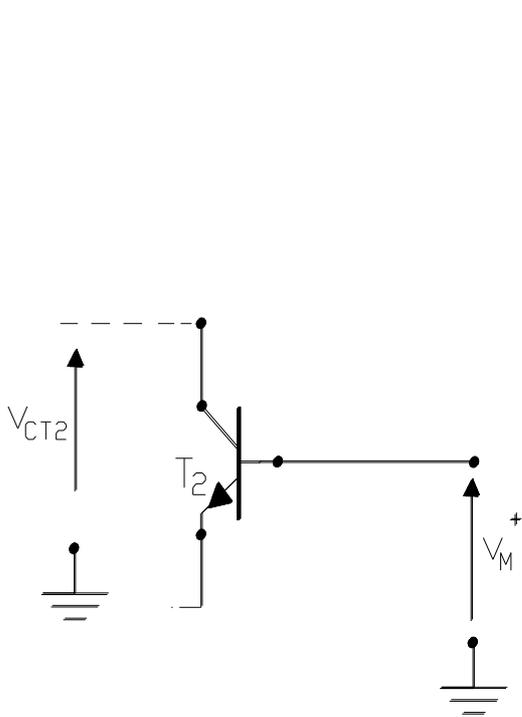


Figura 5.44

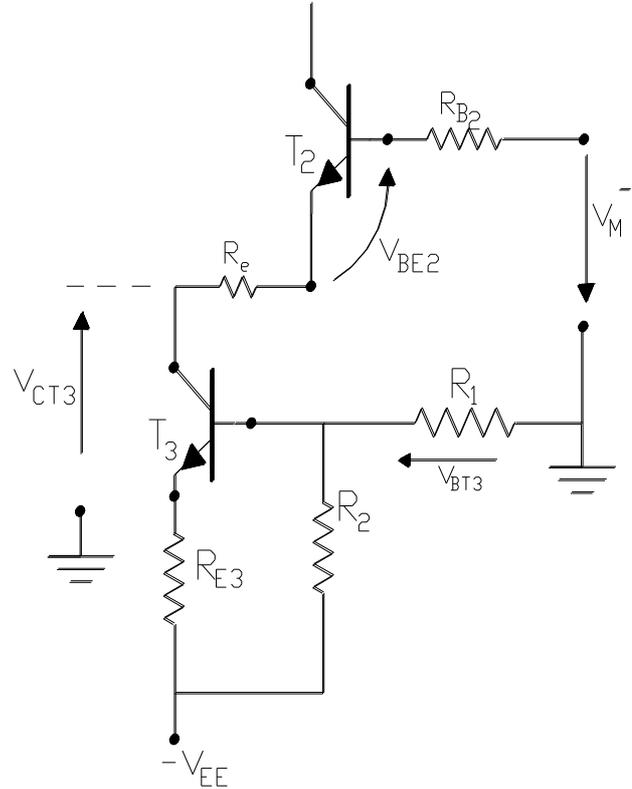


Figura 5.45

Para que, en este caso los transistores NPN ya sea T_1 como T_2 , no incursionen en la zona de saturación es preciso que el valor máximo de la tensión continua positiva aplicada en su base no alcance el nivel de tensión V_{CT} que dispone el circuito de polarización del par diferencial. Por lo tanto la máxima excitación de Modo Común de polaridad Positiva se hallará limitada por:

$$V_M^+ < V_{CT1-2} \quad (5.86)$$

Por otro lado, para el caso en que la polaridad de dicha tensión continua aplicada entre alguna base del par diferencial y masa sea negativa, situación que se representa en la figura 5.45, deberá tomarse la precaución de que el transistor que desempeñe las funciones de fuente de corriente activa, en el ejemplo citado llamado T_3 , opere fuera de su zona de saturación de modo que su resistencia de salida ($1/h_{oe3}$) no se minimice por efecto de una incursión en dicha zona inconveniente. Es decir que T_3 siempre deberá mantener:

$$V_{CT3} > V_{BT3}$$

y dado que en el circuito considerado ante la presencia de tal excitación, en la malla de entrada de T_1 o de T_2 se tiene:

$$V_{CT3} + V_{BEu1-2} + V_M^- = 0 \quad \text{por lo que en el límite} \quad V_{BT3} < -V_M^- - V_{BEu1-2}$$

y en consecuencia:

$$V_M^- < (-V_{BT3} - V_{BEu1-2}) \quad (5.87)$$

En el ejemplo anterior los valores numéricos que correspondería especificar para este Máximo Modo Común de Entrada serían:

$$V_M^+ < 6,7 \text{ V} \quad \text{y} \quad V_M^- < (5 - 0,6) = 4,4 \text{ V}$$

Debe apreciarse que las expresiones (5.86) y (5.87) se han obtenido a partir del estudio de un circuito conformado por transistores NPN. De tratarse de transistores PNP el cambio consistirá en intercambiar los resultados numéricos obtenidos y lo que para los NPN corresponde al máximo pico positivo en los PNP corresponderá al máximo pico negativo y viceversa.

EJEMPLO 5.4

Ejemplo de Amplificador Diferencial polarizado con fuente de corriente compensada térmicamente:

El problema consiste ahora en analizar el comportamiento del circuito amplificador diferencial que responde al esquema circuital indicado en la figura 5.46. Cabe aclarar que dicha topología es comercialmente conocida como un producto de RCA y se la identifica como CA3000.

En nuestro caso tomaremos para un ejemplo numérico, los siguientes valores de los componentes de circuito:

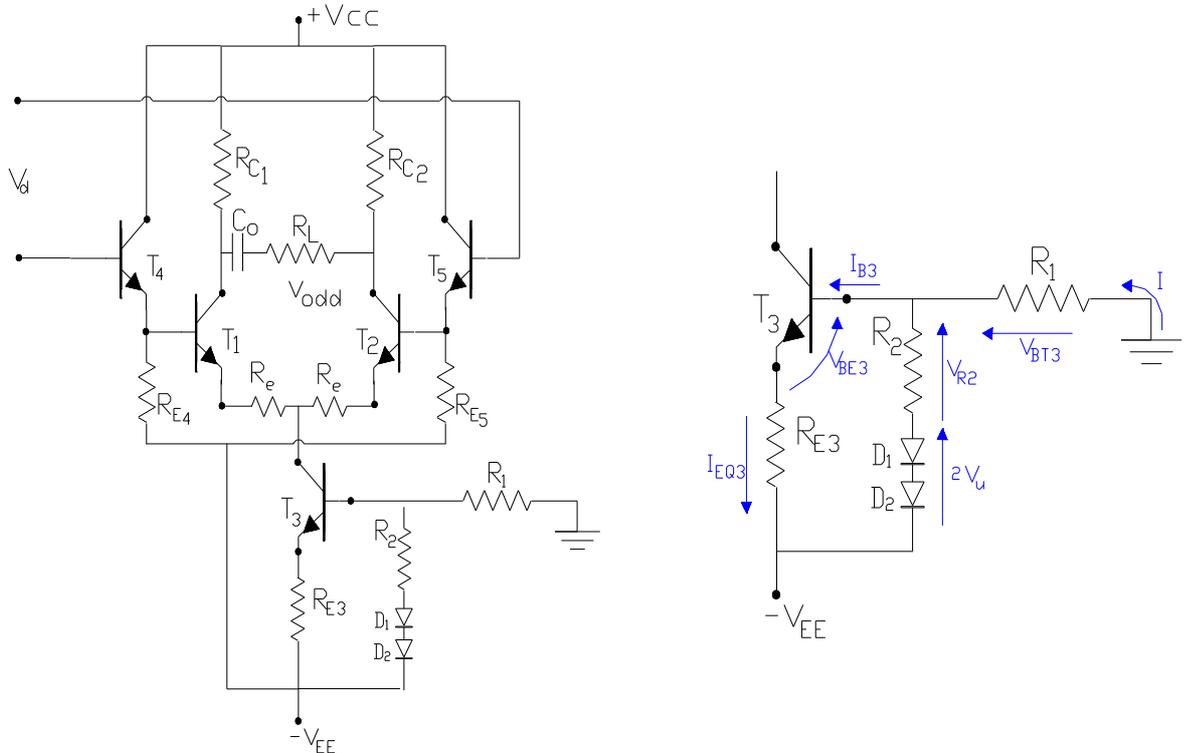
$$R_{C1} = R_{C2} = 12 \text{ K}\Omega - V_{CC} = V_{EE} = 6 \text{ Volt} - R_1 = R_2 = 8,2 \text{ K}\Omega - R_{E3} = 5,6 \text{ K}\Omega -$$

$$R_{E4} = R_{E5} = 22 \text{ K}\Omega - R_e = 50 \Omega - R_L = 150 \text{ K}\Omega .$$

$$T_1 \dots T_5 : h_{FE} = h_{fe} = 100 - V_{EARLY} = 100 \text{ Volt}$$

Comenzaremos con la resolución de la polarización. Para tal fin, en el circuito de la derecha se ha reproducido la fuente de corriente de polarización que como puede comprobarse se encuentra

estabilizada con resistencia en el emisor y divisor de polarización en base y además posee incorporada la técnica de compensación térmica de las variaciones de la tensión de umbral de la juntura B-E



mediante la conexión de sendos diodos (D_1 y D_2) en serie dentro de malla de polarización de la unión B-E del transistor T_3 .

En consecuencia para una buena estabilización, la corriente $I \gg I_{B3}$ y en consecuencia:

$$I = \frac{V_{EE} - 2 V_u}{R_1 + R_2} = \frac{6 - 1,2}{16400} = 0,29 \text{ mA}$$

$$V_{R2} = I \cdot R_2 \quad \text{por lo que} \quad V_{R2} + 2 V_u = \frac{V_{EE} \cdot R_2}{(R_1 + R_2)} - \frac{2 \cdot V_u \cdot R_2}{(R_1 + R_2)} + \frac{2 \cdot V_u \cdot (R_1 + R_2)}{(R_1 + R_2)}$$

Así la segunda Ley de Kirchoff en la malla de entrada resulta:

$$V_{R2} + 2 V_u - V_{BEu} - I_{CQ3} \cdot R_{E3} = 0 \text{ luego} \quad I_{CQ3} = \frac{V_{R2} + 2 V_u - V_{BEu}}{R_{E3}}$$

$$\text{En esta ultima ecuación} \quad V_{R2} + 2 V_u - V_{BEu} = \frac{V_{EE} \cdot R_2}{R_1 + R_2} + \frac{2 \cdot V_u \cdot R_1}{R_1 + R_2} - V_{BEu}$$

Figura 5.46

Figura 5.47

$$(R_1 + R_2) \quad (R_1 + R_2)$$

se puede observar el mecanismo de compensación térmica apropiado para el caso de semiconductores de Silicio en donde la mayor influencia se registra a través de las variaciones de la tensión V_{BEu} . Efectivamente si como ocurre en nuestro ejemplo numérico se cumple que $R_1 = R_2$ entonces los dos últimos términos de esta ecuación se cancelan y la corriente de polarización de T_3 queda:

$$I_{CQ3} = \frac{V_{EE}}{2 \cdot R_{E3}} = \frac{6}{2 \cdot 5600} = 0,5 \text{ mA}$$

que como se ve, solo depende de la fuente de alimentación y de la resistencia de emisor de dicho transistor, sin hallarse comprometida por las variaciones de h_{FE} ya sea térmicas o de dispersión ni de las correspondientes a la tensión de umbral B-E (y por tratarse de silicio tampoco dependientes de las variaciones de I_{CB0}). Notar que al ser $h_{FE} = 100$ la corriente de base de T_3 resulta ser de solo $5 \mu\text{A}$, es decir que se cumple con la desigualdad supuesta al inicio del presente análisis ($I = 290 \mu\text{A}$)

En consecuencia las corrientes de reposo de los transistores T_1 y T_2 , por simetría de circuitos:

$$I_{CQ1-2} = \frac{I_{CQ3}}{2} = \frac{0,5 \text{ mA}}{2} = 0,25 \text{ mA}$$

En cuanto a los transistores T_4 y T_5 , tomando como potencial de masa al de sus bases y considerando que las corrientes de base de T_1 y T_2 despreciables frente a las de emisor de los primeros, las mismas se pueden calcular como:

$$I_{CQ4-5} = \frac{V_{EE} - V_{BEu}}{R_{E4-5}} = \frac{6 - 0,6}{22000} = 0,245 \text{ mA}$$

En cuanto a las tensiones de reposo y ya que:

$$V_{ET1-2} = -2 \cdot V_{BEu} = -1,2 \text{ Volt} \quad \text{y} \quad V_{CT1-2} = V_{CC} - I_{CQ1-2} \cdot R_{C1-2} = 6 - 0,25 \cdot 12 = 3 \text{ Volt}$$

$$V_{CEQ1-2} = V_{CT1-2} - V_{ET1-2} = 3 - (-1,2) = 3 + 1,2 = 4,2 \text{ Volt}$$

$$V_{CEQ4-5} = V_{CC} - V_{BEu} = 6 - (-0,6) = 6 + 0,6 = 6,6 \text{ Volt}$$

Asimismo y despreciando las pequeñas caídas en los resistores R_e la tensión de reposo de T_3 resulta ser:

$$V_{CEQ3} = V_{ET1-2} - (-V_{EE} + I_{CQ3} \cdot R_{E3}) = (-1,2) - (-6 + 0,5 \cdot 5,6) = 2 \text{ Volt}$$

y por lo tanto suficiente para sacarlo de la zona de saturación, de modo que su resistencia de salida ($1/h_{oe}$) sea elevada.

En cuanto a las condiciones dinámicas de funcionamiento se puede considerar el acoplamiento directo de sendas etapas colector común, conformadas por los transistores T_4 y T_5 conectadas a la entrada de la etapa diferencial realizada con T_1 y T_2 ambos con una pequeña resistencia de emisor y cargados en la salida por colector en forma simétrica o diferencial.

Así, las resistencias de entrada de los colectores comunes pero considerada en forma diferencial, es decir entre sus dos bases es:

$$R_{id4-5} = 2 \cdot h_{ie4-5} + h_{fe4-5} \cdot (R_{id1-2} // 2 \cdot R_{E4-5}) \quad \text{con} \quad R_{id1-2} = 2 \cdot h_{ie1-2} + 2 \cdot h_{fe1-2} \cdot R_e$$

En consecuencia como para todos los transistores: $g_m = 40 \cdot I_{CQ} = 10 \text{ mA/V}$ y $h_{ie} = \frac{h_{fe}}{g_m} = 10 \text{ K}\Omega$

$$R_{id1-2} = 30 \text{ K}\Omega \quad - \quad R_{id1-2} // 2 \cdot R_{E4-5} = 17,8 \text{ K}\Omega \quad \text{y} \quad R_{id4-5} = 1,8 \text{ M}\Omega$$

Asimismo, dados los valores resultantes precedente, en ambas etapas C.C. se cumple ampliamente la condición seguidora, de modo que las transferencias de tensiones de las mismas son prácticamente unitarias y la ganancia de tensión de todo el sistema puede considerarse solo a la ganancia del diferencial cargado en forma diferencial, es decir $A_{Vdd} = 2 \cdot A_{Vd}$.

En consecuencia dado el circuito equivalente indicado en la figura IV.18:

$$A_{Vd} = \frac{V_{od2}}{v_d} = \frac{-R_{C2}}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e]} = \frac{-12000}{2 \cdot (100 + 0 + 50)} = -40$$

y definiendo ahora, a la Ganancia de Tensión Diferencial con Salida Diferencial a:

$$A_{Vdd} = \frac{V_{odd}}{v_d} = \frac{-2 \cdot I_{ed1-2} \cdot R_{C1-2}}{2 \cdot I_{ed1-2} \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e]} = 2 \cdot A_{Vd} = -80 \quad (5.88)$$

En cuanto al rechazo al modo común, dada la carga conectada entre los dos colectores, si el circuito diferencial posee ambas ramas perfectamente simétricas, la salidas por ambos colectores debido al modo común es exactamente la misma de forma tal que la diferencia de potencial de salida, sobre la carga para este modo resultaría nula. Si tal simetría no resultara perfecta, el modo común remanente sería rechazado en forma proporcional a la resistencia de salida de la fuente de corriente de polarización, es decir:

$$R_{O3} = h_{oe3}^{-1} \cdot \left(1 + h_{fe3} \cdot \frac{R_{E3}}{R_{E3} + R_{B3} + h_{ie3}} \right) \quad \text{con} \quad R_{B3} = R_1 // R_2 = 4,1 \text{ K}\Omega, \text{ así}$$

$$R_{O3} = 200 \cdot 10^3 \cdot \left(1 + 100 \cdot \frac{5,6}{5,6 + 4,1 + 5} \right) = 200000 \cdot 382 = 76,4 \text{ M}\Omega$$

y en consecuencia:

$$\text{C.M.R.R.} = \rho = \frac{R_{o3}}{h_{ib1-2} + (R_{B1-2} / h_{fe1-2}) + R_e} = \frac{76,4 \cdot 10^6}{100 + 0 + 50} = 5,1 \cdot 10^5$$

5.6.- FUENTES DE CORRIENTE ACTIVAS:

La anterior exposición acerca del funcionamiento de los amplificadores diferenciales, en su configuración básica, así como los resultados obtenidos en los ejemplos considerados precedentemente nos permiten aceptar la necesidad de una fuente de corriente constante para asegurar la "constancia" de la suma de las corrientes de emisor del par de transistores de las ramas diferenciales.

En el desarrollo de las ecuaciones básicas se impuso esta condición mediante el empleo de la fuente $I_{CQ3} - R_{o3}$ y posteriormente se demostró que resultaba necesaria, para la obtención de un buen rechazo de señales de modo común, una fuente de corriente constante ideal que presentara precisamente una R_{o3} infinita.

Los cálculos numéricos realizados en los ejemplos antes mencionados por si solo expresan las limitaciones que en la práctica se presentan para lograr tal objetivo, sobre todo con un circuito de polarización pasivo y hasta con fuentes de corriente conformadas por un tercer transistor.

Paralelamente a lo expuesto, la orientación de la especialidad, dirigida hacia el empleo y estudio de los circuitos integrados lineales o analógicos, nos obliga a adelantar que entre las técnicas específicas que se emplean, resulta muy frecuente la utilización de un mayor número de componentes activos en reemplazo de los pasivos que en general son más difíciles de integrar. Asimismo recurrentemente puede observarse que la polarización de todo el circuito integrado se extraiga o dependa de la fuente de corriente constante destinada inicialmente a polarizar al amplificador diferencial y que en otras ocasiones, las mismas configuraciones circuitales de dichas fuentes de corriente se empleen como cargas activas de otras partes de circuito.

Esta circunstancia nos obliga a llevar a cabo un estudio particular de los diferentes tipos o configuraciones que se observan más frecuentemente en los circuitos integrados lineales.

5.6.1.- Fuente de Corriente Espejo (Mirror):

El esquema circuitual de esta fuente de corriente se representa en la figura 5.48.a) , en donde puede observarse la sencillez del circuito constituido por dos transistores, uno de ellos operando como diodo. En este caso en que se emplean transistores NPN una fuente de alimentación de polaridad negativa debe ser conectada entre la unión de los emisores y masa.

El punto (A) de colector del transistor T_2 lo interpretamos como el punto de utilización de la fuente, vale decir que los circuitos a polarizar por ejemplo, se deberán conectar a dicho punto (A). El principio de funcionamiento requiere una exacta simetría entre ambos transistores característica que hace a este esquema específicamente apropiado a incorporar en los circuitos integrados.

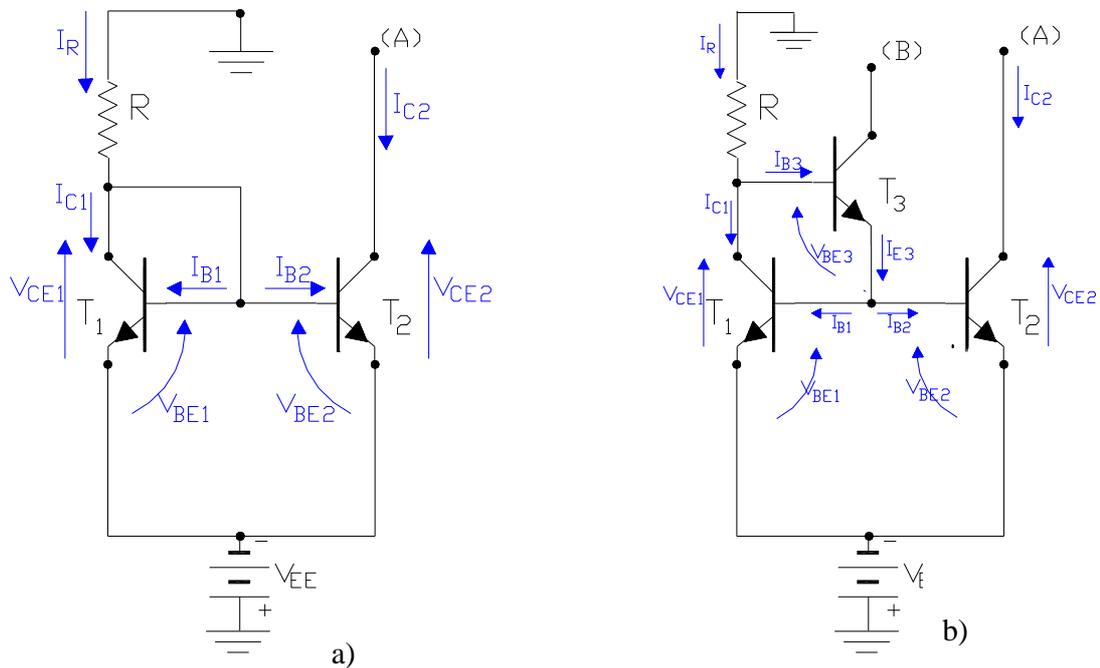


Figura 5.48 Fuente de corriente espejo bipolar a) configuración básica , b) Variante usando tres transistores bipolares.

Dada la polaridad de la fuente de alimentación ambos transistores disponen sus uniones base-emisor polarizadas en forma directa por lo que es apropiado admitir que en el circuito se establezcan las corrientes y tensiones cuyos sentidos de referencia se han marcado en la misma figura. Entonces la corriente por el resistor R se encuentra vinculada con la de colector de T₁ y las dos corrientes de base I_{B1} e I_{B2} según la ecuación de la primera Ley de Kirchoff aplicada al nodo unión de ambas bases, es decir:

$$I_R = I_{C1} + I_{B1} + I_{B2} \tag{5.89}$$

La característica topológica de este arreglo es que ambas uniones base-emisor, al ser espejo una de la otra, comparten la misma tensión de polarización $V_{BE1} = V_{BE2}$ por lo que dada la simetría de transistores en ambas ramas se tendrá:

$$I_{B1} = I_{B2} \quad - \quad h_{FE1} = h_{FE2} \quad - \quad I_{C1} = I_{C2} \tag{5.90}$$

Por otra parte, al considerar la 2da. Ley de Kirchoff en la malla constituida por el transistor T₁ :

$$V_{EE} - I_R \cdot R - V_{BEu1} = 0 \quad \text{por lo que:} \quad I_R = \frac{V_{EE} - V_{BEu1}}{R} \tag{5.91}$$

luego introduciendo (5.89) y (5.90) en (5.91) y considerando valores de ganancia estática de corriente de los transistores lo suficientemente elevadas como para poder considerar $2 \cdot I_{B1-2} \ll I_{C1-2}$, para un análisis de primera aproximación y en lo que haga al empleo práctico de esta fuente se tendrá:

$$I_{C2} = I_R = \frac{V_{EE} - V_{BEu1}}{R} \quad (5.92)$$

que es la corriente de utilización que impone esta fuente de corriente.

En lo que sigue y a los efectos de justificar algunas modificaciones en la estructura circuital de esta fuente o bien la aparición de otros circuitos para el cumplimiento de las mismas funciones, se llevará a cabo un estudio de mayor precisión. Por una parte, en lo precedente, para arribar a la ecuación (5.90.) al contemplarse simetría perfecta entre T_1 y T_2 se supuso que por el hecho de compartir ambos la misma tensión de polarización base-emisor ($V_{BE1} = V_{BE2}$) ambas corrientes de colector eran idénticas ($I_{C1} = I_{C2}$).

Ello es parcialmente cierto ya que un estudio del comportamiento del transistor bipolar nos lleva a admitir que la ecuación del diodo base-emisor tiene también una dependencia de las tensiones de polarización de la restante juntura, es decir que tanto I_{C1} como I_{C2} dependen de las tensiones V_{CE1} y V_{CE2} respectivamente, a través de las ecuaciones aproximadas:

$$I_{C1} = I_s \cdot e^{\frac{(V_{BE1}/V_T)}{1 + \frac{V_{CE1}}{V_A}}} \quad - \quad I_{C2} = I_s \cdot e^{\frac{(V_{BE2}/V_T)}{1 + \frac{V_{CE2}}{V_A}}}$$

En nuestro caso no obstante la simetría considerada y que la tensión de Early $V_A \gg V_{CE}$, mientras $V_{CE1} = V_{BEu1-2} = 0,6$ V, en general V_{CE2} es bastante mayor que 0,6 V por lo que habrá de registrarse una pequeña diferencia entre dichas corrientes.

$$\frac{I_{C1}}{I_{C2}} = \frac{1 + (V_{BEu1}/V_A)}{1 + (V_{CE2}/V_A)}$$

Por otro lado, para establecer la ecuación (5.92) fue preciso despreciar ($2 \cdot I_{B1-2}$) frente a I_{C1-2} lo cual es aceptable cuando la ganancia estática de los transistores toma valores normales. En cambio para transistores con baja ganancia aparecería un nuevo componente de error en el cálculo de la corriente de utilización por dicha expresión, ya que si se emplea una mayor precisión en el análisis y a partir de la expresión (5.92) se tendría:

$$I_R = I_{C2} + 2 \cdot I_{B1-2} = I_{C12} + \frac{2 \cdot I_{C2}}{h_{FE2}} \quad \text{vale decir:} \quad I_2 = \frac{I_R}{1 + (2/h_{FE2})} \quad (5.93)$$

5.6.2.- Variante de la Fuente Espejo:

Una forma de atenuar los inconvenientes apuntados precedentemente, es decir que los apartamientos por asimetrías de las V_{CE} y por baja ganancia se minimicen, se consigue introduciendo una modificación en la topología de la fuente de corriente presentada precedentemente, tal como se observa en la figura 5.48.b) En este nuevo circuito se ha reemplazado el corto circuito que antes se tenía entre base y colector de T_1 mediante la incorporación de un tercer transistor.

El colector de T_3 o nodo (B) puede ser retornado por la fuente de polaridad positiva ya sea directamente o bien a través de algún otro componente. Debe apreciarse que en este nuevo circuito el transistor T_1 se halla sometido a una tensión de polarización que ahora es:

$$V_{CE1} = V_{BE2} + V_{BE3} = 2 \cdot V_{BEu} = 1,2 \text{ V}$$

por lo que se logra una mejora con respecto a la desadaptación de I_{C1} e I_{C2} por diferencia de tensiones V_{CE1} y V_{CE2} .

Asimismo, en este circuito se tiene: $I_{E3} = I_{B1} + I_{B2} = 2 \cdot I_{B1} = 2 \cdot I_{B2}$ vale decir: $I_{E3} = 2 \cdot I_{B1-2}$

y también $I_{B3} = \frac{I_{E3}}{(h_{FE3} + 1)}$ por lo que despreciando la unidad frente a h_{FE3} y considerando $I_{C1} = I_{C2}$

en consecuencia:

$$I_R = I_{C2} + I_{B3} = I_{C2} + \frac{I_{E3}}{h_{FE3}} = I_{C2} + \frac{2 \cdot I_{B1-2}}{h_{FE3}} = I_{C2} + \frac{2 \cdot I_{C1-2}}{h_{FE1-2} \cdot h_{FE3}}$$

vale decir:
$$I_{C2} = \frac{I_R}{1 + (2 / h_{FE1-2} \cdot h_{FE3})} \quad (5.94)$$

por lo que comparando con el resultado obtenido en (5.93) se aprecia también ahora una ventaja con respecto al circuito anterior ya que aún para bajos valores de h_{FE} , prácticamente no existirá diferencia entre I_{C2} e I_R .

En consecuencia, con esta fuente espejo modificada y en primera aproximación o bien en forma práctica se podrá determinar la corriente de utilización mediante:

$$I_{C2} = I_R = \frac{V_{EE} - 2 \cdot V_{BEu1-3}}{R} \quad (5.95)$$

5.6.3.- Fuente de Corriente WIDLAR:

Algunas de las características deseables que deben ofrecer estos circuitos requeridos para la polarización de los circuitos integrados lineales, entre ellos las etapas amplificadoras diferenciales, son las de a) entregar corrientes de utilización poco dependientes de los valores de las tensiones de alimentación de modo que tales circuitos integrados no se encuentren limitados a ser alimentados por un determinado valor de tensión de alimentación, b) proporcionar altos valores de resistencia de salida de manera de conseguir los mas altos valores de Rechazo al Modo Común y c) permitir el establecimiento y control de bajos valores de corriente de utilización sin requerir resistores R de alto valor que compliquen o impidan su integración.

Precisamente el perfeccionamiento de los aspectos señalados anteriormente, admitiendo las limitaciones de los circuitos recién estudiados se logra en el circuito WIDLAR que se representa en la figura 5.49. En este circuito, el hecho de haberse incorporado un resistor en uno de los emisores del par de transistores que conforman la fuente de corriente, hace que las mallas de entrada de los mismos ya dejen de ser espejo una de la otra, con lo que planteando la ecuación asociada a dichas mallas se tiene:

$$V_{BE2} = V_{BE1} - I_{C2} \cdot R_{E2} \quad (5.96)$$

con lo que es de esperar que $I_{C1} > I_{C2}$

Para establecer dicha relación de desigualdad, consideraremos nuevamente la ecuación del diodo base-emisor en su primera aproximación:

$$I_C = I_s \cdot e^{(V_{BE} / V_T)} \quad \text{de donde} \quad V_{BE} = V_T \cdot \ln(I_C / I_s)$$

por ello, planteando dos ecuaciones similares, una para T_1 y la otra para T_2 y reemplazando en la expresión (5.96):

$$V_T \cdot \ln(I_{C2} / I_s) - V_T \cdot \ln(I_{C1} / I_s) + I_{C2} \cdot R_{E2} = 0$$

$$\text{o sea:} \quad V_T \cdot \ln(I_{C1} / I_{C2}) - I_{C2} \cdot R_{E2} = 0$$

en consecuencia el resistor R_{E2} que permite disminuir I_{C2} con respecto a I_{C1} resulta:

$$R_{E2} = \frac{V_T}{I_{C2}} \cdot \ln\left(\frac{I_{C1}}{I_{C2}}\right) \quad (5.97) \quad \text{en donde además:} \quad I_{C1} = \frac{V_{CC} - V_{BEu1}}{R} \quad (5.98.)$$

A través de los ejemplos numéricos veremos como emplear estas expresiones tanto para proyecto como para el análisis de circuitos, y verificaremos asimismo la medida en que pueden imponerse relaciones de hasta 100 veces entre los valores de I_{C1} e I_{C2} , así como el grado de dependencia de la corriente de utilización I_{C2} con respecto a las variaciones en el valor de la tensión de alimentación V_{CC} .

En cuanto a la resistencia de salida de este fuente de corriente la misma es compatible con la de una etapa con resistencia de emisor sin puentear, de modo que ahora considerando:

$$R_{O2} = h_{oe2}^{-1} \cdot \left(1 + h_{fe2} \cdot \frac{R_{E2}}{R_{E2} + R_T + h_{ie2}}\right) \quad \text{con} \quad R_T = R // h_{ib1} \quad (5.99.)$$

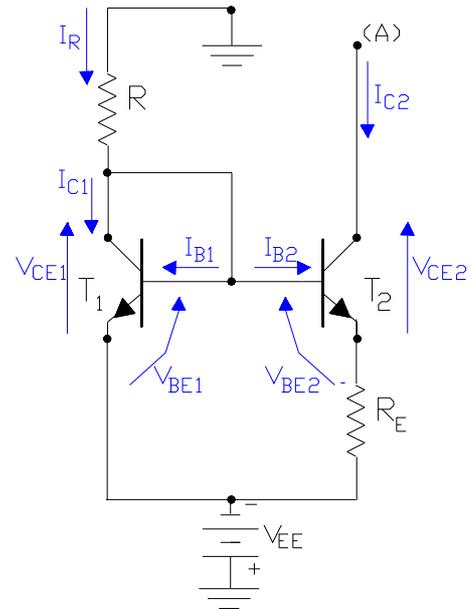


Figura 5.49 Fuente de corriente WIDLAR

5.6.4.- Fuente de Corriente CASCODE:

En este caso la configuración se halla constituida por cuatro transistores tal como se observa en la figura 5.50. Tanto los transistores T₃ como T₄ poseen su juntura base-colector en cortocircuito por lo que se hallan funcionando como diodos, sobre los cuales se desarrollan las tensiones de umbral V_{BEu3} = V_{BEu4} = 0,6 V. En consecuencia, la corriente a lo largo del resistor R resulta ser:

$$I_R = \frac{V_{CC} - 2 \cdot V_{BEu3-4}}{R}$$

Despreciando las pequeñas corrientes de base I_{B2} e I_{B4} y atento la conexión directa de colector de T₃ con emisor de T₄, se tendrá I_{C4} = I_{C3} = I_R luego, por tratarse de una configuración espejo entre T₁ y T₃ se tendrá también: I_{C1} = I_{C3} y debido nuevamente a la conexión directa del emisor de T₂ al colector de T₁: I_{E2} = I_{C1} = I_{C2} = I_R,

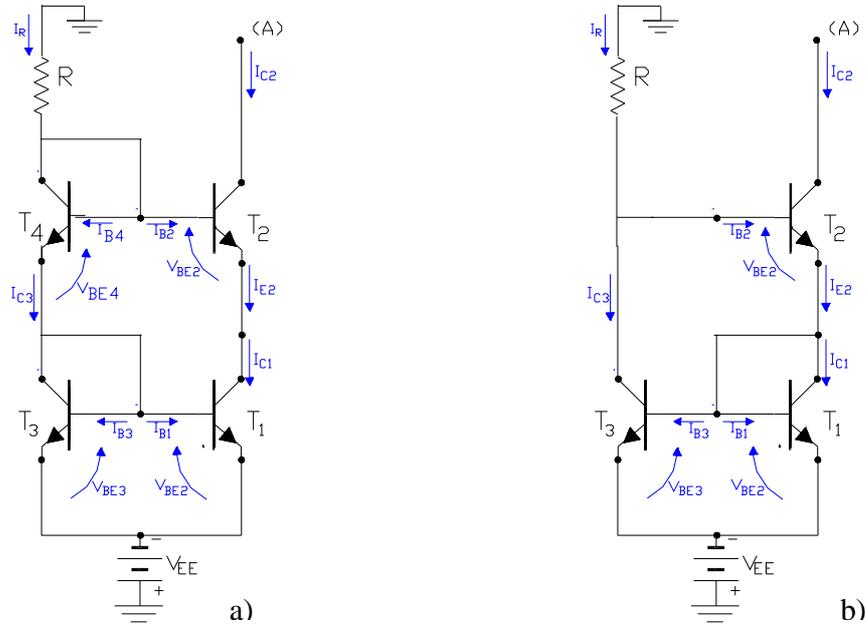


Figura 5.49 a) Fuente de corriente WIDLAR b) Fuente de corriente WILSON

Por ello:

$$I_{C2} = I_R = \frac{V_{CC} - 2 \cdot V_{BEu3-4}}{R} \tag{5.100}$$

Veremos seguidamente el error que se comete al aceptar dicha igualdad:

$$I_{E2} = I_{C2} + I_{B2} = I_{C2} \cdot \left(1 + \frac{1}{h_{FE2}} \right) \quad \text{por conexión directa: } I_{C1} = I_{E2} \quad \text{y por espejo: } I_{C3} = I_{C1}$$

por lo tanto:

$$I_{C3} = I_{C2} \cdot \left(1 + \frac{1}{h_{FE2}} \right) \quad \text{Asimismo:} \quad I_{E4} = I_{C3} + I_{B3} + I_{B1} = I_{C3} \cdot \left(1 + \frac{2}{h_{FE3}} \right)$$

por lo que reemplazando I por la expresión anterior:

$$I_{E4} = I_{C2} \cdot \left(1 + \frac{1}{h_{FE2}} \right) \cdot \left(1 + \frac{2}{h_{FE3}} \right)$$

Por otro lado:

$$I_R = I_{C4} + I_{B4} + I_{B2} = I_{E4} + I_{B2} = I_{E4} + \frac{I_{C2}}{h_{FE2}} \quad \text{por lo que reemplazando } I_{E4}$$

y operando matemáticamente:

$$I_R = I_{C2} \cdot \left(1 + \frac{1}{h_{FE2}} \right) \cdot \left(1 + \frac{2}{h_{FE3}} \right) + \frac{I_{C2}}{h_{FE2}}$$

$$I_R = I_{C2} \cdot \left[\left(1 + \frac{2}{h_{FE3}} \right) + \left(\frac{1}{h_{FE2}} \right) + \left(\frac{2}{h_{FE3} \cdot h_{FE2}} \right) + \left(\frac{1}{h_{FE2}} \right) \right]$$

Si suponemos iguales a los h_{FE} , despreciando el término

$$\frac{2}{h_{FE}^2} \ll \frac{4}{h_{FE}}$$

vale decir:

$$I_{C2} = \frac{I_R}{1 + (4 / h_{FE2-3})} \quad (5.101)$$

Se observa que en esta fuente de corriente si se toma como corriente de utilización I_{C2} al valor que arroja la ecuación (5.100), la relación (5.101) expresa que se estará cometiendo un error igual al doble del que se tiene en la fuente de corriente espejo (expresión (5.93)). Quiere decir que desde el punto de vista de errores por bajo valor de h_{FE} , esta fuente posee claras desventajas respecto de las anteriores. Veremos que la configuración privilegia al parámetro Resistencia de Salida, ya que en términos de dependencia de las variaciones de la fuente de alimentación y valores altos de R para pequeñas corrientes se halla en pie de igualdad con la fuente de corriente espejo.

Desde el punto de vista dinámico puede interpretarse que la resistencia de salida del transistor T_1 , es decir

$r_{o1} = \frac{1}{\eta_1 \cdot g_{m1}}$ cumple la función de una resistencia conectada en el emisor de T_2 sin puentear, por lo

que la resistencia de salida de T_2 que es la resistencia de salida de esta fuente, resultará igual a:

$$R_{o2} = r_{o2} \cdot \left(1 + h_{fe2} \cdot \frac{r_{o1}}{r_{o1} + R_T + h_{ie2}}\right) \quad \text{con} \quad R_T = R // (2 \cdot h_{ib3-4}) \quad \text{y dado que generalmente:}$$

$$r_{o1} \gg (R_T + h_{ie2}) \quad \text{finalmente se tendrá:} \quad R_{o2} = r_{o2} \cdot (1 + h_{fe2}) \quad (5.102)$$

La expresión (5.102) la mayoría de las veces permite estimar la gran resistencia de salida que proporciona esta fuente de corriente y que por tal característica justifica el empleo de 4 transistores. Sin embargo conviene tener presente que dado que desde el punto de vista estático:

$$V_{BE4} - V_{BE2} - V_{CE1} + V_{BE1} = 0 \quad \text{de modo que} \quad V_{CE1} = V_{BEu} = 0,6 \text{ V}$$

si bien la saturación de estos transistores se ubica en solo 200 o 300 mV, esta polarización se encuentra muy cercana a dicha zona haciendo peligrar un elevado valor para r_{o1} que satisfaga la desigualdad antes considerada.

Cabe puntualizar asimismo que por los elevados valores que arrojan los cálculos a realizar por la expresión (5.102), muchas veces de decenas de $M\Omega$, una vez más el modelo aproximado del transistor bipolar que hemos utilizado para la obtención de R_{o2} puede volver a ser demasiado impreciso por no contemplar a la resistencia de transición base-colector r_{μ} motivo por el cual y como se anticipara en algún párrafo precedente, dicha solución solo nos permite estimar tal parámetro ya que en la práctica generalmente el mismo será inferior, especialmente en transistores integrados tipo PNP.

5.6.5.- Fuente de Corriente WILSON:

Si se deseara obtener una fuente de corriente mas inmune a los bajos valores de h_{FE} de sus transistores, medido en términos de igualdad entre I_R e I_{C2} , la configuración estudiada precedentemente puede modificarse resultando así la llamada fuente de corriente WILSON que responde al esquema de circuito representado en la figura 5.49.b) de la pagina 340.

En dicho circuito, recorriendo la malla integrada por V_{EE} , R , malla de entrada del transistor T_2 , cortocircuito entre base y colector de T_1 y malla de entrada de T_{1-3} , se plantea la siguiente ecuación:

$$V_{EE} - I_R \cdot R - V_{BE2} - V_{BE1} = 0 \quad \text{de donde:} \quad I_R = \frac{V_{EE} - 2 \cdot V_{BEu1-2}}{R} \quad (5.103)$$

Consideraremos seguidamente el error que se comete al tomar a esta corriente I_R como la corriente de utilización I_{C2} que proporciona la fuente de corriente Wilson:

- por una parte, la ecuación del nodo en que se hallan conectados base de T_2 con colector de T_3 expresa: $I_R = I_{C3} + I_{B2}$

- asimismo debido a la configuración espejo integrada por T_1 y T_3 : $I_{C3} = I_{C1}$

- y también de acuerdo a la ecuación del nodo en que se hallan conectados emisor de T_2 , base de T_3 y colector y base de T_1 :

$$I_{C1} = I_{E2} - 2 \cdot I_{B1-3} = I_{E2} - \frac{2 \cdot I_{C3}}{h_{FE3}} = I_{B2} \cdot (1 + h_{FE2}) - \frac{2 \cdot (I_R - I_{B2})}{h_{FE3}}$$

por lo tanto reemplazando en la primera y operando matemáticamente:

$$I_R \cdot \left(1 + \frac{2}{h_{FE3}}\right) = I_{B2} \cdot (1 + h_{FE2}) + \frac{2 \cdot I_{B2}}{h_{FE3}} + I_{B2} = \frac{I_{C2}}{h_{FE2}} \left(2 + h_{FE2} + \frac{2}{h_{FE3}}\right)$$

así despejando I_{C2} :

$$I_{C2} = I_R \cdot \frac{h_{FE2} \cdot h_{FE3} + 2 \cdot h_{FE2} + 2}{h_{FE2} \cdot h_{FE3} + 2 \cdot h_{FE2} + 2} = I_R \cdot \left(1 - \frac{2}{h_{FE2} \cdot h_{FE3} + 2 \cdot h_{FE2} + 2}\right)$$

finalmente considerando $h_{FE2} = h_{FE3} = h_{FE}$ por simetría e identidad de componentes:

$$I_{C2} = I_R \cdot \left(1 - \frac{2}{h_{FE}^2 + 2 \cdot h_{FE} + 2}\right) \quad (5.104)$$

En esta última expresión puede apreciarse que el error en considerar a la corriente de utilización de la fuente como $I_{C2} = I_R$ dada por la ecuación (5.103) se encuentra ahora expresado en función de la inversa de la ganancia estática de corriente al cuadrado de modo tal que el mismo resulta despreciable sobre todo comparando con los que se obtuvieron en los circuitos que precedieron.

Esta apreciable ventaja se consigue, en términos de comportamiento dinámico con una disminución de la resistencia de salida toda vez que ahora el transistor T_1 conectado sobre el emisor de T_2 se comporta como diodo y no como ocurría en la fuente Cascode por lo que puede demostrarse que con buena aproximación:

$$R_{O2} = r_{o2} \cdot \left(1 + h_{fe2} \cdot \frac{h_{ib1}}{h_{ib1} + R_T + h_{ie2}}\right) \quad \text{con} \quad R_T = R // (r_{o3}) \quad \text{y dado que siempre:}$$

$$h_{ib1} \ll (R_T + h_{ie2}) \quad \text{finalmente se tendrá:} \quad R_{O2} = r_{o2} \cdot \left(1 + \frac{h_{ie2}}{R_T + h_{ie2}}\right) \quad (5.105)$$

5.7.- CARACTERISTICA DE TRANSFERENCIA DE LOS AMPLIFICADORES DIFERENCIALES:

Para el circuito amplificador diferencial se desea realizar un estudio de su función transferencia, en particular de su característica de linealidad en relación con la cantidad de excursión, con la finalidad de establecer una limitación en la amplitud de las señales de excitación diferencial, al propio tiempo de incorporar alguna técnica que permita mejorar esta característica de funcionamiento.

Con dicha finalidad reconsideraremos la configuración diferencial que fuera presentada en la figura 5.27 y estudiada ya con detalle. En ella, en cada una de las ramas del circuito el valor total de la corriente de emisor podrá expresarse por:

$$i_E = I_S \cdot [e^{(v_{BE}/V_T)} + 1] = I_S \cdot e^{(v_{BE}/V_T)}$$

con lo cual la corriente de la fuente de polarización que debe proporcionar a la de ambas ramas es:

$$I_{CQ3} = I_S \cdot e^{(v_{BE1}/V_T)} + I_S \cdot e^{(v_{BE2}/V_T)} = I_S \cdot e^{(v_{BE1}/V_T)} [1 + e^{(v_{BE2} - v_{BE1})/V_T}]$$

y considerando que: $v_{BE2} - v_{BE1} = v_{BEu2} + v_2 - v_{BEu1} - v_1 = v_2 - v_1 = v_d$

reemplazando en la anterior queda:

$$I_{CQ3} = i_{c1} \cdot [1 + e^{(v_d/V_T)}] \quad \text{o bien:} \quad \frac{i_{c1}}{I_{CQ3}} = \frac{1}{1 + e^{(v_d/V_T)}} \quad (5.106)$$

e igualmente, para la otra rama:
$$\frac{i_{c2}}{I_{CQ3}} = \frac{1}{1 + e^{-(v_d/V_T)}} \quad (5.106')$$

Siendo las corrientes de colector i_{c1} e i_{c2} corrientes en la salida del amplificador diferencial, mientras que según su definición, v_d es la tensión de entrada de modo diferencial, las expresiones (5.106) representan de alguna manera a la característica de transferencia de esta configuración, por lo que resulta apropiado analizarlas, en un primer paso en forma gráfica.

La figura 5.50.a) considera la representación gráfica de las expresiones precedentemente citadas. Puede constatar en dicha figura que la zona lineal de las gráficas se reducen solo al entorno de variación de $(v_d/V_T) < +/- 1$ vale decir que para un funcionamiento aproximadamente lineal debe limitarse la excitación a:

$$v_d < +/- 25 \text{ mV.}$$

La pendiente de estas curvas (que arrojan como resultado la dimensión de una conductancia), ya que provienen de una transferencia permiten obtener la transconductancia diferencial:

$$g_{m_d} = \frac{di_C}{dv_d}$$

que aplicada a la expresión de i_{C2} arroja como resultado:

$$g_{m_d} = \frac{(1/V_T) \cdot e^{-(v_d/V_T)}}{(1 + e^{-(v_d/V_T)})^2} \cdot I_{CQ3} \tag{5.107}$$

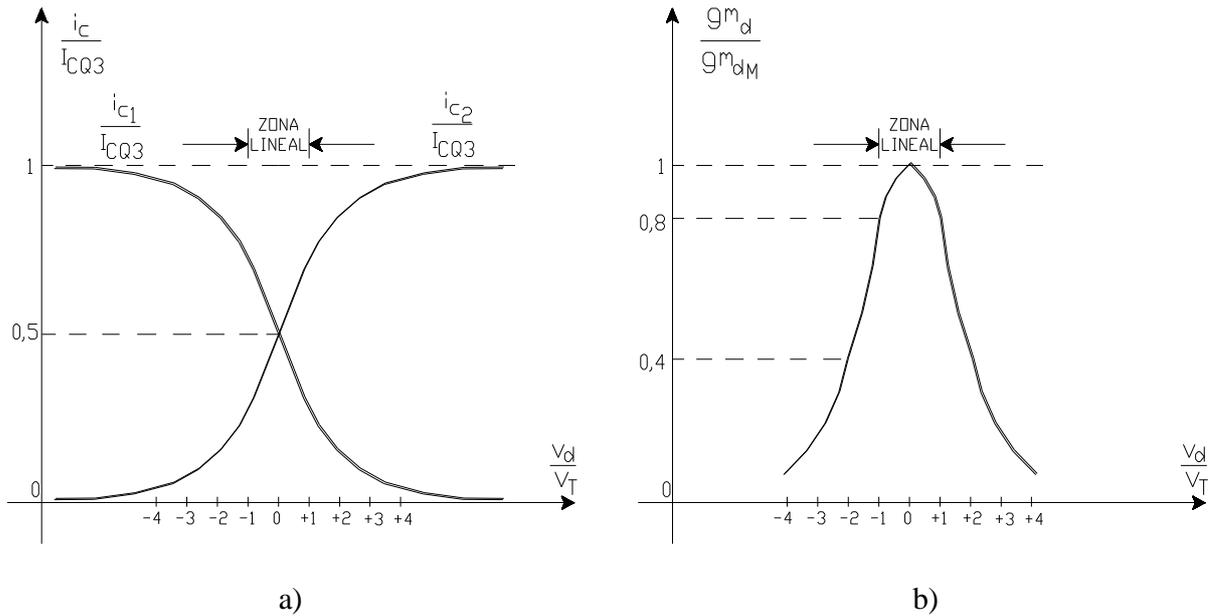


Figura 5.50 a) Característica de transferencia del amplificador diferencial bipolar b) Transconductancia diferencial bipolar en función de la señal normalizada.

y el valor máximo de esta transconductancia diferencial se produce en el punto de inflexión de estas curvas, o sea para $(v_d/V_T) = 0$:

$$g_{m_{dM}} = \frac{I_{CQ3}}{4 \cdot V_T} \tag{5.108}$$

A partir de estas últimas expresiones se puede observar que la ganancia diferencial del amplificador se puede controlar gobernando la corriente de polarización que impone la fuente de corriente constante, tal como lo describe la expresión (5.108).

Además, también se puede ver en las gráficas de la figura 5.50.a) que si hacemos $(v_d/V_T) > 4$, prácticamente $i_{C2} = I_{CQ3} = \text{constante}$, deduciéndose que el Amplificador Diferencial se comporta como un limitador natural de la señal que procesa, ya que para excitaciones mayores a $v_d = \pm 4 \cdot V_T = \pm 100 \text{ mV}$ no se obtienen significativos incrementos en v_{od} .

Por último y dado que $di_{C2} = g_{m_d} \cdot dv_d$ y que $g_{m_d} = f(I_{CQ3})$, si se hace variar a I_{CQ3} y por lo tanto g_{m_d} en función de una segunda señal de excitación, ahora aplicada en la base del transistor

T_3 , se obtendrá a la salida una mezcla de ambas excitaciones lográndose por consecuencia una etapa del tipo denominado moduladora o mezcladora.

5.7.1.- Limitación de la excitación:

Normalizando la transconductancia diferencial por su valor máximo, según expresiones precedentemente obtenidas, es posible obtener el resultado que analíticamente se detalla mas adelante, y gráficamente se representa en la figura 5.50.b):

$$\frac{g_{m_d}}{g_{m_{dM}}} = \frac{4 \cdot e^{-\frac{v_d}{V_T}}}{(1 + e^{-\frac{v_d}{V_T}})^2} \quad (5.109)$$

se puede comprobar tanto en esta última expresión, como en la gráfica de la figura 5.50.b). que para:

- a) $(v_d / V_T) = 0$ resulta $g_{m_d} / g_{m_{dM}} = 1$
- b) $(v_d / V_T) = +/- 1$ resulta $g_{m_d} / g_{m_{dM}} = 0,8$
- c) $(v_d / V_T) = +/- 2$ resulta $g_{m_d} / g_{m_{dM}} = 0,4$

y las conclusiones se pueden resumir de la siguiente manera:

- 1) la transconductancia diferencial, o lo que es lo mismo, la ganancia de tensión diferencial, es una función de la señal de excitación que es una de las formas en que la alinealidad se manifiesta;
- 2) la mencionada transconductancia resulta ser máxima cuando dicha excitación es nula y luego disminuye a medida que la excitación aumenta.

En otras palabras, las conclusiones precedentes permiten aseverar que la transferencia o la ganancia diferencial del amplificador estudiado resulta una función no lineal o alineal y que si no se tomaran adecuadas precauciones respecto de la zona de trabajo de dicha transferencia se produciría una distorsión no deseada de la señal de información amplificada. La tercer conclusión en consecuencia, tiende a preservar la integridad de tal señal, por lo que limita la excitación;

- 3) manteniendo a la señal de excitación dentro del rango máximo comprendido entre $(v_d / V_T) = +/-1$, es decir:

$$v_{dmax}^+ = 25 \text{ mV.} \quad \text{y} \quad v_{dmax}^- = -25 \text{ mV.}$$

la transconductancia diferencial g_{m_d} solo varía en un 20 % respecto de su valor máximo; pudiéndose aproximar el comportamiento del amplificador diferencial al de un amplificador lineal (se admite el mismo pequeño error que hemos aceptado ya en estudios precedentes).

5.7.2.- Mejora de la linealidad - Ampliación del rango de excursión:

Si se desea ampliar el rango de excitación de modo diferencial, manteniendo la característica de linealidad dentro del margen de error ya señalado, puede agregarse una pequeña resistencia en ambos emisores de las ramas del amplificador diferencial, tal como se estudiara en el circuito amplificador de la figura 5.40 que se presentara como un ejemplo más de amplificadores diferenciales tratados en el Ejemplo 5.3 y que se detalla ahora, en la figura 5.51.a)

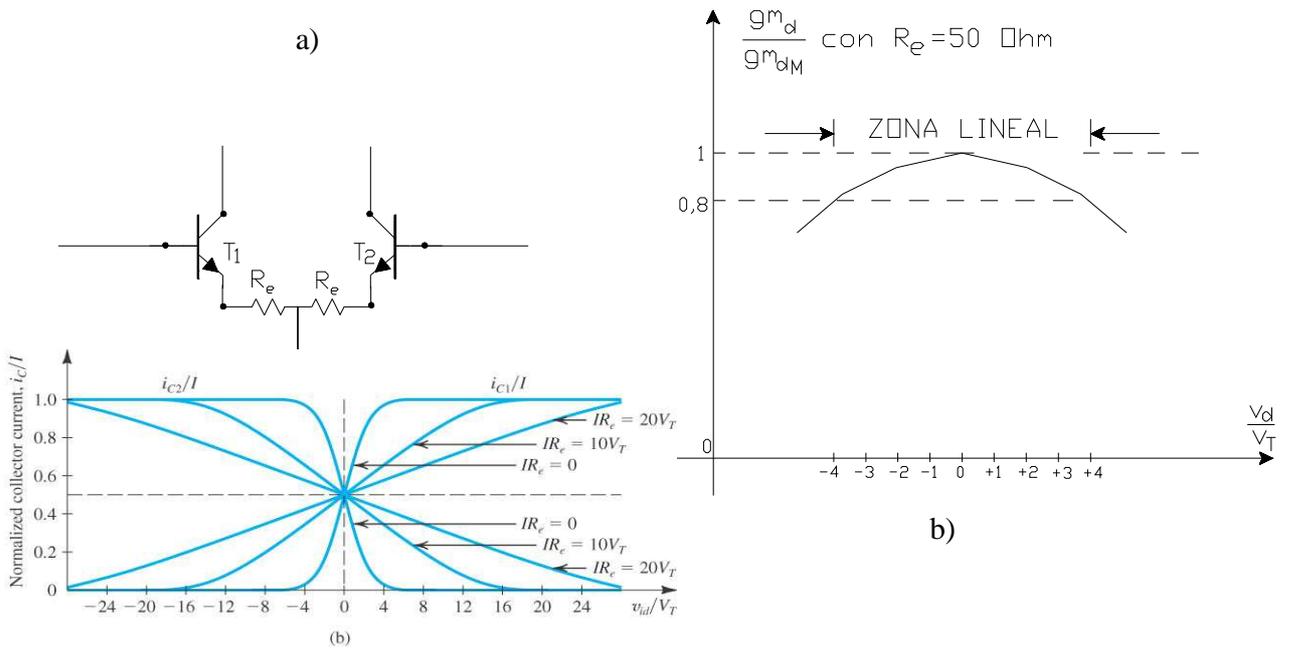


Figura 5.51 a) Amplificador diferencial bipolar que incluye resistencia en ambos emisores
 b) Transconductancia diferencial bipolar en función de la señal normalizada.

Puede demostrarse que la transferencia de conductancia diferencial máxima resulta en este caso:

$$g_{m_{dM}} = \frac{1}{(4 \cdot V_T / I_{CQ3}) + 2 \cdot R_e} \quad (5.110)$$

constatándose la obtención de una transconductancia y por lo tanto una amplificación diferencial inferior que disminuye a medida que se incremente a R_e .

Sin embargo, a costa de esta disminución de la ganancia, se obtiene una apreciable mejora de la linealidad, ya que si se vuelve a representar a la transconductancia diferencial normalizada, por ejemplo para un $R_e = 50 \text{ Ohm}$ se obtiene el resultado representado en la figura 5.51.b) en donde para el mismo porcentaje de variación de la transconductancia del 20 % por debajo del valor máximo se tiene:

$$(v_d / V_T) = \pm 4 \quad \text{o lo que es lo mismo:} \quad v_{d_{max}} = \pm 100 \text{ mV}$$

notándose que la linealización se profundiza a medida que se aumenta el valor de R_e .

5.8.- CONCEPTOS DE PROYECTO DE AMPLIFICADORES DIFERENCIALES:

5.8.1.- Desarrollamos el tema bajo la suposición del requerimiento de proyecto de una etapa diferencial tal que realizada con el conjunto de transistores integrados tipo CA3086 sea capaz de proporcionar una ganancia A_{vd} superior a 50 con una relación de rechazo de modo común ρ no inferior a 60 dB cuando se encuentra cargado sin componente de continua y con referencia de masa con una resistencia de carga R_L de 10 K Ω y sea excitado en ambas bases con generadores de 100 Ω de resistencia interna (R_B).

De acuerdo con los datos aportados queda totalmente definida la disposición de componentes del amplificador diferencial en tanto que al disponerse en el integrado de otros tres transistores y en consideración a que el valor de ρ requerido descarta la posibilidad de una polarización pasiva, en principio recurrimos a una fuente de corriente tipo espejo condicionada a que mediante la misma se pueda conseguir los 60 dB solicitados. En conclusión el circuito que se propone proyectar se ajusta al esquema indicado en la figura 5.52

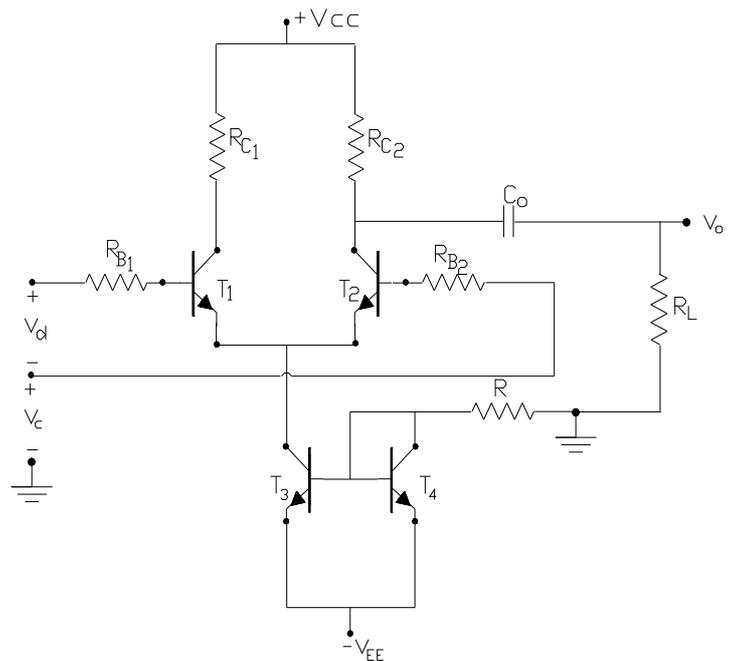


Figura 5.52 Amplificador diferencial bipolar polarizado con una fuente de corriente espejo.

como el proyecto se encara haciendo $I_R \gg (2 \cdot I_{B3-4})$ y al tratarse de una configuración espejo:
 $I_R = I_{CQ4} = I_{CQ3}$.

Luego por conexión directa de colector de T_3 con la unión de los emisores de T_1 y T_2 y además por la simetría de los circuitos de estos dos transistores, especialmente de sus mallas de entrada o base-emisor:

$$I_{CQ1} = I_{CQ2} = \frac{I_{CQ3}}{2}$$

Desde el punto de vista dinámico, dado que T_3 tiene su emisor a masa y atento a los valores típicos de tensión de Early de estos transistores NPN integrados (alrededor de 100 V), la resistencia de salida de este fuente de corriente resulta ser:

$$R_{o3} = r_{o3} = \frac{1}{\eta_{NPN} \cdot gm_3} = \frac{1}{2,5 \cdot 10^{-4} \cdot gm_3} = \frac{4 \cdot 10^3}{gm_3} = \frac{10^2}{I_{CQ3}}$$

Considerando la expresión (5.77) y dado los valores de R_{B1-2} en todo proyecto en principio puede estimarse que la C.M.R.R. se aproxime a:

$$\rho = \frac{R_{o3}}{h_{ib1-2}} = gm_{1-2} \cdot R_{o3} = 40 \cdot I_{CQ1-2} \cdot R_{o3}$$

luego, reemplazando R_{o3} por la expresión antes obtenida:

$$\rho = 40 \cdot I_{CQ1-2} \cdot \frac{10^2}{I_{CQ3}} = 2 \cdot 10^3 = 66 \text{ dB}$$

resultado este último muy importante, ya que nos expresa que seleccionada la fuente de corriente espejo como fuente de polarización de un amplificador diferencial, independientemente de la corriente de polarización, la Relación de Rechazo de Modo Común queda fijada como una constante dependiente solo de la tensión térmica y de la tensión de Early del transistor T_3 que conforma a dicha fuente espejo. Así con transistores NPN como en nuestro caso el mejor valor esperable oscila en los 66 dB aclarándose que si se tratara de transistores PNP, que en el mismo tipo de circuito integrado presentan tensiones de Early inferiores (50 a 60 V) típicamente, se obtendrían C.M.R.R. del orden de los 60 dB (10^3) que aún así cumpliría con el requerimiento del proyecto.

Concluimos entonces que una etapa diferencial polarizada con fuente de corriente tipo espejo opera con valores típicos de C.M.R.R. del orden de 60 dB (1000 veces) independientemente de la corriente de polarización.

Para continuar con la valorización de los componentes del circuito procedemos a considerar el otro dato suministrado, es decir la ganancia A_{vd} , la que de acuerdo con la ecuación (5.75) y despreciando nuevamente el término dependiente de R_{B1-2} resulta:

$$A_{vd} = \frac{-R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = - \frac{gm_{1-2}}{2} \cdot R_d = -20 \cdot I_{CQ1-2} \cdot R_d \quad (5.111)$$

expresión esta última que por su simplicidad resulta muy útil para la resolución de los problemas de proyecto. En nuestro caso y sin considerar la fase, introduciendo el valor de la ganancia pedida se obtiene:

$$I_{CQ1-2} \cdot R_d > 2,5 \quad (A)$$

Hasta aquí se han considerado la totalidad de datos del proyecto y a partir de (A) es posible plantear una ecuación pero la misma posee dos incógnitas: I_{CQ1-2} y R_{C1-2} (ya que $R_d = R_{C1-2} // R_L$). Esta situación que como sabemos es muy común en todo problema de proyecto nos obliga a plantear otras relaciones (condiciones estáticas de trabajo por ejemplo) y adoptar con criterio algún otro componente de modo tal de poder llegar a plantear otra ecuación más con las mismas dos incógnitas y conseguir la resolución del sistema.

En tal sentido del estudio del comportamiento estático de las mallas de salida de T_1 y T_2 y teniendo en cuenta la ecuación (5.64):

$$I_{CQ1-2} \cdot R_{C1-2} = V_{CC} + 0,6 (V) - V_{CEQ1-2}$$

que, como se observa, nos permitiría plantear la otra ecuación buscada si se valoriza numéricamente su segundo miembro. Por ello a partir de la información del Manual consideramos que al ser $BV_{CEomin} = 15 V$ y al tener en cuenta que si T_1 o T_2 quedaran cortados la máxima tensión a la que estarían sometidos sería $(V_{CC} + 0,6 (V))$, con el acostumbrado factor de seguridad adoptamos:

$$V_{CC} + 0,6 (V) < 0,7 \cdot BV_{CEomin} = 0,7 \cdot 15 = 10,5 V, \text{ es decir } V_{CC} < 10 V$$

Asimismo y dado que para la condición de corte de T_3 su máxima tensión colector-emisor sería $(V_{EE} - 0,6 (V))$ para una alimentación simétrica, la misma limitación es válida para V_{EE} . Con dicho criterio y con la condición de verificar luego su consistencia, tal como ocurre en todo proceso de aproximaciones sucesivas, es posible adoptar:

$$V_{CC} = V_{EE} = 9 V$$

Como por cuestiones de linealidad la máxima excitación de modo diferencial es, para este circuito de 25 mV, a los fines de conservar un funcionamiento lineal el par de transistores diferenciales deben observar una excursión dada por $A_{Vd} \cdot V_{dmax} = 50 \cdot 25 \cdot 10^{-3} = 1,25 V$ alrededor de su punto de reposo. Asimismo debe considerarse el bajo valor de tensión colector-emisor de saturación que los fabricantes aseguran para estos transistores (del Manual $V_{CESat} < 0,23 V$). Esto motiva la inquietud de asegurar que con solo 2 ó 3 V de tensión V_{CEQ1-2} se haría operar a los mismos lo suficientemente alejados de la zona de saturación permitiendo simultáneamente un aceptable modo común de pico positivo (V_M^+).

En consecuencia, a partir de la ecuación (5.64) en nuestro caso se puede considerar:

$$V_{CC} + 0,6 (V) - V_{CEQ1-2} = (9 + 0,6 - 3) = 6,6 V \text{ por lo tanto } I_{CQ1-2} \cdot R_{C1-2} < 6,6 \quad (B)$$

Se logra así plantear un sistema de dos ecuaciones (A) y (B) con dos incógnitas (I_{CQ1-2} y R_{C1-2}) que debe ser resuelto mediante algún método eficaz. En nuestro caso elegimos el camino de dividir (B) por (A):

$$\frac{I_{CQ1-2} \cdot R_{C1-2}}{I_{CQ1-2} \cdot R_d} = \frac{6,6}{2,5} \quad \text{o sea:} \quad R_{C1-2} = 2,64 R_d = 2,64 \cdot \frac{R_{C1-2} \cdot R_L}{R_{C1-2} + R_L}$$

con lo que en definitiva:

$$R_{C1-2} = 1,64 R_L \quad \text{y como } R_L = 10 \text{ K}\Omega \quad R_{C1-2} = 16,4 \text{ K}\Omega$$

Para adoptar el valor comercial debemos tener presente que si adoptamos por exceso privilegiamos el cumplimiento de la condición (A) vale decir mayor facilidad para cumplir con la ganancia, mientras que se adoptamos por defecto facilitamos el hecho de que el par de transistores del diferencial operen adecuadamente separados de la zona de saturación (condición (B)). Supongamos privilegiar esto último y adoptemos:

$$R_{C1-2} = 15 \text{ K}\Omega$$

Continuando ahora con la resolución del sistema de dos ecuaciones determinamos

$$R_L = \frac{10 \cdot 15 \cdot 10^3}{(10 + 15)} = 6 \text{ K}\Omega$$

y de la ecuación (A) $I_{CQ1-2} > \frac{2,5}{R_d} = \frac{2,5}{6 \cdot 10^3} = 0,42 \text{ mA}$ por lo que adoptamos un valor superior: $I_{CQ1-2} = 0,5 \text{ mA}$

En consecuencia la fuente de corriente espejo debe diseñarse para una corriente $I_{CQ3} = 2 \cdot I_{CQ1-2} = 1 \text{ mA}$ por lo que a partir de la ecuación (5.92) calculamos:

$$R = \frac{V_{EE} - V_{BEu4}}{I_{CQ3}} = \frac{9 - 0,6}{10^{-3}} = 8,4 \text{ K}\Omega$$

entonces elegimos un valor comercial cercano, por ejemplo $R = 8,2 \text{ K}\Omega$ y llevamos a cabo todo el proceso de verificación de lo planteado hasta aquí.

$$I_{CQ3} = \frac{V_{EE} - V_{BEu4}}{R} = \frac{9 - 0,6}{8,2 \cdot 10^3} = 1,024 \text{ mA} \quad ; \quad I_{CQ1-2} = \frac{I_{CQ3}}{2} = \frac{1,024 \text{ mA}}{2} = 0,512 \text{ mA}$$

$$V_{CEQ1-2} = V_{CC} + 0,6 \text{ (V)} - I_{CQ1-2} \cdot R_{C1-2} = 9 + 0,6 - 0,512 \cdot 10^{-3} \cdot 15 \cdot 10^3 = 1,92 \text{ V}$$

que si bien es inferior a lo previsto, aún así hace operar al par diferencial dentro de su zona lineal por lo que continuamos la verificación. Para tal fin a partir del manual:

Para $f = 1 \text{ KHz}$, $V_{CE} = 3 \text{ V}$ e $I_C = 1 \text{ mA}$ se especifica $h_{ie} = 3,5 \text{ K}\Omega$ - $h_{fe} = 100$ - $h_{oe} = 15,6 \cdot 10^{-6} \text{ S}$

mientras que para $I_C = 0,5 \text{ mA}$ y $V_{CE} = 3 \text{ V}$: $h_{ie} = 1,8 \cdot 3,5 \text{ K}\Omega = 6,3 \text{ K}\Omega$ y $h_{fe} = 1 \cdot 100 = 100$ luego la ganancia de tensión diferencial resultará:

$$A_{vd} = \frac{-R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = - \frac{6 \cdot 10^3}{2 [63 + (100/100)]} = \frac{-60}{1,28} = -46,9$$

constatándose que también en este parámetro estamos por debajo de lo previsto. Por ello en tanto la aplicación del factor de seguridad lo permite y continuando con el procedimiento de aproximaciones sucesivas, reajustamos los valores de las tensiones de alimentación $V_{CC} = V_{EE} = 10 \text{ V}$ y recalculamos:

$$I_{CQ3} = \frac{V_{EE} - V_{BEu4}}{R} = \frac{10 - 0,6}{8,2 \cdot 10^3} = 1,146 \text{ mA} \quad ; \quad I_{CQ1-2} = \frac{I_{CQ3}}{2} = \frac{1,146 \text{ mA}}{2} = 0,57 \text{ mA}$$

$$V_{CEQ1-2} = V_{CC} + 0,6 \text{ (V)} - I_{CQ1-2} \cdot R_{C1-2} = 10 + 0,6 - 0,57 \cdot 10^{-3} \cdot 15 \cdot 10^3 = 2 \text{ V}$$

ahora, para $I_C = 1,2 \text{ mA}$ y $V_{CE} = 3 \text{ V}$: $h_{ie} = 0,9 \cdot 3,5 \text{ K}\Omega = 3,15 \text{ K}\Omega$ - $h_{fe} = 1 \cdot 100 = 100$ y

$$h_{oe} = 15,6 \cdot 10^{-6} \cdot 1,1 = 17,16 \cdot 10^{-6} \text{ S} \quad \text{y} \quad r_o = 58 \text{ K}\Omega$$

y para $I_C = 0,6 \text{ mA}$ y $V_{CE} = 3 \text{ V}$: $h_{ie} = 1,5 \cdot 3,5 \text{ K}\Omega = 5,25 \text{ K}\Omega$ y $h_{fe} = 1 \cdot 100 = 100$ y

$$h_{oe} = 15,6 \cdot 10^{-6} \cdot 0,65 = 10,14 \cdot 10^{-6} \text{ S} \quad \text{y} \quad r_o = 98,6 \text{ K}\Omega$$

$$A_{vd} = \frac{-R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = - \frac{6 \cdot 10^3}{2 [53 + (100/100)]} = \frac{-60}{1,08} = -55,5$$

que ahora si supera el valor mínimo solicitado. Por otro lado la C.M.R.R. con los conceptos de verificación resultará ser:

$$\rho = \frac{R_{o3}}{h_{ib1-2} + (R_{B1-2} / h_{fe1-2})} = \frac{58 \cdot 10^3}{53 + (100/100)} = 1074 = 60,6 \text{ dB}$$

Para completar la verificación de la etapa determinaremos la resistencia de salida del amplificador diferencial R_{oAd} y la resistencia de entrada diferencial R_{id} .

$$R_{oAd} = r_{o2} // R_{C2} = \frac{98,6 \cdot 15 \cdot 10^3}{98,6 + 15} = 13 \text{ K}\Omega$$

$$R_{id} = 2 \cdot h_{ie1-2} = 2 \cdot 5,25 \cdot 10 = 10,5 \text{ K}\Omega$$

5.8.2.- Como nuevo ejemplo de aplicación supondremos enfrentar la necesidad de incrementar la ganancia diferencial a un valor de 100 como mínimo, manteniendo el valor de la resistencia de entrada diferencial verificada precedentemente y sin utilización de otro componente activo que no sea el circuito integrado de cinco transistores CA3086 que empleamos en el problema anterior.

En primer término verificamos si con la estructura de circuito utilizada en el ejemplo anterior es posible lograr dicho comportamiento:

- de acuerdo con la ecuación (5.111) la ganancia solicitada solo se podrá obtener únicamente si se aumenta I_{CQ1-2} o bien R_d .
- dado que h_{ie} es inversamente proporcional a I_{CQ} y habiéndose requerido mantener $R_{id} = 2 \cdot h_{ie1-2}$ debe descartarse la solución por el camino de aumentar I_{CQ1-2} .

Así entonces en el mismo circuito proyectado en el apartado anterior, la resistencia de carga dinámica mínima R_d que satisface el nuevo requerimiento de ganancia será:

$$R_d > \frac{A_{vd}}{20 \cdot I_{CQ1-2}} = \frac{100}{20 \cdot 0,57 \cdot 10^{-3}} = 8,8 \text{ K}\Omega$$

y considerando que $R_L = 10 \text{ K}\Omega$ significa el requerimiento de un R_C mínimo del orden de unos 73 $\text{K}\Omega$ sobre los cuales se desarrollaría una caída de C.C. ($I_{CQ1-2} \cdot R_{C1-2}$) del orden de unos 42 V imposibles de suministrar ya que como se ha visto precedentemente por condiciones de ruptura colector-emisor las fuentes de alimentación se encuentran limitadas por debajo de 10 V. La solución se torna impracticable con la estructura de circuito que fue calculada en el apartado anterior.

Por tal motivo puede pasarse a utilizar el quinto transistor que dispone el circuito integrado que se esta usando, de modo de "separar" la carga mediante una etapa que presente elevada resistencia de entrada. El circuito que se propone entonces, se indica en la figura 5.53.

Para un primer cálculo manteniendo las fuentes de alimentación ya seleccionadas $V_{CC} = V_{EE} = 10 \text{ V}$, las corrientes de reposo $I_{CQ1} = I_{CQ2} = 0,57 \text{ mA}$ y con el objetivo de incrementar las tensiones de reposo $V_{CEQ1} = V_{CEQ2}$ propiciamos una disminución de las resistencias de colector $R_{C1} = R_{C2}$ a un valor de 12 $\text{K}\Omega$ en lugar de los 15 $\text{K}\Omega$ que se habían seleccionado en el problema anterior. Así las nuevas tensiones de reposo se ubicarán en:

$$V_{CEQ1-2} = V_{CC} + 0,6 \text{ (V)} - I_{CQ1-2} \cdot R_{C1-2} = 10 + 0,6 - 0,57 \cdot 10^{-3} \cdot 12 \cdot 10^3 = 3,8 \text{ V}$$

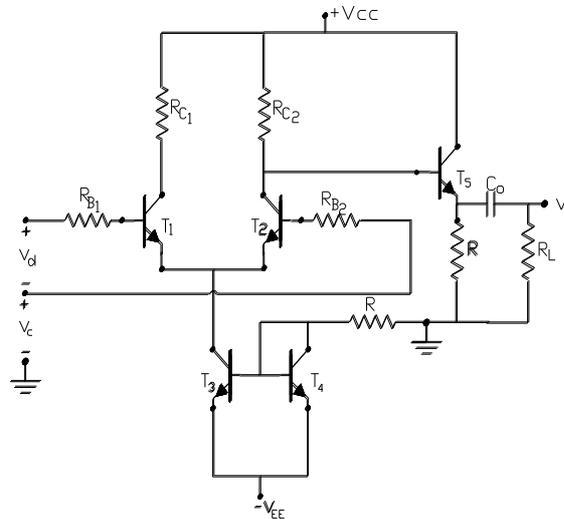


Figura 5.53 Amplificador diferencial bipolar acoplado a una etapa colector común de salida.

Según se determinó con anterioridad, para la nueva ganancia $R_d > 8,33 \text{ K}\Omega$. Con la modificación circuital el cambio es que ahora dicha resistencia de carga se compone por el paralelo de la R_{C2} recién reajustada con la resistencia de entrada del transistor T_5 en su configuración colector común (R_{i5}). Por lo tanto:

$$R_{i5} > \frac{R_d \cdot R_{C2}}{R_{C2} - R_d} = \frac{8,3 \cdot 12 \cdot 10^3}{12 - 8,3} = 27 \text{ K}\Omega \text{ perfectamente posibles con la etapa C.C. propuesta.}$$

Desde el punto de vista de las condiciones de reposo, para T_5 se puede adoptar una $I_{CQ5} = 0,5 \text{ mA}$. Por otra parte en la malla de salida de T_2 se tiene:

$$V_{CT2} = V_{BT5} = V_{CC} - I_{CQ2} \cdot R_{C2} = 10 - 0,57 \cdot 10^{-3} \cdot 12 \cdot 10^3 = 3,16 \text{ V}$$

luego en la malla de entrada de T_5 :

$$V_{ET5} = V_{BT5} - V_{BEu5} = V_{R5} = 3,16 - 0,6 = 2,56 \text{ V y}$$

$$V_{CEQ5} = V_{CC} - V_{ET5} = 10 - 2,56 = 7,44 \text{ V}$$

en consecuencia:

$$R_{E5} = \frac{V_{R5}}{I_{CQ5}} = \frac{2,56 \text{ V}}{0,5 \cdot 10^{-3} \text{ A}} = 5,12 \text{ K}\Omega \text{ siendo su comercial mas cercano } R_{E5} = 4,7 \text{ K}\Omega$$

La resistencia de carga dinámica de esta etapa agregada resulta: $R_{d5} = R_{E5} // R_L = \frac{4,7 \cdot 10^4}{\dots} = 3,2 \text{ K}\Omega$

$$4,7 + 10$$

en consecuencia la resistencia de entrada de esta etapa resultará:

$$R_{i5} = h_{ie5} + h_{fe5} \cdot R_{d5} = 6,3 \cdot 10^3 + 100 \cdot 3,2 \cdot 10^3 = 326 \text{ K}\Omega$$

y su ganancia:

$$A_{v5} = \frac{h_{fe5} \cdot R_{d5}}{R_{i5}} = \frac{320}{326} = 0,98$$

por lo que en la etapa diferencial se tendrá:

$$R_{d2} = \frac{R_{i5} \cdot R_{C2}}{R_{C2} + R_{i5}} = \frac{326 \cdot 12 \cdot 10^3}{12 + 326} = 11,6 \text{ K}\Omega$$

$$A_{vd1-2} = \frac{-R_{d2}}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = - \frac{-11,6 \cdot 10^3}{2 [53 + (100/100)]} = \frac{-116}{1,08} = -107,5$$

y la ganancia del sistema amplificador:

$$A_{vtot} = A_{vd1-2} \cdot A_{v5} = -107,5 \cdot 0,98 = -105,35 = 40,4 \text{ dB con fase } 180^\circ$$

que satisface los requerimientos del proyecto.

El circuito propuesto queda así totalmente definido, con el conocimiento de todos sus componentes, con la verificación del cumplimiento de la R_{id} y la ganancia solicitada. Cabe agregar asimismo que, dado que no se ha modificado la estructura de la fuente espejo, la C.M.R.R. se ha mantenido en su valor antes verificado y comprendido entre los 60 y 66 dB, cosa que igualmente hubiera ocurrido aún si se hubiera modificado la corriente de dicha fuente.

Es frecuente que del esquema estudiado también interese conocer la magnitud de la resistencia de salida. En el último ejemplo, dado que la etapa de salida es del tipo seguidora, se tendrá:

$$R_{os5} = R_{d5} // \left(h_{ib5} + \frac{R_{C2}}{h_{fe5}} \right) = 3,2 \cdot 10^3 // (63 + 120) = 173 \text{ }\Omega$$

5.8.3.- Continuando el ejemplo de aplicación, supondremos tener la necesidad de modificar el circuito precedente de modo de incrementar la resistencia de entrada diferencial (R_{id}) por encima del valor de 60 K Ω .

Recordemos que $R_{id} = 2 \cdot h_{ie1-2}$ por lo que $h_{ie1-2} > (R_{id} / 2) = 30 \text{ K}\Omega$.

En consecuencia dado que $h_{ie1-2} = h_{fe1-2} / g_{m1-2} = h_{fe1-2} / (40 \cdot I_{CQ1-2})$ deberá imponerse una corriente de reposo en T_{1-2} que no supere el valor de:

$$I_{CQ1-2} < \frac{h_{fe1-2}}{40 \cdot h_{ie1-2}} = \frac{100}{40 \cdot 30 \cdot 10^3} = 0,08 \text{ mA}$$

por lo que puede adoptarse un valor cercano a $I_{CQ1-2} = 0,05 \text{ mA}$ y por lo tanto al ser $I_{CQ3} = 2 \cdot I_{CQ1-2}$ $I_{CQ3} = 0,1 \text{ mA}$

Para permitir el gobierno de una corriente de tan baja magnitud es necesario modificar la estructura de la fuente de corriente usada para la polarización de la etapa diferencial, pasando a una fuente tipo WIDLAR tal como se aprecia en la figura 5.54. En el mismo circuito puede observarse la modificación incluida en la etapa colector común de salida, en la cual ahora su resistencia de emisor se retorna conectada a la fuente de alimentación negativa y mediante un sistema potenciométrico se conecta la carga R_L sin la utilización del condensador de acoplamiento en un punto con nivel de continua nulo.

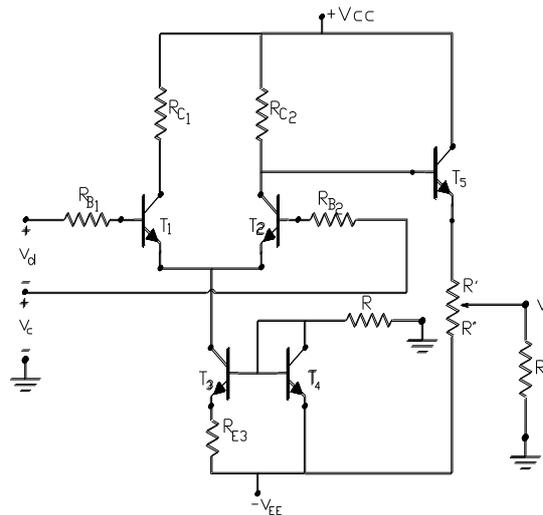


Figura 5.54 Amplificador diferencial y colector común polarizado con una fuente de corriente WIDLAR.

En la nueva fuente de polarización WIDLAR, la resistencia agregada en el emisor del transistor T_3 debe ser:

$$R_{E3} = \frac{V_T}{I_{CQ3}} \cdot \ln \frac{I_{CQ4}}{I_{CQ3}} = \frac{25 \cdot 10^{-3}}{0,1 \cdot 10^{-3}} \cdot \ln \frac{10^{-3}}{0,1 \cdot 10^{-3}} = 250 \cdot \ln 10 = 575,6 \Omega$$

siendo el valor comercial más cercano de $R_{E3} = 560 \Omega$ con lo que posteriormente deberá verificarse en definitiva la corriente que de esta forma se impone.

La presencia de esta R_{E3} en el emisor del transistor que opera como fuente de corriente, tal como se ha visto precedentemente, produce un incremento en la resistencia de salida de la misma, según la expresión (5.99):

$$R_{O3} = h_{oe3}^{-1} \cdot \left(1 + h_{fe3} \cdot \frac{R_{E3}}{R_{E3} + R_T + h_{ie3}}\right) \quad \text{con} \quad R_T = R // h_{ib4}$$

A partir de las Hojas de Datos para este conjunto de transistores y para la $I_{CQ3} = 0,1 \text{ mA}$ se obtienen:

$$h_{ie} = 21 \text{ K}\Omega \quad - \quad h_{fe} = 80 \quad - \quad r_o = \frac{1}{\eta \cdot gm} = \frac{1}{2,5 \cdot 10^{-4} \cdot 40 \cdot 10^{-4}} = 1 \text{ M}\Omega$$

mientras que para una $I_{CQ1-2} = 0,05 \text{ mA}$ estos parámetros son:

$$h_{ie} = 22,8 \text{ K}\Omega \quad - \quad h_{fe} = 50 \quad - \quad h_{oe} = 5 \cdot 10^{-6} \text{ S} \quad - \quad h_{ib} = 1/gm = 1/(40 \cdot 0,05 \cdot 10^{-3}) = 500 \Omega$$

dado que además $h_{ib4} = 1/gm_4 = 1/(40 \cdot 10^{-3}) = 25 \text{ Ohm}$ $h_{ib4} \ll R$ y $R_T \ll (h_{ie3} + R_{E3})$ en la ecuación anterior se tendrá:

$$R_{O3} = h_{oe3}^{-1} \cdot \left(1 + \frac{gm_3 \cdot h_{ie3} \cdot R_{E3}}{R_{E3} + h_{ie3}}\right) \quad \text{y como} \quad R_{E3} \ll h_{ie3} \quad R_{O3} = h_{oe3}^{-1} \cdot (1 + gm_3 \cdot R_{E3})$$

con lo que:

$$R_{O3} = 1 \cdot 10^6 \cdot (1 + 40 \cdot 10^{-4} \cdot 560) = 1,22 \text{ M}\Omega$$

En consecuencia la Relación de Rechazo de Modo Común que se obtiene con el nuevo circuito será:

$$\rho = \frac{R_{O3}}{h_{ib1-2} + (R_{B1-2} / h_{fe1-2})} = \frac{1,22 \cdot 10^6}{500 + (100/30)} = 2425 = 67,7 \text{ dB}$$

pudiéndose comprobar esta pequeña ventaja que se obtiene en este parámetro que en principio, dado el valor obtenido para R_{O3} podría presumirse mucho mayor pero que en la practica no lo es tanto dada la paralela disminución de la corriente de reposo que genera el importante incremento en h_{ib1-2} .

Continuando el cálculo del resto del circuito, dado que las fuentes de alimentación $V_{CC} = V_{EE}$ de 10 V no se han modificado y atento a que la corriente en las ramas del amplificador diferencial se han disminuido en diez veces, pueden incrementarse en la misma proporción las resistencias de colector R_C de modo que las tensiones de reposo V_{CEQ} no se modifiquen apreciablemente. Por ejemplo si adoptamos un $R_C = 180 \text{ K}\Omega$ se tendrá:

$$V_{CT1-2} = V_{CC} - I_{CQ1-2} \cdot R_{C1-2} = 10 - 0,05 \cdot 10^{-3} \cdot 180 \cdot 10^3 = 1 \text{ V}$$

$$V_{CEQ1-2} = V_{CC} + 0,6 \text{ (V)} - I_{CQ1-2} \cdot R_{C1-2} = 10 + 0,6 - 0,05 \cdot 10^{-3} \cdot 180 \cdot 10^3 = 1,6 \text{ V}$$

y en consecuencia la tensión en el emisor de T_5 resulta:

$$V_{ET5} = V_{CT1-2} - V_{BEu5} = 1 - 0,6 = 0,4 \text{ V}$$

Si adoptamos una I_{CQ5} pequeña ello traerá aparejado una suma ($R' + R''$) grandes y por lo tanto una resistencia de entrada de T_5 elevada. Por ejemplo para una $I_{CQ5} = 0,1 \text{ mA}$, el potenciómetro $R' + R''$ se ajustará de modo que la tensión de salida de continua sea nula. Así:

$$R' = \frac{V_{ET5}}{I_{CQ5}} = \frac{0,4}{10^{-4}} = 4 \text{ K}\Omega \quad \text{y} \quad R'' = \frac{V_{EE}}{I_{CQ5}} = \frac{10}{10^{-4}} = 100 \text{ K}\Omega$$

en consecuencia:

$$R''/R_L = 100 \text{ K}\Omega / 10 \text{ K}\Omega = 9,1 \text{ K}\Omega \quad \text{y} \quad R_{d5} = R' + (R''/R_L) = (4 + 9,1) \text{ K}\Omega = 13,1 \text{ K}\Omega$$

$$R_{i5} = h_{ie5} + h_{fe5} \cdot R_{d5} = 21 \cdot 10^3 + 80 \cdot 13,1 \cdot 10^3 = 1,07 \text{ M}\Omega$$

La resistencia de carga dinámica de la etapa agregada resulta: $R_{d2} = R_C / R_{i5} = \frac{180 \cdot 1,07 \cdot 10^6}{180 + 1070} = 154,1 \text{ K}\Omega$

en consecuencia la ganancia de este sistema resultará:

$$A_{vd1-2} = \frac{-R_{d2}}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = \frac{-154,1 \cdot 10^3}{2(500 + 3)} = \frac{-154,1 \cdot 10^3}{1006} = -153,2$$

$$A_{v5} = \frac{h_{fe5} \cdot (R''/R_L)}{R_{i5}} = \frac{80 \cdot 9,1 \cdot 10^3}{1,07 \cdot 10^6} = 0,68$$

$$A_v = A_{vd1-2} \cdot A_{v5} = (-153,2) \cdot 0,68 = 104,2$$

Con respecto a este resultado debe notarse que la principal causa de esta disminución de la ganancia con respecto a la que se obtenía con el circuito precedente ocurre en la etapa seguidora de salida debido al elemental circuito de desplazamiento de nivel de C.C. incluido en ella, el que sin embargo nos permite obtener un punto de conexión de la carga con nivel de C.C. nulo, siendo innecesaria la incorporación del condensador de acoplamiento.

El otro inconveniente que introduce el citado circuito de desplazamiento de nivel de C.C. lo mediremos a través de la resistencia de salida del sistema que pasamos a verificar seguidamente. Con ese objetivo debemos considerar el circuito equivalente indicado en la figura 5.55.a)

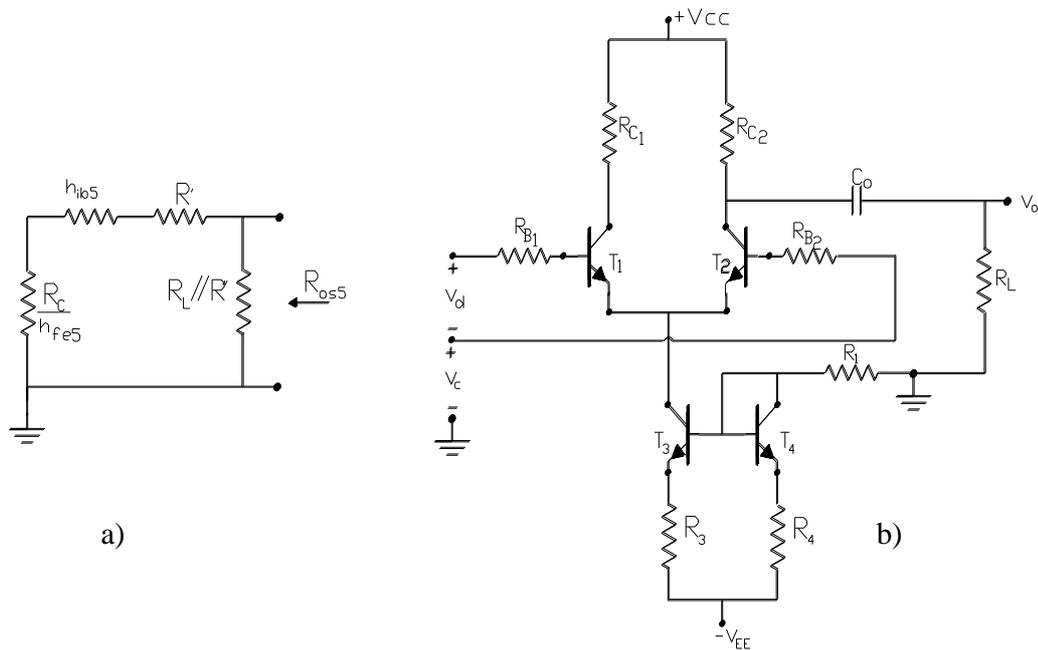


Figura 5.55 a) Circuito equivalente de salida de la etapa colector común, b) Amplificador diferencial polarizado con una fuente de corriente espejo con resistencia en los emisores

En él se tiene:

$$h_{ib5} = \frac{1}{g_{m5}} = 250 \text{ Ohm} \quad \text{y} \quad \frac{R_{C1-2}}{h_{fe5}} = \frac{180 \cdot 10^3}{80} = 2,25 \text{ K}\Omega$$

luego, la asociación serie-paralelo arroja el siguiente resultado:

$$R_{o5} = (R'' // R_L) // \left(R' + h_{ib5} + \frac{R_{C1-2}}{h_{fe5}} \right) = 9,1 \cdot 10^3 // (4 \cdot 10^3 + 250 + 2,25 \cdot 10^3) = 3,8 \text{ K}\Omega$$

pudiéndose constatar su apreciable aumento comparando con el resultado obtenido en el circuito anterior (173 Ω).

5.8.4.- Volvamos al circuito original en el cual en lugar de requerirse aumentar la ganancia supongamos solicitar un incremento de la relación de rechazo de modo común. Tal como se observa en el circuito indicado en la figura 5.55.b), ello puede lograrse con una fuente de corriente de configuración espejo pero agregando en ambos emisores la resistencia requerida de acuerdo con la resistencia de salida que se necesite.

En este circuito:

$$I_R = I_{CQ4} = I_{CQ3} = \frac{V_{EE} - V_{BEu4}}{R_1 + R_4}$$

para nuestro caso, supondremos seguir manteniendo el valor de $I_{CQ3} = 1 \text{ mA}$, por lo que:

$$R_1 + R_4 = \frac{10 - 0,6}{10^{-3}} = 9,4 \text{ K}\Omega, \quad \text{que se puede lograr con una } R_4 = 8,2 \text{ K}\Omega \text{ y una } R_1 = 1,2 \text{ K}\Omega.$$

La resistencia de salida de esta fuente responde a una expresión idéntica a la que hemos utilizado para la fuente WIDLAR, con la diferencia que ahora la resistencia equivalente del circuito de base, es decir R_T resulta:

$$R_T = \left(\frac{1}{g_{m4}} + R_4 \right) // R \quad \text{aproximadamente igual a } R_T = R_4 // R = 8,2 \text{ K}\Omega // 1,2 \text{ K}\Omega = 1,047 \text{ K}\Omega \quad \text{que}$$

no obstante, como anteriormente, continúa siendo despreciable frente a $(R_3 + h_{ie3})$ por lo que nuevamente:

$$R_{O3} = h_{oe3}^{-1} \cdot (1 + g_{m3} \cdot R_3) = 64,1 \cdot 10^3 \cdot (1 + 40 \cdot 8,2) = 21,09 \text{ M}\Omega$$

por lo que la relación de rechazo de modo común queda en:

$$\rho = \frac{R_{O3}}{h_{ib1-2} + (R_{B1-2} / h_{fe1-2})} = \frac{21,09 \cdot 10^6}{50 + (100/100)} = 413529 = 112,3 \text{ dB}$$