# CAPITULO V - Multietapas de Bajo Nivel: Carga Activa y Amplificador Operacional

# V.1. - INTRODUCCIÓN:

Al estado actual de la tecnología la electrónica lineal de los circuitos integrados fundamenta su desarrollo en el empleo de arreglos circuitales y componentes que son de amplia utilización en la técnica de los circuitos integrados y que son de aplicación en los circuitos amplificadores operacionales. Un ejemplo de lo expuesto es la incorporación de las fuentes de corriente en sus diversas versiones, tal como las acabamos de estudiar, en reemplazo de componentes pasivos, mecanismo conocido como "carga activa".

Con el objeto de justificar tales configuraciones resumiremos seguidamente algunas características comunes a los circuitos integrados lineales y particularmente el comportamiento esperado de un amplificador operacional.

Entre otras características, es deseable que un buen amplificador operacional disponga de una resistencia de entrada muy grande (teóricamente infinita). Como dicho parámetro se corresponde con la resistencia de entrada de la etapa diferencial de entrada, dicho requisito deriva en la necesidad de disponer de una resistencia de entrada diferencial del mayor valor posible.

Otro parámetro dinámico que debe maximizarse en un amplificador operacional es la ganancia de tensión o ganancia de lazo abierto, la que teóricamente debe tender a infinito, por lo que además de la etapa de entrada precedentemente nombrada dicho dispositivo se hallará constituido por un conjunto de etapas amplificadoras que seguirán en cascada a la primera, tales que en conjunto proporcionen dicho alto valor de ganancia.

La última etapa de dicha cascada es la responsable de asignarle al dispositivo su característica de baja resistencia de salida, idealmente cero, en conjunto con una capacidad de excursión de señal compatible con las oportunamente estudiadas en las etapas de gran señal o de potencia, así como un nivel de C.C. nulo en el terminal de salida para evitar el uso de acoplamiento capacitivo.

Algunas de las particularidades de la tecnología de los circuitos integrados, tales como la mayor facilidad para integrar componentes activos tales como el transistor bipolar en lugar de diodos semiconductores o resistores de relativamente altos valores de resistencia y mucho más para el caso de capacitores de tan solo algunos pico faradios de capacidad, dan lugar a configuraciones que dificilmente se concebirían en la tecnología de los componentes discretos.

Asimismo el hecho de que en un dispositivo integrado, todos sus componentes constitutivos se hallan dispuestos en la misma pastilla semiconductora y por lo tanto sometidos a los mismos cambios térmicos, así como la mayor facilidad para conseguir identidad de componentes, facilita la aplicación del mecanismo de compensación térmica.

Otra característica deseable de todo circuito integrado es que el mismo sea capaz de mantener su comportamiento tanto dinámico como estático para un buen rango de valores de tensión de alimentación de modo de no condicionar su utilización a un particular valor de tensión de fuente de alimentación.

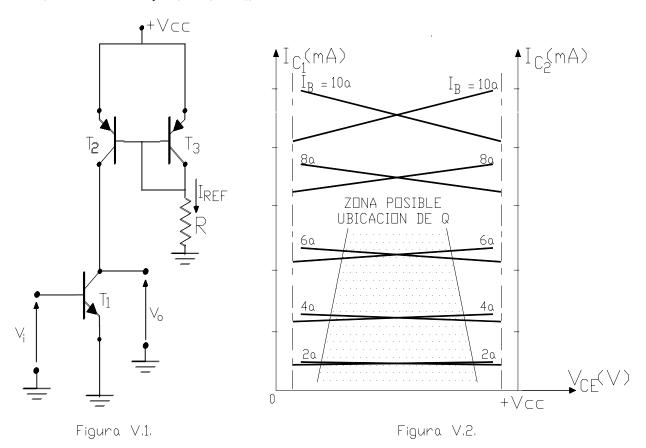
## V.2.- UTILIZACIÓN DE FUENTES DE CORRIENTE COMO CARGAS ACTIVAS:

A los efectos de introducir el tema consideraremos en primer lugar una configuración básica en la que se aplica la técnica de carga activa a una etapa amplificadora tipo emisor común, tal como se representa en la figura V.1. En dicho circuito el transistor  $T_1$  es el transistor amplificador en donde se aplica la señal de excitación  $V_i$  y se toma la tensión de salida  $V_o$ , mientras que  $T_2$  y  $T_3$  conforman una fuente de corriente del tipo espejo, siendo precisamente  $T_2$  la Carga Activa de  $T_1$ .

Supondremos que la ganancia estática de corriente  $h_{FE}$  de los tres transistores es lo suficientemente elevada como para que en la fuente espejo se pueda admitir:

$$I_R = I_{C3}$$
 y por lo tanto  $I_{C3} = \frac{1}{R}$ 

en este análisis de primera aproximación, dada las características de la configuración espejo  $I_{C2} = I_{C3}$  y por conexión directa de colector de  $T_2$  con colector de  $T_1$ , siempre que se establezca un circuito para la corriente de base de  $T_1$ , se tendrá también que  $I_{C1} = I_{C2} = I_{C3}$ .



En cuanto a las tensiones de reposo recordemos que, en general:

$$V_{CEO} = V_{CC} - I_{CO} \cdot R_{EST}$$

mientras que en este caso, al ser reemplazada la carga estática (o resistencia de colector de  $T_1$ ) por el transistor  $T_2$ , resulta que:

$$V_{CE1} = V_{CC} - V_{CE2}$$
 (V.1.)

 $La \ relación \ entre \ la \ I_{C2} \ = \ I_{C1} \ con \ la \ V_{CE} \ se \ establece \ a \ través \ de \ la \ relación: \ I_{C2} \ = \ I_s \ . \ e \qquad . \ (1 \ +------) \ V_{Ap}$ 

de la que obtenemos:

$$V_{CE2} = V_{Ap} \cdot (\frac{I_{C2}}{(V_{BE2}/V_T)} - 1)$$
 $I_{s} \cdot e$ 

y como:

$$(V_{BE1}/V_T)$$
  $V_{CE1}$ 

y simplificando:

$$V_{CE2} = V_{Ap}$$
. ------ por lo que reemplazando en la expresión (V.1.):  $V_{An}$ 

$$V_{CE1} = V_{CC} - V_{CE1} \cdot \frac{V_{Ap}}{V_{An}} \quad ; \quad V_{CE1} \left( 1 + \frac{V_{ap}}{V_{An}} \right) = V_{CC} \quad \text{o sea:} \quad V_{CE1} = V_{CC} \cdot \frac{V_{An}}{V_{An} + V_{Ap}} \quad (V.2.)$$

Si ambos transistores fuesen idénticos  $V_{An} = V_{Ap}$  y así la  $V_{CC}$  se repartiría en partes iguales como

$$V_{CE1} = V_{CE2} = \frac{V_{CC}}{2}$$

pero como de hecho entre transistores PNP y NPN integrados en la misma pastilla semiconductora se tienen diferentes tensiones de Early (V<sub>An</sub> distinto a V<sub>Ap</sub>) se obtendrán distintas tensiones de reposo para T<sub>1</sub> y T<sub>2</sub>.

Esto no sería grave siempre que T<sub>1</sub> opere en la zona activa y lineal con cierta capacidad de excursión y T<sub>2</sub> opere fuera de saturación de modo que su resistencia de salida r<sub>o2</sub> fuese lo suficientemente elevada.

Pero lo que ocurre, tal como se observa en la figura V.2., es que al no tenerse rectas de cargas la curva característica de salida de uno de los transistores es la "figura de carga estática" del otro y viceversa y lo inconveniente es que la intersección ya no se produce de un modo transversal (como ocurría con una R.C.E.) sino que lo hacen de una manera tangencial, originando un punto de reposo de alta inestabilidad. Una muy pequeña variación en las características de funcionamiento de uno de los transistores genera, por esta razón, una gran variación en la tensión de reposo de ambos.

Aún para condiciones normales de trabajo el V<sub>CEO</sub> del transistor de T<sub>1</sub> es totalmente incierto. Para que el circuito opere adecuadamente la carga debe hallarse bien definida y acoplada directamente de modo que sea ella la encargada de fijar el potencial de continua del nodo de conexión entre los colectores de ambos transistores.

Desde el punto de vista dinámico, la carga del transistor T<sub>1</sub> para estas componentes es la resistencia de salida del transistor T<sub>2</sub> por lo que atento a que su valor es comparable con la resistencia de salida de T<sub>1</sub>, la resistencia de carga dinámica de esta etapa resulta ser:

$$R_{d1} = \frac{r_{o1} \cdot r_{o2}}{r_{o1} + r_{o2}} \qquad \text{y en consecuencia la ganancia de tensión:} \qquad A_{v1} = -gm_1 \cdot R_{d1}$$

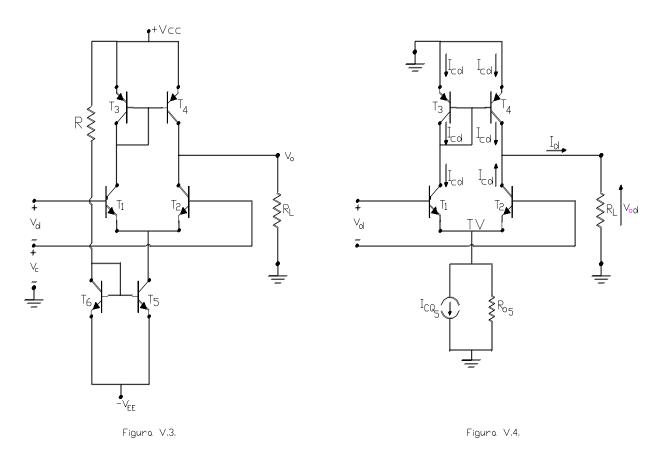
lográndose valores de ganancia mucho más altos que con resistencias de colector pasivas, ya que para igual V<sub>CC</sub> e I<sub>CO</sub> la resistencia de salida r<sub>o2</sub> es mucho mayor que la mayor resistencia pasiva de colector que se pudiera conectar.

La figura V.3. representa una aplicación práctica de la técnica de utilización de fuentes de corriente como carga activa. Puede comprobarse que en dicho circuito T<sub>5</sub> y T<sub>6</sub> constituyen una fuente de corriente tipo espejo que polariza a la etapa amplificadora diferencial compuesta por los transistores T1 y T2. La carga de esta etapa diferencial se halla conformada por la fuente de corriente espejo compuesta por los transistores PNP T<sub>3</sub> y T<sub>4</sub> a modo de carga activa, además de la carga propiamente dicha, denominada R<sub>L</sub>.

Para las componentes estáticas y como ya se demostrara, se tendrá:

$$I_{CQ5} = I_{R} = \frac{V_{CC} + V_{EE} - V_{BE6}}{R}$$

$$150$$



mientras que por las ramas diferenciales T<sub>1</sub> - T<sub>3</sub> y T<sub>2</sub> - T<sub>4</sub> dicha corriente se dividirá en dos partes iguales, es decir:

$$I_{CQ1} = I_{CQ3} = I_{CQ2} = I_{CQ4} = \frac{I_{CQ5}}{2}$$

En cuanto a las tensiones de reposo y dado que  $V_{ET1-2} = -V_{BE1-2} = -0.6$  V se tendrá lo siguiente:

$$V_{CEQ6} = -V_{CEQ3} = V_{BEu} = 0.6 \text{ V}$$
;  $V_{CEQ1} = V_{CC}$  y  $V_{CEQ5} = V_{EE} - 0.6 \text{ V}$ 

mientras que las tensiones de reposo de  $T_2$  y  $T_4$  podrán estar comprendidas entre 0 y ( $V_{CC}$  + 0,6 V) dependiendo del valor del potencial de C.C. que sobre el nodo unión de sus colectores imponga el circuito de carga que en la figura se halla representada a través de la resistencia  $R_L$ .

En cuanto al comportamiento dinámico frente a una señal de excitación de modo diferencial  $v_d = v_1 - v_2$  el mismo se puede estudiar sobre el circuito equivalente de la figura V.4., en donde además se han marcado los sentidos de referencia de todas las corrientes de modo diferencial que aparecen debido a dicha excitación. Tal como se observa en ese circuito equivalente, sobre la carga se tendrá una corriente de modo diferencial total conformada por:

$$I_{d} = I_{cd2} + I_{cd4}$$

y si consideramos identidad en los transistores de ambas ramas  $I_d = 2$ .  $I_{cd}$ , y dichas corrientes de colector de modo diferencial darán lugar a una tensión de salida para dicho modo que se podrá expresar de acuerdo a:

$$v_{od}\,=\,2$$
 .  $I_{cd}$  .  $R_d$ 

Para una mejor información se desea asociar el circuito equivalente indicado en la figura V.5. con el comportamiento dinámico para la señal diferencial, por lo que debemos encontrar las relaciones de equivalencia entre dicho circuito equivalente y el correspondiente a la representación de la figura V.4. En este último, la resistencia de entrada es la resistencia de entrada diferencial, que como es sabido, resulta ser:

$$R_{id} = \frac{V_d}{I_{bd}} = 2 \cdot h_{ie1-2}$$
 (V.3.)

Por otro lado, el parámetro que controla la corriente del generador de salida del último circuito equivalente, es decir la transconductancia diferencial Gm<sub>d</sub> se define como:

$$Gm_d = \frac{I_{d \text{ (con la salida en corto circuito)}}}{V_d} \tag{V.4.}$$

mientras que en el circuito de la figura V.4., imponiendo la condición de corto circuito en la salida, la corriente diferencial en el cortocircuito resulta ser la suma de ambas corrientes de colector diferencial (la de los transistores  $T_2$  y  $T_4$ ), es decir:

$$I_{d \text{ (con la salida en corto circuito)}} = 2$$
 .  $I_{cd}$ 

pero en cualquiera de los transistores:

$$I_{cd} = h_{fe} \; . \; I_{bd} \qquad \qquad \text{mientras que} \qquad \qquad I_{bd} = \frac{v_d}{2 \; . \; h_{ie}}$$

con lo que reemplazando:

$$I_{d \, (\text{con la salida en corto circuito})} = \begin{array}{c} 2 \; . \; h_{fe} \\ \hline \\ 2 \; . \; h_{ie} \end{array} \quad \quad y \qquad Gm_d = gm_{1\text{-}2} \quad \quad (V.4\text{'}.)$$

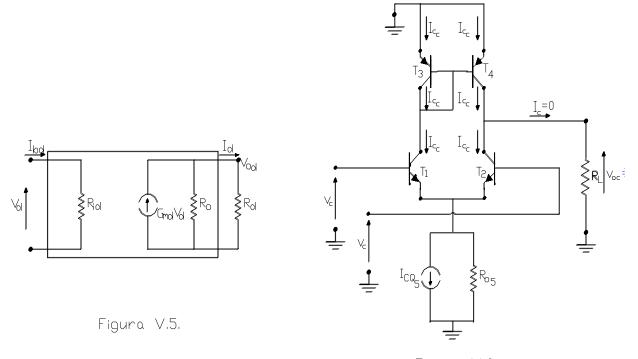


Figura V.6.

Por último, la resistencia de salida  $R_o$  del modelo equivalente propuesto es:  $r_{02}$  .  $r_{o4}$ 

$$R_{o} = \frac{r_{02} \cdot r_{04}}{r_{02} + r_{04}}$$
 (V.5.)

Conocido el modelo equivalente, ya que en la misma figura V.5. se ha agregado la carga  $R_d$ , mediante el uso del mismo se puede determinar la ganancia de tensión de modo diferencial:

$$A_{vd} = \frac{v_{od}}{\dots} = \frac{Gm_d \cdot v_d \cdot (R_o /\!\!/ R_d)}{\dots} = gm_{1-2} \cdot (R_o /\!\!/ R_d)$$
 (V.6.)

$$v_d$$
  $v_d$ 

desprendiéndose que el sistema estudiado posee una ganancia de tensión de modo diferencial igual al doble de la que presenta una etapa diferencial convencional, cargada en forma asimétrica como en nuestro caso.

Si en una dada aplicación se tiene que 
$$R_d \ll R_o$$
 resulta  $A_{vd} = gm_{1-2}$ .  $R_d = 40$ .  $I_{CO1-2}$ .  $R_d$ 

En cambio si  $R_d \gg R_o$  se obtendría el mayor valor de ganancia posible:

$$\mathbf{A}_{vd} = \frac{1}{\eta_N + \eta_P}$$

que típicamente, de acuerdo a los valores de tensión de Early del semiconductor, variará entre unas 1000 y 2000 veces.

Por otro lado en la figura V.6. se ha representado el circuito equivalente válido para el modo común y en el mismo se han indicado asimismo los sentidos de referencia de las corrientes para este modo de excitación. Se desprende de dicho análisis que, al menos teóricamente, es decir si existe simetría completa entre ambas ramas de la configuración diferencial y su correspondiente carga activa, la corriente de salida o componente de modo común de la corriente en la carga sería nula por lo que la C.M.R.R. sería de valor infinito.

En la práctica tal simetría perfecta no es posible de obtener, de modo que la componente remanente de modo común de la corriente en la carga entonces queda rechazada en función de la constancia en la corriente de la fuente de polarización  $I_{CQ5}$  o sea en forma directamente proporcional al valor de  $R_{o5}$ . Estas características hacen que el valor de la C.M.R.R. para este caso solo puede obtenerse por medición.

A lo largo del desarrollo de este capítulo veremos otras topologías prácticas en las que se utiliza esta técnica de carga activa.

### V.3.- ESTUDIO DE ETAPAS DE ENTRADA DE AMPLIFICADORES OPERACIONALES:

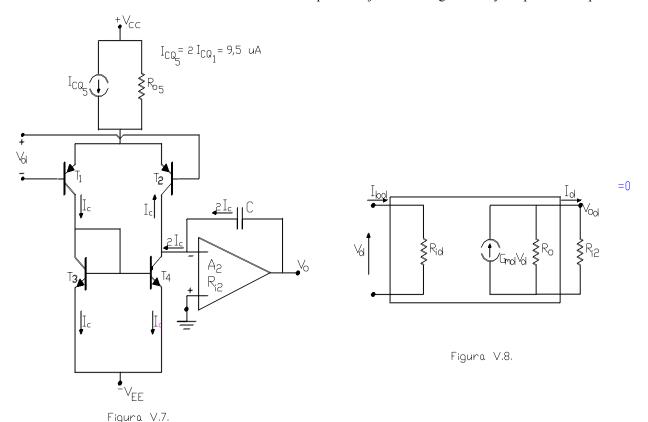
## V.3.1.- Ejemplo genérico comparativo:

Antes de iniciar el análisis específico del amplificador operacional 741 y con la finalidad de poder establecer ciertas comparaciones, consideraremos el circuito amplificador que se indica en la figura V.7. En este circuito la segunda etapa, indicada con  $A_2$ , debe proporcionar muy alta ganancia y también muy alta resistencia de entrada de modo que la carga dinámica de la primera y por lo tanto la ganancia de la misma sea lo más grande posible. Al respecto supondremos que esta segunda etapa presenta una resistencia de entrada cuyo valor típico es de  $R_{i2}=5,5$  MOhm y que en la primera  $h_{FE}=h_{fe}=240$ .

Estudiaremos el comportamiento de este circuito particularmente para bajo nivel y desde frecuencias tan bajas como "0" Hz y hasta frecuencias para las cuales los efectos capacitivos asociados a las junturas y a la difusión de portadores en la base, inclusive los efectos de condensador físico C conectado en el circuito, son despreciables (a este rango se lo conoce normalmente como frecuencias bajas y medias).

La estructura de este circuito es similar a la del ejemplo estudiado en el apartado precedente ya que la única diferencia es el tipo de transistor con que son realizados tanto el amplificador como el circuito de carga activa (en este caso PNP y NPN respectivamente, a la inversa que en el circuito de la figura V.3.) por lo tanto si se deseara asociarle a este amplificador un modelo equivalente en base al parámetro Transconductancia Diferencial ( $Gm_d$ ) tal como el de la figura V.3., la interpretación de los componentes de tal modelo serían las mismas que las obtenidas para el circuito de la figura V.3., es decir:

$$Gm_d = gm_{1.2} = 40$$
 .  $I_{CO1.2} = 40$  .  $4.75$  .  $10^{-6} = 190$  .  $10^{-6}$  A/V



$$R_{id} = 2 \cdot h_{ie1-2} = 2 \cdot \frac{h_{fe1-2}}{gm_{1-2}} = 2 \cdot \frac{240}{190} \cdot 10^6 = 2,52 \text{ MOhm}$$
 
$$r_{o2} = \frac{1}{\eta_P \cdot gm_2} \quad \text{con} \quad \eta_P = 5 \cdot 10^{-4} \quad r_{o2} = \frac{1}{10^{-4} \cdot 190 \cdot 10^{-6}} = 13,1 \text{ MOhm}$$
 
$$5 \cdot 10^{-4} \cdot 190 \cdot 10^{-6}$$
 
$$r_{o4} = \frac{1}{\eta_N \cdot gm_4} \quad \text{con} \quad \eta_N = 2,5 \cdot 10^{-4} \quad r_{o2} = \frac{1}{2,5 \cdot 10^{-4} \cdot 190 \cdot 10^{-6}} = 2,52 \text{ MOhm}$$
 
$$R_o = \frac{r_{02} \cdot r_{o4}}{r_{o2} + r_{o4}} = \frac{13,1 \cdot 26,2 \cdot 10^6}{13,1 + 26,2} = 8,7 \text{ MOhm}$$
 
$$13,1 + 26,2$$

en consecuencia:

$$A_{vd} = Gm_d$$
 .  $(R_o // R_I) = 190$  .  $10^{-6}$  .  $3.75$  .  $10^6 = 712.5$ 

Por otro lado estudiando el comportamiento del circuito para frecuencias suficientemente altas como para observar los efectos de la presencia del condensador C=30~pF, antes de que sea necesario tener en cuenta a los efectos intrínsecos de las capacidades internas de los transistores, a medida que se incrementa la frecuencia, la reactancia capacitiva de C va en disminución hasta hacerse de mucho menor valor que la resistencia de entrada de la segunda etapa  $(R_{i2})$ , por lo que la mayor parte de la corriente diferencial de salida de la primera etapa se deriva por C.

Ante la necesidad de tal análisis es posible considerar que la segunda etapa es un amplificador tipo operacional y por lo tanto su terminal inversor de entrada, tal como se justificará oportunamente, se comporta como una Tierra Virtual (no toma corriente) y por lo tanto la tensión de salida del sistema es la caída que  $I_d$  produce en  $X_C$ , o sea:

con lo que la ganancia de tensión, en ese rango de frecuencias y de todo el sistema, en términos de módulo es:

cuya representación en función logarítmica de la frecuencia, arroja como resultado el diagrama indicado en la figura V.9.

Definiendo como Producto Ganancia por Ancho de Banda al producto entre el valor de la ganancia a una dada frecuencia y ese valor de frecuencia, se tiene que, para el punto en que la ganancia  $!A_{vda}$  ! es "0" dB (ó 1), dicho producto PGB resulta ser:

y a partir de la ecuación (V.7.):

$$Fu = \frac{Gm_d}{2 \cdot \pi \cdot C}$$
 (V.8.)

PGB = 1 . Fu

por lo que para el caso en que C = 30 pF se obtiene un producto ganancia por ancho de banda de:

PGB = Fu = 
$$\frac{190 \cdot 10^{-6}}{6,28 \cdot 30 \cdot 10^{-12}} = 1 \text{ MHz}.$$

debiendo aclararse que en este ejemplo se adecuó la corriente de la fuente de corriente de polarización en  $9.5~\mu A$  a fin de obtener el calculado PGB, para luego comparar con los resultados que obtendremos con el amplificador operacional 741.

Consideraremos por último, el caso en que a la etapa bajo estudio se le aplica una excitación diferencial de gran amplitud, tal que produzca que la totalidad de la corriente de la fuente de corriente de polarización se vuelque sobre una de las ramas del amplificador diferencial, mientras que en la otra rama la corriente resulte nula. Dicha señal de excitación, además, tiene una relativamente alta velocidad de variación (puede ser una señal sinusoidal de alta frecuencia o bien una señal tipo escalón de gran amplitud).

Bajo tal condición se observará la forma o velocidad de variación de la tensión de salida identificándose que dicha velocidad de variación se encuentra limitada y consecuentemente se produce una deformación o distorsión en la señal amplificada. Para caracterizar dicha limitación se define y especifica para este tipo de etapas el parámetro Velocidad de Excursión o en inglés SLEW RATE. Entonces, por definición:

SLEW RATE = 
$$SR = \frac{dV_o}{dt}$$
 (V.9.)

La figura V.10. es representativa de la condición de operación precedentemente descripta. En ella, volviendo a atribuirle la característica de tierra virtual al terminal de entrada de la segunda etapa, la tensión de salida vuelve a ser la diferencia de potencial que sobre el condensador C produce la corriente que lo atraviesa motivo

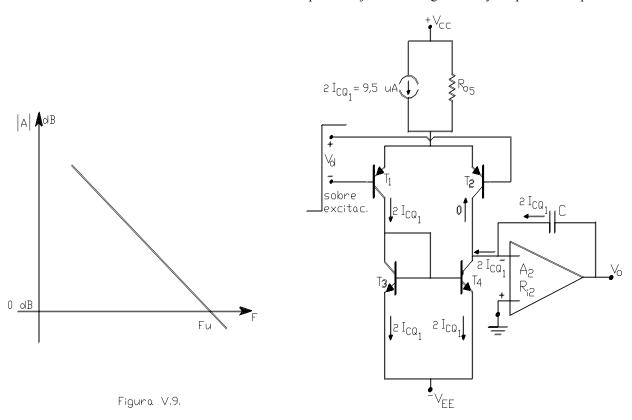


Figura V.10.

por el cual:

$$SR = \frac{4 \cdot \pi \cdot Fu \cdot I_{CQ1-2}}{Gm_d}$$
 (V.11.)

de la que se deduce:

- El SR aumenta con el PGB del operacional;
- El SR aumenta disminuyendo la transconductancia de la etapa diferencial Gm<sub>d</sub> (\*)
- El SR aumenta si se aumenta la corriente de polarización de la etapa diferencial I<sub>CQ1-2</sub> (\*)

(\*) Ambas variaciones deben ser originadas por una característica de la estructura circuital de dicha etapa ya que de lo contrario se compensarían mutuamente tal como ocurre en nuestro ejemplo, al ser  $Gm_d = gm$ .

Estas características sumado a la necesidad de obtener altas R<sub>id</sub> y buenos rangos dinámicos de operación, son las consideraciones que privan (hay otras que veremos más adelante) como lineamientos para el proyecto de las etapas de entrada de los amplificadores operacionales, debiéndose encontrar una solución de compromiso como en muchas otras situaciones de la práctica profesional.

## V.3.2.- Etapa de entrada del Amplificador Operacional 741:

Se ha seleccionado a este amplificador operacional para el desarrollo de esta temática en razón de que al estado actual de la tecnología, en la electrónica lineal integrada es el componente de uso más generalizado para aplicaciones de bajo nivel y de baja frecuencia. Es provisto por la mayoría de los fabricantes de componentes semiconductores y se dispone de él la más amplia información, entre la que se puede contar el diagrama esquemático de su circuito constitutivo.

En razón de la citada multiplicidad de fuentes de provisión, no debe esperarse una uniformidad en la información que los fabricantes proporcionan, particularmente en lo relacionado a algún parámetro específico así

como a partes de su circuito constitutivo. En la figura V.11. se ha representado el circuito correspondiente a su primera etapa, incluyendo la parte de polarización. Puede observarse que en dicha figura se ha preferido contemplar un ordenamiento diferente en las ramas constitutivas del circuito, de izquierda a derecha, pero el circuito en sí es coincidente con la mayoría de los diagramas esquemáticos que proporcionan los fabricantes.

A los efectos de realizar un estudio y verificación del circuito mediante cálculos numéricos, supondremos que el mismo se alimenta con las tensiones  $V_{CC} = V_{EE} = 15 \text{ V}$  y en primer lugar verificamos el comportamiento estático del mismo.

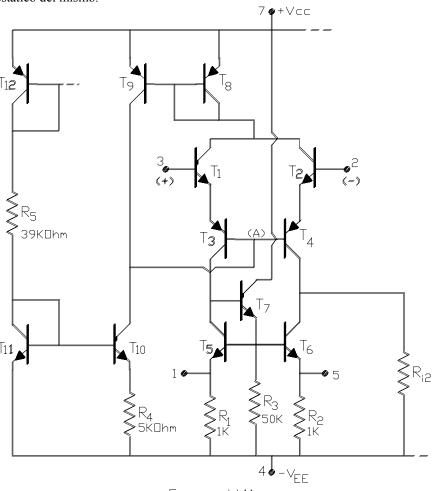


Figura V.11.

Puede observarse que los transistores  $T_{11}$  y  $T_{12}$ , al disponer de un cortocircuito entre sus terminales de base y colector, funcionan como diodos, en un circuito serie en el que además se incluye al resistor de resistencia  $R_5 = 39$  KOhm y en donde las fuentes de alimentación los polarizan en forma directa. En consecuencia, suponiendo despreciables a sus corrientes de base, las corrientes de colector de dichos transistores resulta:

$$I_{CQ11} = I_{CQ12} = \frac{V_{CC} + V_{EE} - 2 \cdot V_{BEu}}{R_s} = \frac{30 - 1.2}{-----} = 0.723 \text{ mA}$$

Ya que los transistores  $T_{11}$  y  $T_{10}$  operan formando una fuente de corriente tipo WIDLAR, la corriente por este último debe satisfacer la ecuación:

$$I_{CQ10} = \begin{array}{c} V_T & I_{CQ11} & 25 \cdot 10^{-3} & 723 \cdot 10^{-6} \\ R_4 & I_{CQ10} & 5 \cdot 10^3 & I_{CQ10} \end{array}$$

y el valor de  $I_{CQ10}$  que cumple con dicha condición, obtenido luego de un proceso de aproximación sucesiva es aproximadamente 18,5  $\mu$ A. Considerando nuevamente que las corrientes de base resultan despreciables (2 .  $I_{B3-4}$  <<

 $I_{CQ10}$ ) debido a la conexión directa de colector de  $T_{10}$  con colector de  $T_{9}$  y dado que este último forma conjuntamente con  $T_{8}$  una fuente de corriente del tipo espejo, se tendrá:

$$I_{CO8} = I_{CO9} = I_{CO10} = 18,5 \mu A$$

Por razones de simetría y admitiendo que a través de los circuitos de excitación conectados a sus bases, podrán establecerse las pequeñas corrientes de polarización ( $I_{B1-2}$ ), la corriente de colector de  $T_8$ , es decir  $I_{CQ8} = 18,5$   $\mu A$  debe subdividirse en dos partes iguales como corrientes de colector de  $T_1$  y  $T_2$ , vale decir que aproximadamente:

$$I_{CQ1} = I_{CQ2} = \frac{I_{CQ8}}{2} = 9,5 \text{ } \mu\text{A}$$

y dado que sus emisores se hallan directamente unidos con los de  $T_3$  y  $T_4$ , que a su vez poseen sus bases polarizadas mediante la conexión directa con colector de  $T_{10}$ , se tendrá:

$$I_{CO3} = I_{CO4} = I_{CO1-2} = 9.5 \mu A$$

Por idéntica razón, dado que T<sub>5</sub> y T<sub>6</sub> se unen por colector con los de T<sub>3</sub> y T<sub>4</sub> y además disponen sus bases polarizadas a través de su conexión con emisor de T<sub>7</sub>, resulta que:

$$I_{CO5} = I_{CO6} = I_{CO3-4} = 9.5 \mu A$$

para lo que deberá cumplirse que:

$$V_{R3} = V_{BE5} + I_{CQ5}$$
 .  $R_1 = 0.6 V + 9.5$  .  $10^{-6}$  .  $10^3 = 0.609 V$ 

y consecuentemente, considerando que 2 .  $I_{B5} = 2$  .  $I_{B6}$  resultan despreciables, la corriente por  $T_7$  es:

$$I_{CQ7} = \frac{V_{R3}}{R_3} = \frac{0,609}{50.10^3} = 12 \mu A$$

Desde el punto de vista de las tensiones de reposo además se observa:

$$V_{CEQ11} = -V_{CEQ12} = -V_{CEQ8} = V_{BEu} = 0.6 \text{ V}$$
 y  $V_{CEQ5} = V_{BEu5} + V_{BEu7} = 1.2 \text{ V}$ 

y suponiendo nulos los potenciales de continua de las bases de  $T_1$  y  $T_2$  a través de los circuitos de excitación, la tensión continua del nodo (A) contra masa resulta:

$$V_{AT} = -(V_{BEu1-2} + V_{EBu5-6}) = -1.2 \text{ V}$$

con lo que:

$$V_{CEO10} = V_{EE} + V_{AT} - I_{CO10}$$
.  $R_4 = 15 - 1.2 - 18.5$ .  $10^{-6}$ .  $5 \cdot 10^3 = 13.7$  V  $V_{CEO9} = -V_{CC} + V_{AT} = -16.2$  V

$$V_{CEO1-2} = V_{CC} - V_{EBu8} + V_{BEu1-2} = V_{CC} = 15 \text{ V} \text{ y } V_{CEO3} = -V_{EE} + V_{R3} + V_{BEu7} + V_{BEu1} = -15 + 0,609 + 2.0,6 = -13,2 \text{ V}$$

mientras que las tensiones de reposo de los transistores T<sub>4</sub> y T<sub>6</sub> dependerán de la tensión continua que en la unión de sus colectores imponga el circuito de carga o segunda etapa del amplificador operacional que verificaremos más adelante.

Los cálculos precedentes nos permiten apreciar que todos los transistores y aún aquellos que operan como diodos, funcionan en la zona activa y lineal de sus características. Debe tenerse presente que estos dispositivos bipolares poseen una  $V_{CE(sat)}$  reducida, cercana a los 200 ó 300 mV por lo que al hallarse con una tensión de reposo de tan solo 600 mV ello es suficiente como para que su resistencia de salida sea tan elevada como en el resto de la zona activa y lineal (lo que es importante para los que desempeñan funciones de fuentes de polarización o de carga activa), o bien como para permitir cierto rango de excursión en su punto dinámico de trabajo.

Por este motivo a continuación pasamos a estudiar el comportamiento para una señal de bajo nivel, y como siempre hasta ahora, de baja frecuencia. El nodo unión de las bases de los transistores  $T_3$  y  $T_4$ , nodo al que hemos llamado (A), tiene conectada una fuente de corriente constante conformada por el transistor  $T_{10}$  (fuente WIDLAR) que en consecuencia debe entregar una corriente:  $I_{B3} + I_{B4} + I_{CQ9}$ . Considerando una excitación diferencial dispuesta entre las bases de los transistores  $T_1$  y  $T_2$  el balance total de corriente dinámica diferencial en dicho nodo es nulo por lo que el mismo se comporta como una tierra virtual.

En cambio para una señal de modo común debe considerarse que entre dicho nodo (A) y masa se dispone la resistencia de salida de dicha fuente de corriente Widlar  $R_{o10}$ , por la que circularán ambas corrientes de base de modo común. Por otra parte, nuevamente para la señal diferencial la unión de los colectores de  $T_1$  y  $T_2$ , a donde se halla conectada la fuente de corriente espejo conformada por  $T_8$  y  $T_9$ , también se comporta como una tierra virtual y el circuito fuente de corriente espejo realizado con  $T_5$  (con  $R_1$ ) y  $T_6$  (con  $R_2$ ) se desempeña como carga activa de la configuración diferencial.

El circuito equivalente para la señal diferencial se representa en la figura V.12. Se ha supuesto que para un instante de tiempo dado la tensión de modo diferencial de excitación  $(v_d)$  es positiva, por lo que las corrientes de colector diferencial en los transistores  $T_1$  y  $T_2$  ( $I_{cd}$ ), con los sentidos de referencia adoptados, también resultan positivas e iguales en magnitud, dada la característica de simetría de ambas ramas.

Debido a la conexión directa entre los emisores de  $T_1$  y  $T_3$  así como la de  $T_2$  y  $T_4$ , las corrientes de colector diferencial en los transistores  $T_3$  y  $T_4$  se ven obligadas a seguir (en módulo y en fase) a las correspondientes a  $T_1$  y  $T_2$  respectivamente y también se han marcado en el circuito de la figura V.12.

El transistor  $T_3$  tiene conectado como carga en su colector el circuito serie integrado por el diodo baseemisor de  $T_5$  (ya que  $T_5$  tiene su juntura base-colector en corto circuito) y el resistor  $R_1$  de modo que la corriente por esta última (y por lo tanto corriente de emisor de  $T_5$ ) no es otra que la misma corriente  $I_{cd}$  (igual magnitud y fase). Dado que el circuito base-emisor de  $T_6$  en conjunto con  $R_2$  es espejo del correspondiente a  $T_5$  -  $R_1$ , la corriente por  $R_2$  o corriente de emisor y prácticamente corriente de colector de  $T_6$  es coincidente (en módulo y fase) con la de  $T_5$ , es decir  $I_{cd}$ .

Finalmente, por los sentidos que tienen las corrientes de colector diferencial de  $T_4$  y  $T_6$ , la corriente por la carga  $R_{i2}$  resulta ser:

$$I_d = I_{cd1} + I_{cd2} = 2$$
.  $I_{cd}$ 

De la misma forma como se hizo para los circuitos amplificadores de las figuras V.3. y V.7. se desea asociarle a la primera etapa del amplificador operacional 741, un modelo equivalente en base al parámetro transconductancia ( $Gm_d$ ) tal como el que se ha representado en la figura V.13. Para hallar los componentes del mismo estudiamos el comportamiento del circuito de la figura V.12. En este último puede observarse que se aplica una señal diferencial sobre la base de  $T_2$  que tiene su colector a masa y se halla cargado por emisor por el transistor  $T_4$  operando en una configuración base común ya que la base del mismo está conectada con el nodo (A) que como quedó dicho se comporta como una tierra virtual.

Esta disposición puede relacionarse con las propiedades que introducía sobre el comportamiento diferencial, la presencia del resistor  $R_e$  en los emisores de ambas ramas diferenciales (ahora de valor  $h_{ib}$  = (1/gm) es decir  $h_{ib}$  =  $10^6$  /(40 . 9,5) = 2,6 KOhm) en cuanto a la ampliación del rango dinámico lineal de la etapa. Asimismo y en cuanto a la resistencia de entrada diferencial de esta etapa que es la correspondiente al mismo amplificador operacional:

por lo que tomando como  $h_{fe} = 240\,$  para todos los transistores, numéricamente dicha resistencia de entrada resulta:

$$R_{id} = 4$$
 .  $\frac{h_{fe1-2}}{gm_{1-2}} = \frac{4 \cdot 240}{40 \cdot 9.5 \cdot 10^{-6}} = 2.5 \text{ MOhm}$ 

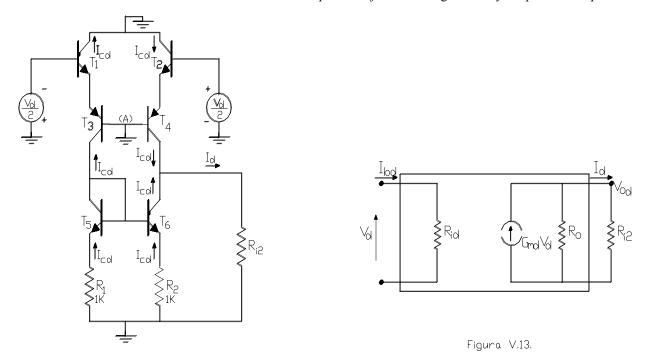


Figura V.12.

que puede compararse con la especificación de los valores típicos que para dicho parámetro proporcionan los fabricantes. Se comprueba que la estructura circuital de la etapa de entrada del amplificador operacional 741 se presta para optimizar la resistencia de entrada del mismo a la par de lograr una muy buena linealización de la transferencia.

Por otra parte, según la definición de la transconductancia diferencial (V.4.) debemos determinar la corriente diferencial efectuando un corto circuito en la carga  $R_{i2}$ . Como en el anterior circuito la corriente diferencial en el corto circuito es 2.  $I_{cd1-2}$  y para evaluarla en relación a la tensión de excitación de modo diferencial consideramos el circuito equivalente de la parte  $T_1$  -  $T_3$  (que es coincidente con la parte  $T_2$  -  $T_4$ ), tal como se representa en la figura V.14.a. y V.14.b. De la misma se deduce que:

$$I_{cd1-2} = \frac{V_d}{2} \quad \frac{1}{h_{ib1-2} + h_{ib3-4}} \quad \frac{V_d}{4 \cdot h_{ib}} \quad \frac{gm \cdot V_d}{4} \quad \text{por lo tanto} \quad I_d = 2 \cdot I_{cd} = \frac{gm}{2} \cdot V_d \quad y \quad Gm_d = \frac{gm}{2} \cdot \dots \cdot V_d$$

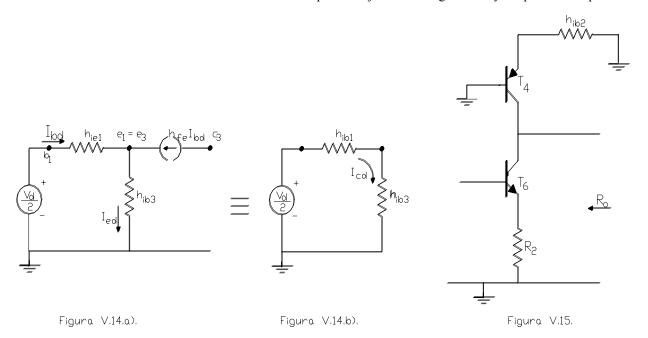
cuyo valor resulta:

$$Gm_d = \frac{40 \text{ . } I_{CQ1-2}}{2} = 20 \text{ . } 9,5 \text{ . } 10^{-6} = 190 \text{ } \mu\text{A/V}.$$

Puede constatarse que la etapa de entrada del amplificador operacional 741 estructuralmente dispone de una resistencia de entrada igual al doble de la que se tenía en el ejemplo genérico comparativo del apartado anterior, mientras que su tansconductancia diferencial resulta ser la mitad de la que se obtenía en el ejemplo anterior, motivo por el cual en esta etapa se puede operar con una corriente de reposo del doble de valor, conservando los resultados numéricos tanto de la resistencia de entrada diferencial (2,5 MOhm) como de la transconductancia diferencial (190 μA/V). Asimismo, como se demostrará más adelante, esta estructura circuital por la misma razón, permite conseguir que con el mismo producto ganancia por ancho de banda de 1 MHz que se tenía en el ejemplo anterior, se obtenga una velocidad de excursión (SR) de valor igual al doble de la de aquel circuito.

Previamente determinaremos la resistencia de salida del modelo de transconductancia que le corresponde a la etapa que estamos estudiando. Como puede observarse en el circuito de la figura V.12., siendo el punto de conexión de la carga  $R_{i2}$  la unión de los colectores de  $T_4$  y  $T_6$ , la resistencia de salida de esta primera etapa del amplificador operacional 741 resultará:

$$Ro = Ro_4 // Ro_6$$



Correspondiendo ello a un circuito equivalente como el indicado en la figura V.15., tanto Ro<sub>4</sub> como Ro<sub>6</sub> responden a configuraciones del tipo "Re sin puentear" cuyo valor, tal como lo expresa la ecuación (II.58.), puede determinarse con la expresión general:

$$Ro = r_o$$
 . ( 1 +  $\frac{h_{fe}}{Re + h_{ie} + R_T}$ 

Para el caso particular de  $T_4$ , en que  $R_T = 0$  (también para el caso en que  $R_T << (h_{ie} + Re)$ )

$$gm$$
 .  $h_{ie}$  . Re  $Ro=r_o$  . (  $1+\frac{1}{1+1}$  ,  $Re$   $Ro=r_o$  . (  $1+\frac{1}{1+1}$  ,  $Re$  )  $Re$  ,  $Re$  ,

entonces, para 
$$T_4$$
: 
$$h_{ie} = \frac{R_{id}}{4}$$
 
$$y \quad Re = h_{ib2} = \frac{1}{2}$$
 
$$gm$$

$$por \ lo \ que \quad Ro_4 = r_{o4} \ (1 + gm \ .h_{ib2} \ ) = \ r_{o4} \ ( \ 1 \ + \ gm \ . ----- \ ) = 2 \ .r_{o4} = ----- = ---- = 10 \ MOhm \\ gm \qquad \qquad \eta_P \ . \ gm \quad 5 \ . \ 10^{-4} \ . \ 380 \ . \ 10^{-6}$$

En cuanto al cálculo de  $Ro_6$  debe observarse que  $T_6$  en su base tiene conectado a  $R_3$  en paralelo con la resistencia de salida de una configuración colector común de  $T_7$  y en paralelo a su vez con la resistencia de entrada de  $T_5$  (del tipo Re sin puentear). De tal forma que para el caso de  $T_6$ ,  $R_T$  resulta ser más bajo que  $R_3$  por lo que nuevamente se cumple que  $R_T << (h_{ie} + R_2)$ . Pero simultáneamente  $R_2 << h_{ie}$  por lo que:

$$Ro_4 : Ro_6 = 10 : 18 : 10^6$$
 $Ro_4 + Ro_6 = 10 : 18 : 10^6$ 
 $Ro_4 + Ro_6 = 10 + 18$ 

considerando ahora la resistencia de entrada de la segunda etapa, la resistencia de carga dinámica de la primera es:

$$R_d = \frac{\text{Ro . } R_{i2}}{\text{Ro + } R_{i2}} = \frac{6.5 . 5.5 . 10^6}{6.5 + 5.5} = 3 \text{ MOhm}$$

Ganancia de tensión diferencial:

$$A_{vd} = Gm_d$$
 .  $R_d = 190$  .  $10^{-6}$  .  $3$  .  $10^6 = 570$  (55,1 dB)

Producto ganancia por ancho de banda:

$$Fu = \frac{Gm_d}{2 \cdot \pi \cdot C} = \frac{190 \cdot 10^{-6}}{6,28 \cdot 30 \cdot 10^{-12}} = 1 \text{ MHz}.$$

y para señales fuertes, la Velocidad de Excursión:

$$SR = \frac{4 . \pi . Fu . I_{CQ1-2}}{Gm_d} = \frac{4 . 3,14 . 10^6 . 9,5 . 10^{-6}}{4 . 3,14 . 10^6 . 9,5 . 10^{-6}} = 0,63 \text{ V/ } \mu\text{Seg.}$$

con lo que queda demostrado que la modificación de la estructura circuital permitió que manteniendo las restantes prestaciones, en el 741 se logra mejorar la característica de velocidad de excursión. Asimismo puede compararse los resultados numéricos obtenidos con las correspondientes especificaciones que proporcionan los fabricantes.

## V.3.3.- Otra etapa de entrada de amplificador operacional:

La figura V.16. muestra otra configuración utilizada como etapa de entrada de amplificador operacional pudiéndose comprobar la utilización de una fuente espejo tipo NPN como carga activa y la introducción de sendos resistores Re en los circuitos de emisor de los transistores dispuestos en forma diferencial.

Como nuevamente la corriente diferencial en la carga es el doble de la corriente de colector diferencial y con el objetivo de determinar la transconductancia diferencial de este amplificador consideramos el circuito equivalente para la señal diferencial que se indica en la figura V.17. En él se tiene:

mientras que la resistencia de entrada diferencial es:  $R_{id} = 2$ . [  $h_{ie} + (h_{fe} + 1)$ . Re ] (V.14.)

$$R_{id} = 2 \cdot [h_{ie} + (h_{fe} + 1) \cdot Re]$$
 (V.14.)

Si suponemos  $2 \cdot I_{CO} = 105 \mu A$  ; Re = 4,76 KOhm y C = 30 pF con este tipo de etapas se obtienen los que se describen más adelante.

gm = 40 . 
$$I_{CQ}$$
 = 40 . 52,5 .  $10^{\text{-6}}$  = 2,1 mA/V

$$Gm_d = \frac{2,1 \cdot 10^{-3}}{1 + 2,1 \cdot 10^{-3} \cdot 4,76 \cdot 10^3} = 190 \ \mu A/V$$

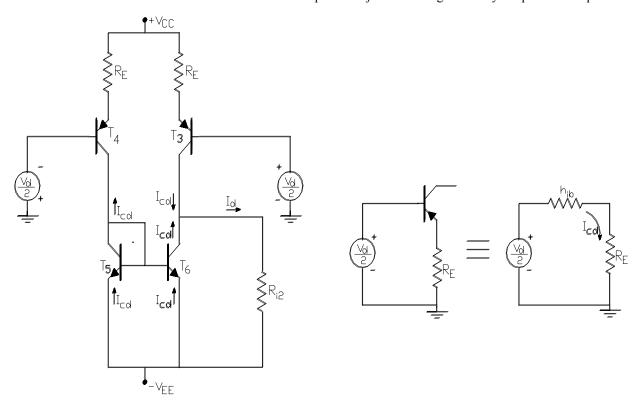


Figura V.16.

Figura V.17.

$$R_{id} = 2$$
 . [  $\frac{240}{------} + (1+240)$  . 4,76 .  $10^3$  ] = 2,5 MOhm  $2,1 \cdot 10^{-3}$ 

$$Fu \, = \, \frac{Gm_d}{2 \, . \, \pi \, . \, \, C} \, = \, \frac{190 \, . \, \, 10^{-6}}{6,28 \, . \, \, 30 \, . \, \, 10^{-12}} \, = \, 1 \, \, \, MHz.$$

$$SR \, = \, \frac{4 \, . \, \pi \, . \, Fu \, . \, I_{CQ1\text{-}2}}{Gm_d} \, \frac{4 \, . \, 3,14 \, . \, 10^6 \, . \, 52,5 \, . \, 10^{\text{-}6}}{190 \, . \, 10^{\text{-}6}} \, = \, 3,5 \, \text{V} / \, \mu \text{Seg.}$$

como en esta etapa:

$$Ro = \frac{r_{oN} \cdot r_{oP} \cdot (1 + gm \ Re)}{r_{oN} + r_{oP} \cdot (1 + gm \ Re)} = \frac{\left[1/(2 \cdot 10^{-4} \cdot 2, 1 \cdot 10^{-3})\right] \cdot \left[1/(5 \cdot 10^{-4} \cdot 2, 1 \cdot 10^{-3})\right] \cdot (1 + 2, 1 \cdot 10^{-3} \cdot 4, 76 \cdot 10^{3})}{\left[1/(2 \cdot 10^{-4} \cdot 2, 1 \cdot 10^{-3})\right] + \left\{\left[1/(5 \cdot 10^{-4} \cdot 2, 1 \cdot 10^{-3})\right] \cdot (1 + 2, 1 \cdot 10^{-3} \cdot 4, 76 \cdot 10^{3})\right\}}$$
 
$$Ro = 2,27 \ MOhm$$

resulta inferior, se puede obtener una ganancia inferior a los 55 dB de la etapa de entrada del 741.

Esta configuración es utilizada en el amplificador operacional LM 118, en donde Re=2 KOhm, C=5 pF y  $2 \cdot I_{CQ}=500 \,\mu A$  por lo que con él se puede conseguir:

$$Gm_d = 476 \mu A/V - R_{id} = 1 MOhm - Fu = 15 Mhz. - SR = 100 V/\mu Seg$$

con una ganancia de tensión diferencial (así como otras prestaciones) inferior a la de las otras configuraciones.

V.3.4.- Etapas Diferenciales de Entrada Basadas en MOSFETS:

Debido a la alta densidad de integración que es posible lograr mediante la utilización del transistor MOS, desde su descubrimiento hace ya algunos años atrás se hizo muy extendido el diseño de los circuitos integrados analógicos en base a este componente activo, superando en tal sentido en lo que a grado de utilización se refiere, al transistor bipolar. En el tercer Capítulo de este trabajo, y luego de una revisión de su principio de funcionamiento, se han estudiado a los circuitos amplificadores básicos en base a MOS, asimismo en los últimos párrafos del Capítulo IV se analizó el amplificador diferencial basado en JFETs.

Dado que un amplificador diferencial a base de MOSFETs y con carga resistiva no difiere en su comportamiento respecto de lo ya conocido, no será objeto de estudio en esta oportunidad, en donde se pretende en cambio analizar las posibles cargas activas y circuitos de polarización a base de este componente activo, que en conjunto con el par diferencial MOS son los tres elementos de construcción más importantes en los circuitos integrados lineales con MOS.

## V.3.4.1.- Estudio de la Linealidad de amplificador diferencial MOS en modo de vaciamiento:

No obstante lo anticipado resulta sin embargo muy conveniente complementar los conocimientos adquiridos analizando el rango dinámico de funcionamiento lineal que se puede esperar en un par diferencial MOS. A tal efecto reconsideremos el circuito de la figura IV.35, si en él los transistores fueran NMOS de canal permanente (operando en modo de vaciamiento), en su comportamiento para la señal diferencial se tendría que:

$$v_{g1} - v_{GS1} + v_{GS2} - v_{g2} = 0$$

recordando que por definición de señal diferencial:

$$v_{g1} - v_{g2} = v_d$$

en tanto que de la física del MOSFET para canal bloqueado en un punto:

$$v_{GS} = V_{P} \cdot [1 - (\frac{i_{D}}{I_{DSS}})^{1/2}]$$

en donde  $v_{GS}$  e  $i_D$  son los llamados valores totales de tensiones y corrientes en los terminales del MOSFET. Así incorporando estas definiciones puede describirse a la señal diferencial como:

$$v_d = V_P \cdot [ - (\frac{i_{D1}}{I_{DSS}})^{1/2} + (\frac{i_{D2}}{I_{DSS}})^{1/2} ]$$

Como la fuente de polarización  $(T_3)$  siempre debe proveer la suma de las corrientes de ambas ramas del diferencial se podrá expresar que:

$$i_{D1} = I_{DO3} - i_{D2}$$
 e  $i_{D2} = I_{DO3} - i_{D1}$ 

por lo que reemplazando alternativamente en la ecuación anterior se podrá expresar a la tensión diferencial normalizada  $(v_d/V_p)$  como una función de la corriente normalizada  $(i_D/I_{DQ3})$  en cada una de las dos ramas, es decir:

$$\frac{v_{d}}{V_{p}} \, = \, - \, \sqrt{\left(I_{DQ3} \, - \, i_{D2}\,\right) / \, I_{DSS}} \quad + \, \sqrt{\left(i_{D2} \, / \, I_{DSS}\,\right)}$$

$$\frac{v_{d}}{V_{p}} \; = \; + \sqrt{\left(I_{DQ3} \; - \; i_{D1}\;\right) \, / \; I_{DSS}} \quad \; - \; \sqrt{\left(i_{D1} \, / \; I_{DSS}\;\right)}$$

Entonces, para analizar estos resultados definiremos a dichas variables normalizadas como  $X = v_d / V_p$ ,  $Y_1 = i_{D1} / I_{DSS}$  e  $Y_2 = i_{D2} / I_{DSS}$  y pondremos a partir de estas últimas ecuaciones, a las corrientes Y como función de la tensión diferencial X en forma similar a lo ya hecho para el caso de bipolares. Ello nos lleva finalmente a representar gráficamente a las siguientes dos ecuaciones:

$$Y_1 = 0.5 \cdot (1 + X \cdot \sqrt{[2 (I_{DSS}/I_{DQ3}) - (I_{DSS}/I_{DQ3})^2 \cdot X^2}])$$

$$Y_2 = 0.5 \cdot (1 - X \cdot \sqrt{[2 (I_{DSS}/I_{DQ3}) - (I_{DSS}/I_{DQ3})^2 \cdot X^2}])$$

Cosa que llevamos a cabo en el gráfico de la Figura V.17.1, tomando como parámetro a la relación (I<sub>DSS</sub>/I<sub>DO3</sub>):

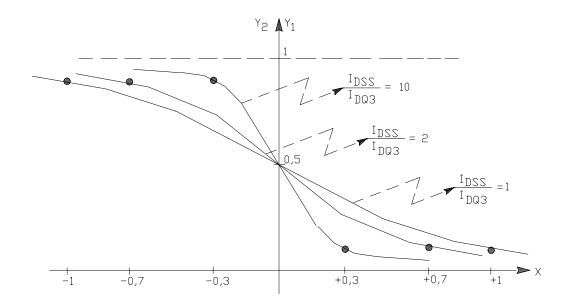


Figura V.17.1

Cabe observar aquí que las zonas lineales para cada valor del parámetro (I<sub>DSS</sub>/I<sub>DO3</sub>) se pueden identificar en:

X	< 0,3	para	$(I_{\rm DSS}/I_{\rm DQ3})=1$
X	< 0,22	para	$(I_{\rm DSS}/I_{\rm DQ3})=2$
X	< 0,1	para	$(I_{\rm DSS}/I_{\rm DQ3})=10$

### V.3.4.2.- Amplificador Diferencial NMOS de refuerzo:

Su nombre tiene origen en que para su construcción se emplean solo transistores MOS de Canal N Inducido y una configuración típica se presente en la Figura V.17.2. En dicho circuito si bien puede observarse la excitación de modo diferencial, el análisis del mismo incluirá previamente la polarización y a posteriori su comportamiento también para el modo común.

# -Análisis estático:

a) Por resultar idénticos los transistores, ya que se integran todos en un mismo semiconductor base, se desprende que:

$$I_{DQ1} = I_{DQ2} = I_{DQ3} = I_{DQ4} = \frac{I_0}{2}$$
 (V.3.1)

siendo Io la suministrada por la fuente de corriente de polarización indicada simbólicamente en el circuito. Cabe destacar que ello es posible de afirmar ya que en esta etapa de análisis ambos generadores dinámicos  $(V_d/2)$  se están considerando en corto circuito y por lo

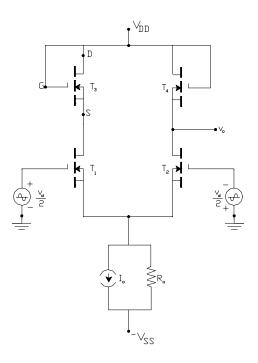


Figura V.17.2

tanto el potencial de los terminales de compuerta de ambos transistores  $(T_1 \ y \ T_2)$  coincidirá con el de masa y como veremos más adelante el circuito de polarización (Io-Ro) será responsable de polarizar a sus terminales de fuente, unidos entre sí con polaridad negativa y en módulo superior a la tensión de formación de canal  $(V_T)$ . De este modo dado que Io es impuesta por el circuito de polarización debido a la simetría de ambas ramas diferenciales corresponde aplicar la ecuación (V.3.1.) para determinar las corrientes de reposo de estos dos transistores.

Por otra parte se observará que las compuertas de  $T_3$  y de  $T_4$  se encuentran directamente conectadas a la fuente de alimentación positiva ( $V_{DD}$ ) o sea que reciben el potencial más positivo presente en el circuito y por ello seguramente más positivo que los de sus fuentes y superando nuevamente la tensión de umbral de formación de canal de estos otros dos transistores, permitiendo así cerrar a las corrientes de drenaje de los transistores  $T_1$  y  $T_2$  que ahora se transformarán en  $I_{DQ3}$  e  $I_{DQ4}$ .

Para este tipo de MOSFETs de compuerta aislada, hemos visto en el Capítulo III que:

$$I_{D} = B \cdot (V_{GS} - V_{T})^{2} \quad \text{para un canal bloqueado en un punto es decir} \quad \{V_{DS} > [~(V_{GS} - V_{T}~) > 0]\}$$

de modo que para nuestros cuatro transistores se tendrá:

$$V_{GSQ} = \sqrt{\frac{I_{DQ}}{B}} + V_{T} \qquad (V.3.2)$$

En  $T_3$  y  $T_4$  el corto circuito entre sus terminales de compuerta y drenaje asegura el cumplimiento de la condición de canal bloqueado en un punto. Mientras que para comprobar el cumplimiento de dicha condición en  $T_1$  y  $T_2$  debemos considerar la ecuación de la malla formada por  $V_{DD}$ , drenaje de  $T_3$  y/o  $T_4$ ,  $V_{DS3}$  -  $V_{DS4}$ , terminales de fuente de estos transistores que se encuentran directamente unidos a los de drenaje de  $T_1$  y de  $T_2$  respectivamente,  $V_{DS1}$  -  $V_{DS2}$ , terminales de fuente de estos transistores, - $V_{GS1}$  - - $V_{GS2}$ , terminales de compuerta de estos transistores y finalmente masa. En dichas mallas se puede plantear:

$$V_{DD} - V_{DS3-4} - V_{DS1-2} + V_{GS1-2} \ = \ 0 \quad de \ donde \qquad V_{DS1-2} \ = \ V_{DD} - V_{DS3-4} \ + \ V_{GS1-2} \qquad pero \qquad V_{DS3-4} \ = \ V_{GS3-4} + V_{GS1-2} = V_{DS3-4} + V_{GS1-2} = V_{DS3-4} + V_{DS3-4} + V_{DS3-4} = V_{DS3-4} + V_{DS3-4} + V_{DS3-4} = V_{DS3-4} + V_{DS3$$

por lo que finalmente

$$V_{DS1-2} = V_{DD} - V_{GS3-4} + V_{GS1-2} = V_{DD}$$

resumiendo:

$$V_{DS3-4} = V_{GS3-4}$$
 (V.3.3) y  $V_{DS1-2} = V_{DD}$  (V.3.4)

por lo que para lograr dicha polarización habrá que cumplir la condición  $\,V_{DD}\,\,>\,\,(V_{GS}\,\,$  -  $\,V_{T}\,).$ 

De esta manera quedan determinadas las polarizaciones de todos los transistores, resultando compatibles con un funcionamiento activo y lineal.

## -Análisis dinámico de modo diferencial:

En primer lugar se hace necesario analizar la carga dinámica de los transistores  $T_1$  y  $T_2$ . Para ello consideramos a  $T_3$  y  $T_4$  que se encuentran operando con un cortocircuito entre sus terminales de compuerta (g) y drenaje (d) y con su fuente (s) directamente conectada a los drenajes de los anteriores. El circuito de análisis se muestra en la figura V.17.3 y su correspondiente circuito equivalente dinámico en la figura V.17.4

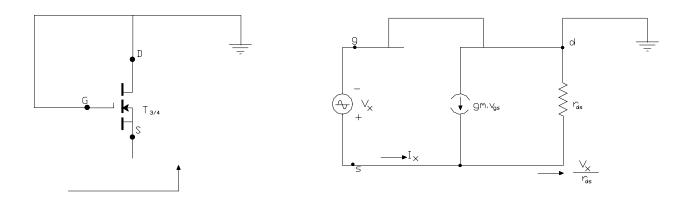


Figura V.17.3 Figura V.17.4

En este último la intención es determinar la resistencia de entrada que presentan  $T_3$  y  $T_4$  entre compuerta (g) y fuente (s) de modo que incluimos un generador de prueba Vx, tratando de determinar el cociente entre dicha tensión y la corriente Ix que entregaría ese generador:

en consecuencia la resistencia de entrada buscada es:

En el Capitulo IV hemos analizado una etapa diferencial con FET y el resultado fue que para una carga de forma diferencial la ganancia estaba dada por la ecuación (IV.53), mientras que en este caso, dado que se esta cargando a la etapa en forma asimétrica el resultado sería:

$$A_{Vd} = \frac{1}{2}$$
 . gm . Rd por lo que en nuestro caso  $A_{Vd} = \frac{1}{2}$  . gm . Rd<sub>1-2</sub> o sea  $A_{Vd} = \frac{1}{2}$  (V.3.5)

realmente baja como se puede constatar.

## -Análisis dinámico para el modo común:

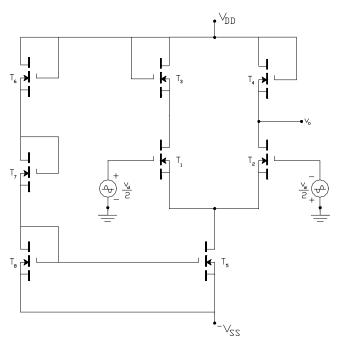
Teniendo en cuenta que para este modo de excitación, los transistores  $T_1$  y  $T_2$  operan en una configuración de fuente común con una Ro de fuente sin desacoplar y tal como se viera en el Capítulo IV, ecuación (IV.54):

$$gm \ . \ Rd_{1\text{-}2} \\ A_{Vc} = ----- \\ con \ lo \ que \ reemplazando \ el \ mismo \\ Rd_{1\text{-}2} = ---- \\ se \ tiene \\ A_{Vc} = ----- \\ (V.3.6)$$

$$1 + gm \cdot 2 \cdot Ro$$
 gm  $1 + gm \cdot 2 \cdot Ro$ 

La observación de los resultados precedentes permite afirmar que si bien se cuenta con un mayor rango de linealidad esta etapa de entrada tipo NMOS presenta una ganancia de modo diferencial muy baja debido a la configuración (carga asimétrica) y debido a que la resistencia equivalente de carga es muy baja: el amplificador diferencial NMOS no permite asegurar ganancias adecuadas. Se recurre entonces al amplificador diferencial CMOS o también llamado MOS Complementario que se estudiará en los párrafos siguientes.

Previo a ello vale la pena señalar una posible solución para llevar a la práctica el circuito de polarización que en la figura V.17.2 se representó en forma esquemática. En la figura V.17.5 dicha solución se lleva a cabo en base a la misma tecnología NMOS:



Rama de referencia

Figura V.17.5

Aquí los transistores de la rama de referencia son también idénticos y por tener la compuerta cortocircuitada con el drenaje se cumple en ellos que:

$$V_{GS} = V_{DS}$$
 y por ser los tres iguales  $V_{GS} = {V_{DD} + V_{SS} \over 3}$ 

ya que a igual corriente de polarización deben repartirse en igual proporción el total de la tensión de alimentación.

Luego dado que el par  $T_5$  y  $T_8$  comparten esa misma tensión de polarización resulta:  $V_{GSS} = \frac{V_{DD} + V_{SS}}{3}$  (V.3.7)

entonces la antes mencionada corriente de polarización resulta:

$$I_{DQ5} = B \cdot (\frac{V_{DD} + V_{SS}}{3} - V_{T})^{2}$$
 (V.3.8)

con lo que las corrientes de reposo en ambas ramas diferenciales resultan como se anticipara en (V.3.1):

$$I_{DQ1} = I_{DQ2} = I_{DQ3} = I_{DQ4} = \frac{I_{DQ5}}{2}$$
 (V.3.1')

V.3.4.3.- Amplificador Diferencial CMOS:

En la figura V.17.6 se presenta la configuración correspondiente a un amplificador diferencial CMOS que emplea transistores NMOS y PMOS de refuerzo en donde con el objetivo de presentar una resistencia de carga superior se están empleando a los PMOS en una configuración espejo como carga activa del par diferencial realizado con NMOS y en donde la tensión de polarización en el terminal de salida lo ajusta la etapa amplificadora subsiguiente por las mismas razones y de la misma forma como ya viéramos para el caso de bipolares.

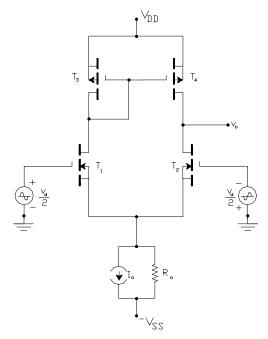


Figura V.17.6

### -Análisis estático:

Dada la identidad de los transistores y por las mismas razones que hemos considerado ya:

$$I_{DQ1} = I_{DQ2} = \frac{I_0}{2}$$
 (V.3.9)

Con respecto a los transistores  $T_3$  y  $T_4$  las corrientes deberán ser iguales a las de sus pares NMOS no obstante en rigor y considerando las corrientes salientes como negativas se tiene:

$$I_{DQ3} = I_{DQ4} = \frac{-\text{Io}}{2}$$
 (V.3.10)

Para los transistores PMOS, dado que en ellos tanto  $V_{GS}$  como  $V_{T}$  resultan negativos y con la finalidad de independizarnos de tales signos es posible aplicar la signiente expresión  $I_{D} = B I_{D} I_{$ 

recordando que la condición para su operación en la zona activa:  $\left| V_{DS} \right| > \left| V_{GS} \right|$  -  $\left| V_{T} \right|$ 

Retornando al circuito, de la ecuación (V.3.11) para la corriente de la (V.3.10) ya conocida, es posible determinar la  $V_{GS}$  Luego:  $V_{GS3} = V_{GS4} = V_{T}$ 

y como el terminal de compuerta se encuentra directamente unido con el correspondiente al drenaje

$$V_{DS3} = V_{GS3}$$
 y en consecuencia  $V_{DS1} = V_{DD} + V_{DS3} + V_{GS1}$ 

pues el terminal de fuente del transistor  $T_1$  queda a -  $V_{GS1}$  y en donde obviamente esta depende de la corriente  $I_{D1}$  según:

$$V_{GS1} = \sqrt{\frac{B}{......}} + V_{T}$$

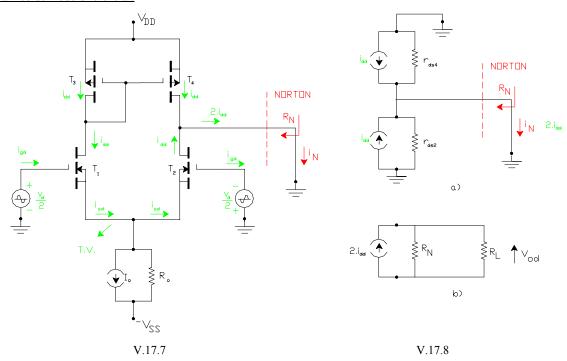
 $I_D$ 

La determinación de  $V_{DS2}$  y  $V_{DS4}$  no es simple y depende mucho de la característica de los dispositivos y de la corriente que toma la carga. Si los transistores fueran idénticos (obviando la cuestión de signos en sus parámetros) se puede afirmar que:

$$V_{DS1} = V_{DS12} = V_{DD} + V_{DS3} + V_{GS1}$$
 
$$V_{DS4} = V_{DS3} = V_{GS3}$$

No obstante la situación planteada es muy particular, la forma práctica más aconsejable para determinar los potenciales es haciendo uso de programas de simulación, tal como el PSpice. Otra alternativa es asegurar la corriente de la etapa siguiente haciendo uso de algún esquema apropiado de polarización, de modo de no requerir la tensión antes citada para el análisis y permitir que ésta quede fijada por las necesidades de la etapa siguiente. Debe quedar claro que el potencial bajo análisis es muy sensible a la carga y a las condiciones impuestas por la misma.

## Análisis dinámico de modo diferencial:



Para el análisis dinámico de modo diferencial y tal como hemos venido haciendo en los estudios de etapas de entrada determinamos la corriente de salida con la carga en corto circuito, resultado de aplicar el teorema de Norton en dicho terminal de salida, analizando las corrientes de modo diferencial que en el circuito se establecen. El transistor  $T_3$  modifica su  $v_{gs}$  (componente dinámica) de modo que circule a través de su canal la  $i_{dd}$  con el sentido indicado en la figura V.17.7 pero como  $v_{gs3} = v_{gs4}$  por conexionado, al transistor  $T_4$  no le queda otra posibilidad de que la corriente de su canal sea idéntica a la de  $T_3$ , es decir  $i_{dd}$  tal como la indicada en dicha figura, con el mismo sentido que en el transistor  $T_3$ . Los transistores conectados como esta indicado conforman entonces un espejo de corriente con tecnología MOS.

Entonces la corriente y la resistencia de Norton pueden obtenerse con ayuda de la figura V.17.8.a, en donde:

$$I_N = 2 \cdot i_{dd}$$
 -  $R_N = r_{ds2} // r_{ds4} = r_{ds} / 2$ 

Luego si existe una carga R<sub>L</sub> para el circuito equivalente Norton indicado en la figura V.17.8.b puede definirse:

$$Rd = R_N \ /\!/ \ R_L \qquad y \ la \ tensión \ diferencial \ a \ la \ salida \ ser\'a \qquad V_{od} = 2 \ . \ i_{dd} \ . \ Rd \qquad (V.3.12)$$

Pero 
$$i_{dd} = gm \ . \ v_{gsd} \qquad y \ como \qquad v_{gsd} = \frac{v_d}{2}$$

dado que la unión de los terminales de fuente de los transistores T<sub>1</sub> y T<sub>2</sub> queda a tierra virtual. La ecuación (V.3.12) resulta:

$$V_{od} = 2$$
 . gm . ----- . Rd = gm .  $v_d$  . Rd y la ganancia de tensión diferencial  $A_{Vd} = gm$  . Rd

Se concluye entonces que también aquí la carga activa vuelve a duplicar la ganancia del amplificador diferencial, cosa que no ocurría en un NMOS, dado que no existen espejos de corriente, pues dinámicamente nada obliga a que los transistores de carga tengan igual  $v_{GS}$  debiendo resaltarse nuevamente que la ganancia obtenida por una de estas etapas es importante siempre y cuando la carga  $R_L$  sea también alta. Si dicha  $R_L >> (r_{ds} \ / \ 2)$  entonces para tecnologías modernas es posible conseguir ganancias de entre 20 y 100 veces.

#### Análisis dinámico de modo común:

Las configuración descripta en la figura V.17.6 en base a la tecnología CMOS y haciendo uso del sistema de carga activa, que como hemos visto duplica la corriente diferencial en la carga, al igual como ocurriera en los circuitos con transistores bipolares si todo el circuito es simétrico anulan la corriente de modo común en la carga arrojando como resultado un rechazo prácticamente infinito. También como en ese caso en la realidad las relaciones de rechazo de modo común que se obtienen son valores finitos debido a las inevitables desigualdades en estos componentes que conforman la etapa de entrada.

Estos desapareamientos entre ramas diferenciales son similares a los que aparecen en la tecnología bipolar y arrojan como resultado la aparición de tensiones residuales en la salida del Op.Amp. de magnitud similar y serán estudiadas en el Capítulo 8 del presente trabajo.

Sin embargo en las etapas de entrada CMOS debido a que tales desapareamientos entre transistores son raros por naturaleza, se registra una tensión residual de entrada incluso si todos estos componentes semiconductores están perfectamente igualados. Se trata en este caso de una tensión residual de característica sistemática y la única forma en que puede reducirse al mínimo es mediante un diseño adecuadamente cuidadoso. Estas limitaciones no se presentan en la tecnología bipolar debido a que en ella es posible conseguir un alto valor de ganancia por etapa.

## V.3.5.- Amplificadores Operacionales de CMOS:

La mayor parte de los Op.Amp. de CMOS están diseñados para utilizarse como parte de un circuito integrado de muy alta densidad de integración (VLSI – muy alta escala de integración). En este entorno restringido de uso, a diferencia del Op.Amp. tipo 741 por ejemplo (diseñado para propósitos múltiples), las especificaciones del dispositivo se pueden relajar siendo menos estrictas, a cambio de un circuito más sencillo y que como contrapartida ocupe un área de silicio mucho más pequeña. Tal es así que la mayor parte de los Op.Amp. de CMOS no tienen etapa de salida de gran señal, pero si en un chip de VLSI, fuese necesario que mediante este amplificador se exciten cargas fuera del chip, estos pocos Op.Amp. suelen estar equipados con una etapa de salida del tipo clásico.

En la figura V.17.9 se presenta una arquitectura de Op.Amp. CMOS conocida como configuración de dos etapas. El circuito se alimenta con dos fuentes de alimentación simétricas que normalmente proveen tensiones comprendidas entre 2,5 y 5 V. En el esquema el generador de corriente de referencia  $I_{REF}$  puede ser externo al C.I. o bien puede ser resuelto en el mismo chip por la solución presentada ya en la figura V.17.5. Así la fuente espejo conformada por los transistores  $T_8$  y  $T_5$  alimenta al par diferencial  $T_1$  y  $T_2$  con la pertinente corriente de polarización. De acuerdo con la expresión (V.38) se diseña la constante B de  $T_5$  a los efectos de obtener el valor adecuado para la etapa de entrada. Dicho par diferencial de entrada se carga con la fuente espejo fomada por  $T_3$  y  $T_4$  de esta forma la etapa de entrada es idéntica a la estudiada precedentemente.

La segunda etapa esta constituida por el transistor  $T_6$  en una configuración de fuente común, cargado mediante la técnica de carga activa por medio del transistor  $T_7$  en una configuración fuente común. Como veremos oportunamente y tal como ocurre en el 741, el circuito R – Cc tiene como objetivo llevar a la práctica la compensación necesaria para evitar las oscilaciones. La ganancia diferencial de la primera etapa se vio ya que resulta ser

$$A_{Vd1} = -gm_1 \cdot (r_{ds2} // r_{ds4})$$

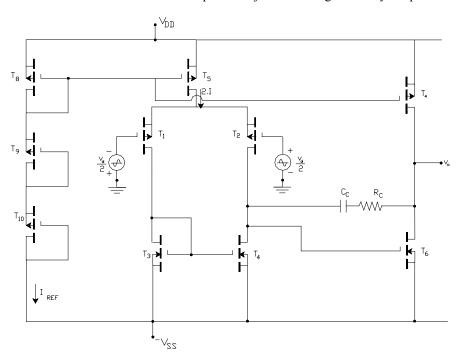


Figura V.17.9

mientras que en la segunda etapa, el fuente común con la carga activa presentan una ganancia:

$$A_{V2}$$
 = -  $gm_6$  .  $(r_{ds6}$  //  $r_{ds7}$ )

con lo que la ganancia a lazo abierto, en C.C. y muy bajas frecuencias y con la salida a circuito abierto resulta:

$$A = A_{Vd1} \cdot A_{v2}$$

pudiéndose conseguir valores típicos comprendidos entre unas 3000 y 5000 veces.

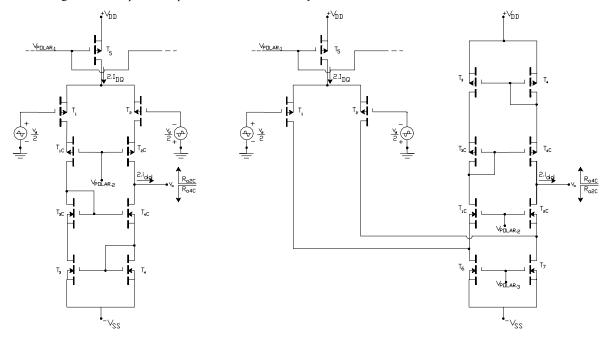


Figura V.17.10

Figura V.17.11

En otros C.I. y para obtener ganancias más elevadas se puede utilizar como carga activa una fuente de corriente en base a la fuente Wilson o bien cascodo y una configuración diferencial también en base al cascodo, todo ello realizado en tecnología MOS, tal como se observa en el circuito de la figura V.17.10. En dicho circuito los transistores  $T_{1C}$  y  $T_{2C}$  son los transistores cascodo para el amplificador diferencial formado por los transistores  $T_1$  y  $T_2$  y operan en la configuración compuerta común (tierra virtual en sus terminales de compuerta unidos entre sí) y por ello elevan la resistencia de salida del transistor  $T_2$  ya que de acuerdo a la ecuación III.36:

$$Ro_{2C} = r_{ds2C} + (\mu_{2C} + 1) r_{ds2}$$
 que prácticamente se puede resumir como  $Ro_{2C} = (gm_{2C} \cdot r_{ds2C}) \cdot r_{ds2}$ 

Por otra parte los transistores  $T_3$ ,  $T_4$  y  $T_{3C}$ ,  $T_{4C}$  conforman un espejo doble de corriente en una configuración tipo Wilson si la observamos desde el terminal de salida de esta etapa, todo ello operando como carga activa de la configuración diferencial recién analizada y por consecuencia logra duplicar la corriente diferencial en dicho punto de conexión de la carga, tal como ocurría en la figura V.17.7. La diferencia es que ahora la resistencia de salida de esta configuración Wilson (recordando la alta resistencia de entrada en la compuerta de  $T_4$ ) resulta ser también:

$$Ro_{4C} = r_{ds4C} + (\mu_{4C} + 1) r_{ds3}$$
 que prácticamente se puede resumir como  $Ro_{4C} = (gm_{4C} \cdot r_{ds4C}) \cdot r_{ds3}$ 

y la resistencia de salida de la etapa quedará como  $Ro = Ro_{2C}$  //  $Ro_{4C}$  pudiendo llegar a ser dos ordenes de magnitud superior (100 veces superior ) a la del circuito de la figura V.17.7 ( $r_{ds}$  /2), con la consecuente mejora en la ganancia diferencial de esta etapa.

### Análisis dinámico de modo común:

Las configuraciones descriptas en las figuras V.17.6, V.17.9 y V17.10 en base a la tecnología CMOS y haciendo uso del sistema de carga activa, que como hemos visto duplica la corriente diferencial en la carga, al igual como ocurriera en los circuitos con transistores bipolares, si todo el circuito es simétrico anulan la corriente de modo común en la carga arrojando como resultado un rechazo prácticamente infinito. También como en ese caso en la realidad las relaciones de rechazo de modo común que se obtienen son valores finitos debido a las inevitables desigualdades en estos componentes que conforman la etapa de entrada.

### Parámetros Residuales:

Estos desapareamientos entre ramas diferenciales son similares a los que aparecen en la tecnología bipolar y arrojan como resultado la aparición de tensiones residuales en la salida del Op.Amp. de magnitud similar y serán estudiadas en el Capítulo 8 del presente trabajo.

Sin embargo en las etapas de entrada CMOS debido a que tales desapareamientos entre transistores son raros por naturaleza, se registra una tensión residual de entrada incluso si todos estos componentes semiconductores están perfectamente igualados. Se trata en este caso de una tensión residual de característica sistemática y la única forma en que puede reducirse al mínimo es mediante un diseño adecuadamente cuidadoso. Estas limitaciones no se presentan en la tecnología bipolar debido a que en ella es posible conseguir un alto valor de ganancia por etapa.

Para comprender como se pude presentar una tensión residual de características sistemática retornemos al circuito de la figura V.17.9 con los dos terminales de entrada cortocircuitados y conectados a masa (sin señal). Si la etapa diferencial de entrada incluida su carga activa esta perfectamente balanceada entonces la tensión que aparece en el terminal de drenaje de  $T_4$  será igual a la de drenaje del transistor  $T_3$  que es (-Vss +  $V_{GS4}$ ) y como con este mismo potencial se encuentra alimentada la compuerta de  $T_6$ , la corriente por el canal de este  $T_6$  estará relacionada con la del canal de  $T_4$  que es igual a  $T_6$  según:

$$I_{D6} = \frac{B_6}{B_4}$$
. I

Para que no aparezca tensión residual a la salida esta corriente debe ser exactamente igual a la corriente suministrada por  $T_7$  en tanto que esta última, se encuentra relacionada con la corriente 2.I del transistor  $T_5$  que alimenta al amplificador diferencial según:

$$I_{D6} = \frac{B_7}{B_5}$$
 . 2.1

quiere decir entonces que para que ambas corrientes de los transistores T<sub>6</sub> y T<sub>7</sub> sean idénticas debe satisfacerse que:

 $B_4$   $B_5$ 

y se esta condición no se satisface, aparece la nombrada tensión residual de característica sistemática.

Entre otras las técnicas de diseño cuidadoso antes referidas sugieren disponer la menor cantidad de transistores apilados entre las tensiones  $+V_{DD}$  y  $-V_{SS}$  que deban respetar la condición precedentemente señalada.

### V.3.5.- El Amplificador Operacional de CMOS de cascodo doblado:

Si en el circuito de la figura V.17.10 cada uno de los seis transistores ubicados debajo de  $T_1$  y  $T_2$  se sustituyen por sus complementarios y al grupo de los seis se los desconecta de  $-V_{SS}$  se "doblan" (los cables) y se los conecta al  $+V_{DD}$  se obtiene el circuito que se muestra en la figura V.17.11 en donde puede apreciarse que además del doblado se ha agregado otra fuente de corriente, la conformada por los transistores  $T_6$  y  $T_7$ . El circuito resultante es llamado cascodo doblado y opera en forma semejante al circuito cascodo de la figura V.17.10.

La diferencia es que ahora se conectan solo tres transistores apilados entre ambas fuentes e lugar de los cinco que se pueden observar en el cascodo convencional, arrojando ello una ventaja en términos de residuo sistemático y rechazo del modo común.

Soluciones como esta pueden observarse en los diagramas esquemáticos suministrados por el fabricante de los amplificadores operacionales CMOS tipo OPA705 , OPA2705 u OPA4705 (Texas Instruments – Burr Brown), tal como el que se agrega en la figura V.17.12 a continuación:

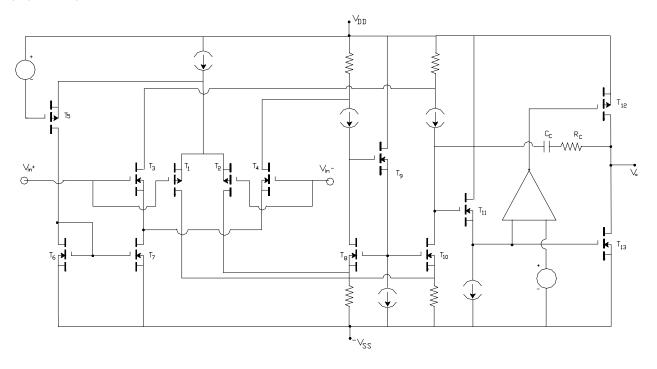


Figura V.17.12

## V.4.- CONFIGURACION D'ARLINGTON:

Se trata nuevamente de un arreglo o conexión directa de transistores, tal que en su conjunto el dispositivo se puede considerar como otro subcircuito, ya que posee características bien definidas y particulares. El diagrama de conexionado básico para el caso de dos transistores unidos en D'Arlington se ha representado en la figura V.18. En él se puede apreciar la utilización del acoplamiento de C.C. o directo entre el emisor de T<sub>1</sub> con la base de T<sub>2</sub> y la unión directa de sus colectores.

Teoricamente al menos, se pueden conectar "n" transistores de esta forma, aunque en la práctica y salvo alguna rara excepción (fuentes reguladas), en los circuitos amplificadores lineales nunca se utilizan mas de dos transistores en dicho conexionado, en cuyo caso se suele hablar del "par D'Arlington". La limitación de orden

práctico se deriva del hecho de que al estar unido el emisor de  $T_1$  con la base de  $T_2$ , la corriente de saturación inversa del primer transistor ( $I_{CBo1}$ ) es amplificada ( $I_{FE2}$  veces) por el segundo transistor, en el cual en consecuencia adquiere un valor semejante a la de los transistores de germanio, con sus consabidas limitaciones térmicas.

Al circuito resultante del conexionado precedentemente aludido se lo puede considerar como un nuevo transistor equivalente con sus correspondientes tres terminales: Base de  $T_1$ , unión de los colectores de  $T_1$  y  $T_2$  y emisor de  $T_2$ , tal que el mismo como veremos seguidamente, presenta una ganancia de corriente igual al producto de las ganancias de corriente de cada transistor y si las mismas son iguales resulta  $h_{\rm fe}^2$ .

En la misma figura V.18. se han marcado los sentidos de referencia de las corrientes y tensiones estáticas que se definirían en el estudio de un circuito de polarización del par D'Arlington y en consecuencia puede deducirse que:

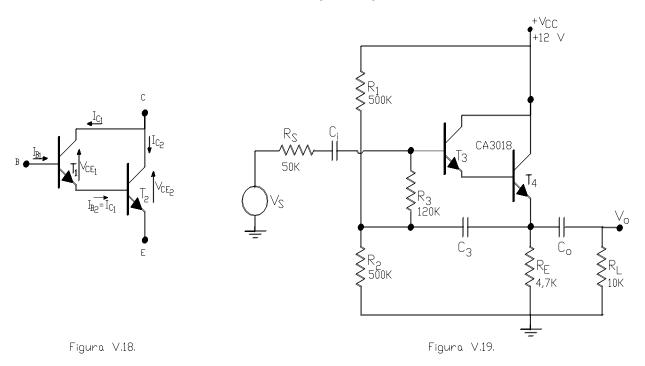
$$I_{E1} = I_{C1} = I_{B2}$$
 y como  $I_{C2} = h_{FE2}$  .  $I_{B2}$  se tiene que:  $I_{CQ1} = \frac{I_{CQ2}}{h_{FE2}}$  (V.15.)

es decir que la corriente de polarización de  $T_1$  es muy inferior a la de  $T_2$  siendo esta la limitación para que ambos transistores (en el caso que sean iguales) presenten la misma ganancia ( $h_{fe1} = h_{fe2}$ ).

Asimismo, considerando la segunda Ley de Kirchoff se puede plantear:  $V_{CEO2} - V_{CEO1} - V_{BEU2} = 0$ 

por lo que despejando:

$$V_{CEO1} = V_{CEO2} - 0.6 V$$
 (V.16.)



# V.4.1.- Aplicación de la Configuración D'Arlington - Ejemplo 1- D'Arlington Seguidor:

En esta aplicación, se desea verificar el comportamiento del circuito amplificador representado en la figura V.19. En primer lugar realizaremos el estudio de las condiciones de funcionamiento estático. Para tal fin llevamos a cabo el circuito equivalente estático indicado en la figura V.20., en donde:

$$R_{3T} = \frac{R_1 \cdot R_2}{R_1 + R_2} = \frac{500 \cdot 500 \cdot 10^3}{500 + 500} = 250 \text{ KOhm}$$

$$R_2 \qquad \qquad 500$$

$$175$$

V - Multietapas de Bajo Nivel: Carga Activa y Amplificador Operacional

$$V_{3T} = V_{CC}$$
 . ---- = 12 . ---- = 6 V  $R_1 + R_2$  500 + 500

Planteando la ecuación de las tensiones correspondiente a la malla de entrada de dicho circuitro se obtiene:

$$V_{3T} - I_{B3}$$
 .  $(R_{3T} + R_3) - V_{BE3} - V_{BE4} - I_{E4}$  .  $R_E = 0$ 

y a partir de ella con el procedimiento que es de práctica se llega a establecer:

Como ganancia estática de corrientes del par D'Arlington es posible esperar un valor típico cercano a  $10^4$ , así, dado que  $R_{3T} + R_3 = 250 \cdot 10^3 + 120 \cdot 10^3 = 370$  KOhm, el término:

$$R_{3T} + R_3$$
  $R_E$   $R$ 

por lo que como una primera aproximación determinamos:

$$I_{CQ4} \ = \ \frac{V_{3T} \ \text{--} \ 2 \ . \ V_{BEu3\text{--}4}}{R_E} \ = \ \frac{\text{(6 - 1,2) V}}{4,7 \ . \ 10^3} \ = \ 1 \ mA$$

Recurriendo ahora a la hoja de datos del circuito integrado CA3018 se obtiene que para un  $I_C = 1\,$  mA,  $h_{FED} = 7000\,$ por lo que recalculando  $I_{CO4}$  se obtiene:

$$I_{CQ4} = \frac{(6 - 1,2) \text{ V}}{4,7 \cdot 10^3 + 53} = \frac{4,8 \text{ V}}{4753 \text{ Ohm}} = 1 \text{ mA}$$

estabilizada ya que se comprueba que no depende en medida apreciable de los valores de  $h_{\text{FED}}$ .

Por otra parte, de la malla de salida del circuito de la figura V.20.:

$$V_{CEO4} = V_{CC} - I_{CO4}$$
.  $R_E = 12 - 4.8 = 7.2$  V.

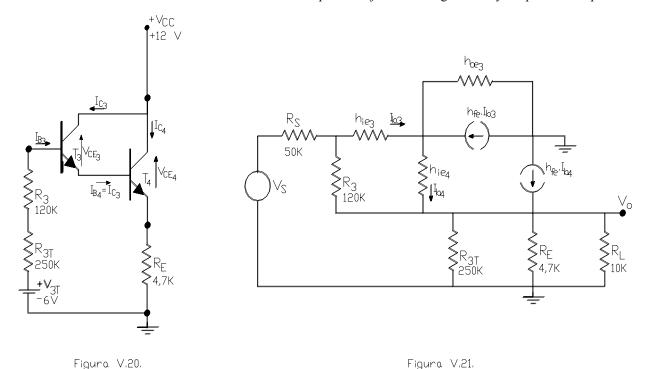
con lo que quedan determinadas las condiciones de reposo de T<sub>4</sub>.

Volviendo a la malla de entrada del mismo circuito equivalente estático, y tal como se establece en la ecuación (V.15.):

$$I_{B4} = \frac{I_{CQ4}}{I_{B4}} = I_{EQ3} = I_{CQ3} \qquad \qquad \text{por lo que} \qquad I_{CQ3} = \frac{1 \text{ mA}}{100}$$

en tanto que por medio de la ecuación (V.16.) determinamos:

$$V_{CEO3} = V_{CEO4} - 0.6 V = 7.2 - 0.6 = 6.6 V$$



Atento a que pasaremos a verificar a continuación, el comportamiento dinámico del circuiuto, volvemos a las hojas de datos del circuito integrado tipo CA3018 a fin de recabar los parámetros dinámicos tanto para  $T_3$  como para  $T_4$ . Al respecto el fabricante específica para una  $I_C=1\,$  mA ,  $V_{CE}=3\,$  V ,  $F=1\,$  KHz y  $T=25^{\circ}C$ 

$$h_{ie} = 3.5 \text{ KOhm}$$
 -  $h_{fe} = 100$  -  $h_{oe} = 15.6 \cdot 10^{-6} \text{ A/V}$ 

que por lo tanto se los debemos atribuir al transistor  $T_4$ , mientras que para  $T_3$ , dada su  $I_{CQ3} = 10 \mu A$ 

$$h_{ie} \,=\, 18 \;.\; 3,5 = 63 \;\; KOhm \qquad - \qquad h_{fe} \,=\, 0,12 \;.\; 100 = 12 \qquad - \qquad h_{oe} \,=\, 0,23 \;.\; 15,6 \;\;. \;\; 10^{-6} \,=\, 3,59 \;\; \mu A/V \;\; 100 = 100 = 10 \;\; 100 = 10 \;\; 100 = 10 \;\; 100 = 10 \;\; 100 = 10 \;\; 100 =$$

En lo que hace al comportamiento dinámico haremos una serie de verificaciones con fines comparativos:

# a) Excursión simétrica máxima:

En este circuito la resistencia de carga dinámica resultaría: 
$$R_d = \frac{R_E \ . \ R_L}{R_E + R_L} = \frac{4,7 \ . \ 10 \ . \ 10^3}{4,7 + 10}$$

que en este caso no es afectada por la resistencia equivalente  $R_{3T}$  que, tal como se observa en el circuito equivalente dinámico de la figura V.21., con  $C_3$  en corto circuito queda en paralelo con la carga, es decir:

$$R'_{d} = \frac{R_{d} \cdot R_{3T}}{R_{d} + R_{3T}} = R_{d} = 3,2 \text{ KOhm}$$

luego la excursión hacia el corte es:

$$V_{omax} = I_{CQ4} . R'_{d} = 1 . 10^{-3} . 3,2 . 10^{3} = 3,2 V$$

y hacia el lado de saturación:

$$V_{omax} = V_{CEQ4} \cdot V_{CE(sat)} = 7,2 - 1 = 6,2 \text{ V}$$

por lo que la excursión simétrica máxima se encuentra limitada por el corte y resulta ser

 $V_{omax} = 3.2 V$ 

# b) Resistencia de entrada de T<sub>4</sub>:

$$R_{i4} = h_{ie4} + h_{fe4}$$
 .  $R'_{d} = 3.5$  .  $10^{3} + 100$  .  $3.2$  .  $10^{3} = 323.5$  KOhm

c) Resistencia de carga dinámica de T<sub>3</sub>:

Como la resistencia de salida de 
$$T_3$$
 es: 
$$r_{o3} = \frac{1}{r_{o3}} = \frac{1}{3,59 \cdot 10^{-6}} = 279 \text{ KOhm}$$

al resultar comparable a la carga (R<sub>i4</sub>), la resistencia de carga dinámica de T<sub>3</sub> resulta ser:

$$R_{d3} = \frac{R_{i4} \cdot r_{o3}}{R_{i4} + r_{o3}} = \frac{323,5 \cdot 279 \cdot 10^3}{323,5 + 279} = 149,8 \text{ KOhm}$$

d) en consecuencia la resistencia de entrada del D'Arlington seguidor cargado resultará:

$$R_{i3} = h_{ie3} + h_{fe3}$$
 .  $R_{d3} = 63$  .  $10^3 + 12$  .  $149.8$  .  $10^3 = 1.86 \, MOhm$ 

valor que no es afectado por la presencia del resistor de polarización R<sub>3</sub> dado que su efecto reflejado sobre la entrada arroja un nivel muy superior.

# e) Resistencia de salida:

Para este caso del D'Arlington seguidor la resistencia de salida resulta:

$$R_{o4} = \frac{R_s}{h_{fe3}} + \frac{h_{ie3}}{h_{fe4}} + \frac{h_{ie4}}{h_{fe4}} = \frac{50 \cdot 10^3}{12 \cdot 100} + \frac{63 \cdot 10^3}{12 \cdot 100} + \frac{3,5 \cdot 10^3}{100} = 130 \text{ Ohm}$$

### f) Ganancia de Tensión:

En función de la elevada resistencia de entrada determinada en el punto d), desde el punto de vista de la relación de división en la entrada, la tensión en base de  $T_3$  es practicamente la tensión en el emisor de  $T_4$  para cualquier generador de excitación que no sobrepase los 190 KOhm de resistencia interna, de este modo  $V_i = V_s$ .

Luego, desde el punto de vista de la salida, dada la característica seguidora del BOOT STRAP, se tendrá:

$$A_{Vs} = \frac{V_o}{V_s} = \frac{V_o}{V_i} = \frac{V_i}{V_s} = \frac{R'_d}{R'_d + R_{od}} = \frac{3,2}{3.2 + 0.13} = 0,96$$

# V.4.2.- Aplicación del D'Arlington - Ejemplo 2- D'Arlington Seguidor con Carga Activa:

Aprovechando el principio de funcionamiento de Carga Activa, atento a que el circuito integrado que se utiliza en el ejemplo de aplicación precedente dispone, además del par internamente conectado en D'Arlington, tres transistores más, recurrimos a los mismos con el objetivo de llevar a cabo el circuito indicado en la figura V.22. de modo de reemplazar al resistor de emisor  $R_{\rm E}$  mediante una fuente de corriente tipo espejo.

Como veremos luego, dicha fuente de corriente no solo reemplaza al componente de polarización  $R_{\rm E}$  sino que con la sola condición de que el circuito de excitación sea capaz de proporcionar la corriente de base de  $T_3$  también se puede economizar el circuito ya que no resulta necesario incorporar los componentes de polarización de base de dicho transistor.

Para encarar el proyecto de un circuito reemplazante de superiores prestaciones, supongamos tener que utilizar una fuente de alimentación simétrica respecto de tierra cuyo valor de tensión es de  $V_{CC} = V_{EE} = 6~V$ . Recordemos que el nivel de excursión de la anterior configuración era de  $V_{omax} = 3,2~V$  y por lo tanto es el que debe satisfacer la nueva configuración como mínimo. Ahora, admitiendo que la resistencia de salida de  $T_2$ , vale decir  $r_{o2}$  que se desempeña como carga activa sea muy superior a la resistencia de carga  $R_L = 10~KOhm$ , la resistencia de carga dinámica de  $T_4$  será unicamente  $R_L = 10~KOhm$ .

En consecuencia para cumplimentar la excursión mínima hacia el corte se requerirá:

$$I_{CQ4} > V_{omax} = 3,2 \text{ V}$$
 $R_{I} = 10^{4}$ 

Para una mayor seguridad y previéndo que no pueda lograrse una  $r_{o2} >> R_L$  debemos adoptar una corriente de reposo  $I_{CQ4}$  superior. En ese sentido adoptamos  $I_{CQ4} = 0.5$  mA y debido a que el emisor de  $T_4$  se encuentra directamente unido al colector de  $T_2$ , en este último se tendrá la misma corriente y será el encargado de gobernar la polarización del D'Arlington.

Como  $T_1$  y  $T_2$  al estar integrados en la misma pastilla son idénticos y comparten la misma malla de entrada, es decir son espejo a través de su tensión de polarización  $V_{BE}$  sus corrientes de polarización son iguales, es decir  $I_{CQ2}$  =  $I_{CO1}$  = 0,5 mA, por lo que:

$$R_1 = \frac{V_{CC} + V_{EE} - 0.6 \text{ V}}{I_{CQ1}} = \frac{12 - 0.6}{0.5 \cdot 10^{-3}} = 22.8 \text{ KOhm} \qquad \text{adoptando un valor comercial} \qquad R_1 = 22 \text{ KOhm}$$

por lo que verificamos que:

$$I_{CQ2} = I_{CQ1} = \frac{V_{CC} + V_{EE} - 0.6 \text{ V}}{R_1} = \frac{12 - 0.6}{22 \cdot 10^3} = 0.54 \text{ mA}$$

Para este nuevo nivel de corriente los parámetros de los transistores resultan:

A continuación pasamos a verificar el comportamiento dinámico del nuevo circuito, en base a los mismos parámetros estudiados en el ejemplo anterior:

# a) Excursión simétrica máxima:

Como la resistencia de salida de 
$$T_2$$
 es:  $r_{o2} = \frac{1}{r_{o2}} = \frac{1}{r_{o2}}$ 

la resistencia de carga dinámica de T<sub>4</sub> resultará:

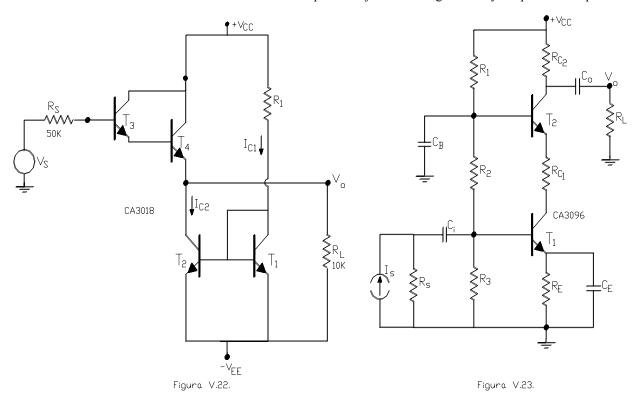
$$R_{d4} = \frac{R_L \cdot r_{o2}}{R_L + r_{o2}} = \frac{10 \cdot 107 \cdot 10^3}{10 + 107} = 9,15 \text{ KOhm}$$

y la excursión hacia el corte será ahora:

$$V_{\text{omax}} = I_{\text{CO4}} \cdot R_{\text{d4}} = 0.54 \cdot 10^{-3} \cdot 9.15 \cdot 10^{3} = 4.94 \text{ V}$$

Suponiendo que el circuito de carga así lo imponga, o bien por simetría de  $T_2$  y  $T_4$  la tensión de la fuente de alimentación se repartirá en partes iguales como:

$$V_{CEQ4} = V_{CEQ2} = \frac{V_{CC} + V_{EE}}{2} = 6 V$$



y como la tensión de saturación de estos transistores se ubica alrededor de 200 á 300 mV la excursión máxima hacia saturación alcanzará también el valor

$$V_{omax} = 5.7 V$$

por lo que la excursión simétrica máxima se hallará limitada por el corte en el valor de V<sub>omax</sub> = 4,94 V

b) Resistencia de entrada de T<sub>4</sub>:

$$R_{i4} = h_{ie4} + h_{fe4}$$
.  $R_{d4} = 6.3$ .  $10^3 + 100$ .  $9.15$ .  $10^3 = 921.3$  KOhm

c) Resistencia de carga dinámica de T<sub>3</sub>:

Como la resistencia de salida de 
$$T_3$$
 es:  $r_{o3} = \frac{1}{h_{oe3}} = \frac{1}{3,59 \cdot 10^{-6}} = 279$  KOhm

no cambia apreciablemente a pesar que la corriente de reposo es ahora inferior al caso precedente y al resultar inferior a  $R_{i4}$ , ahora condiciona más todavía a la resistencia de carga dinámica de  $T_3$ , por lo que ésta resulta ser:

$$R_{d3} = \frac{R_{i4} \cdot r_{o3}}{R_{i4} + r_{o3}} = \frac{921,3 \cdot 279 \cdot 10^{3}}{921,3 + 279} = 214,1 \text{ KOhm}$$

d) en consecuencia la resistencia de entrada del D'Arlington seguidor cargado resultará:

$$R_{i3} = h_{ie3} + h_{fe3}$$
 .  $R_{d3} = 63$  .  $10^3 + 12$  .  $214,1$  .  $10^3 = 2,63$  MOhm

e) Resistencia de salida:

Para este caso del D'Arlington seguidor la resistencia de salida resulta:

### f) Ganancia de Tensión:

Nuevamente dada la elevada resistencia de entrada determinada en el punto d), desde el punto de vista de la relación de división en la entrada, la tensión en base de  $T_3$  es prácticamente la tensión en el emisor de  $T_4$  para cualquier generador de excitación que no sobrepase los 260 KOhm de resistencia interna, de este modo  $V_i = V_s$ .

Luego, desde el punto de vista de la salida, dada la característica seguidora del circuito, se tendrá:

Pudiéndose notar las mejoras que el sistema de carga activa a incorporado, con una fuente de alimentación de menor tensión y con igual consumo de la misma (1 mA). A este respecto, si se deseara reducir este consumo podría modificarse la fuente de corriente a Widlar agregando resistencia en el circuito de emisor de T<sub>1</sub>.

## V.5.- AMPLIFICADOR CASCODE:

Se trata de otra configuración utilizada en acoplamiento directo de dos transistores. El circuito que estudiaremos en primer lugar se observa en la figura V.23. en donde se han escogido valores típicos para todos sus componentes:

$$T_1 = T_2 = \text{CA3096}$$
,  $V_{CC} = 15 \text{ V}$ ;  $R_1 = 82 \text{ KOhm}$ ;  $R_2 = 56 \text{ KOhm}$ ;  $R_3 = 33 \text{ KOhm}$ ;  $R_E = 2,2 \text{ KOhm}$ ;  $R_{C1} = 1 \text{ KOhm}$ ;  $R_{C2} = 3,8 \text{ KOhm}$ ;  $R_L = 5 \text{ KOhm}$ ;  $R_s = 1 \text{ KOhm}$ .

### V.5.1.- Comportamiento Estático:

$$V_{BIT} = V_{CC}$$
.  $\frac{R_3}{R_1 + R_2 + R_3} = 15$ .  $\frac{33}{82 + 56 + 33}$   $V_{EIT} = V_{BIT} - V_{BEI} = 2,9 - 0,7 = 2,2 \text{ V}$ 

Planteando la ecuación de las tensiones correspondiente a la malla de entrada de  $T_1$  y descontando que el circuito estabiliza la polarización se obtiene:

a la polarización se obtiene: 
$$V_{B1T} - V_{BE1} - I_{CQ1} \cdot R_E = 0 \quad \text{o sea} \quad I_{CQ1} = \frac{V_{B1T} - V_{BE1}}{R_E} = \frac{2.9 - 0.7}{2.2 \cdot 10^3}$$

y dada la conexión directa de colector de  $T_1$  con emisor de  $T_2$  debe ser  $I_{CQ1} = I_{CQ2} = 1\,$  mA

$$V_{B2T} = V_{CC} \cdot \frac{R_2 + R_3}{R_1 + R_2 + R_3} = 15 \cdot \frac{56 + 33}{82 + 56 + 33} = 7,8 \text{ V} \qquad y \qquad V_{E2T} = V_{B2T} - V_{BE2} = 7,8 - 0,7 = 7,1 \text{ V}$$
 
$$V_{CEQ1} = V_{E2T} - I_{CQ1} \cdot R_{C1} - V_{E1T} = 7,1 - 10^{-3} \cdot 10^{3} - 2,2 = 3,9 \text{ V}$$
 
$$V_{CEQ2} = V_{CC} - I_{CQ1} \cdot R_{C2} - V_{E2T} = 15 - 10^{-3} \cdot 3,8 \cdot 10^{3} - 7,1 = 4,1 \text{ V}$$

## V5.2.- Comportamiento Dinámico:

Desde el punto de vista de la señal, el circuito puede ser interpretado como un acoplamiento directo en cascada de una etapa emisor común conformada por  $T_1$  con una etapa de base común que incorpora a  $T_2$ . Por tal motivo el circuito equivalente en este caso se indica en la figura V.24.