

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

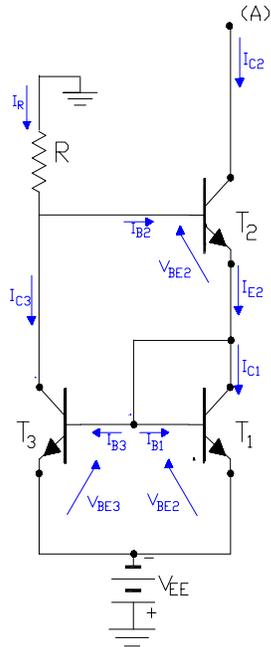


Figura IV.25.

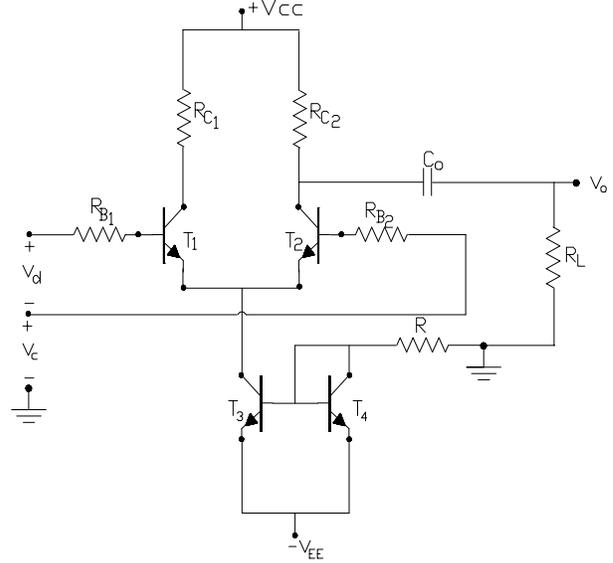


Figura IV.26.

Consideraremos seguidamente el error que se comete al tomar a esta corriente I_R como la corriente de utilización I_{C2} que proporciona la fuente de corriente Wilson:

-por una parte, la ecuación del nodo en que se hallan conectados base de T_2 con colector de T_3 expresa: $I_R = I_{C3} + I_{B2}$

-asimismo debido a la configuración espejo integrada por T_1 y T_3 : $I_{C3} = I_{C1}$

-y también de acuerdo a la ecuación del nodo en que se hallan conectados emisor de T_2 , base de T_3 y colector y base de T_1 :

$$I_{C1} = I_{E2} - 2 \cdot I_{B1-3} = I_{E2} - \frac{2 \cdot I_{C3}}{h_{FE3}} = I_{B2} \cdot (1 + h_{FE2}) - \frac{2 \cdot (I_R - I_{B2})}{h_{FE3}}$$

por lo tanto reemplazando en la primera y operando matemáticamente:

$$I_R \cdot \left(1 + \frac{2}{h_{FE3}}\right) = I_{B2} \cdot (1 + h_{FE2}) + \frac{2 \cdot I_{B2}}{h_{FE3}} + I_{B2} = \frac{I_{C2}}{h_{FE2}} \left(2 + h_{FE2} + \frac{2}{h_{FE3}}\right)$$

así despejando I_{C2} :

$$I_{C2} = I_R \cdot \frac{h_{FE2} \cdot h_{FE3} + 2 \cdot h_{FE2} + 2 - 2}{h_{FE2} \cdot h_{FE3} + 2 \cdot h_{FE2} + 2} = I_R \cdot \left(1 - \frac{2}{h_{FE2} \cdot h_{FE3} + 2 \cdot h_{FE2} + 2}\right)$$

finalmente considerando $h_{FE2} = h_{FE3} = h_{FE}$ por simetría e identidad de componentes:

$$I_{C2} = I_R \cdot \left(1 - \frac{2}{h_{FE}^2 + 2 \cdot h_{FE} + 2}\right) \quad (IV.43.)$$

En esta última expresión puede apreciarse que el error en considerar a la corriente de utilización de la fuente como $I_{C2} = I_R$ dada por la ecuación (IV.42.) se encuentra ahora expresado en función de la inversa de la ganancia estática

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

de corriente al cuadrado de modo tal que el mismo resulta despreciable sobre todo comparando con los que se obtuvieron en los circuitos que precedieron.

Esta apreciable ventaja se consigue, en términos de comportamiento dinámico con una pequeña disminución de la resistencia de salida toda vez que ahora el transistor T_1 conectado sobre el emisor de T_2 se comporta como diodo y no como ocurría en la fuente Cascode por lo que puede demostrarse que con buena aproximación:

$$R_{o2} = \frac{h_{re2} \cdot r_{o2}}{2} \quad (IV.44.)$$

IV.5.- CONCEPTOS DE PROYECTO DE AMPLIFICADORES DIFERENCIALES:

IV.5.1.- Desarrollamos el tema bajo la suposición del requerimiento de proyecto de una etapa diferencial tal que realizada con el conjunto de transistores integrados tipo CA3086 sea capaz de proporcionar una ganancia A_{vd} superior a 50 con una relación de rechazo de modo común ρ no inferior a 60 dB cuando se encuentra cargado con aislación de componente de continua y con referencia de masa con una resistencia R_L de 10 KOhm y sea excitado en ambas bases con generadores de 100 Ohm de resistencia interna (R_B).

De acuerdo con los datos aportados queda totalmente definida la disposición de componentes del amplificador diferencial en tanto que al disponerse en el integrado de otros tres transistores y en consideración a que el valor de ρ requerido descarta la posibilidad de una polarización pasiva, en principio recurrimos a una fuente de corriente tipo espejo condicionada a que mediante la misma se pueda conseguir los 60 dB solicitados. En conclusión el circuito que se propone proyectar se ajusta al esquema indicado en la figura IV.26. precedente.

Según lo estudiado en la fuente espejo, y en este caso en particular en la malla que contiene al transistor T_4 que opera como diodo, se tiene:

$$V_{EE} - I_R \cdot R - V_{BE4} = 0 \quad \text{por lo que:} \quad I_R = \frac{V_{EE} - V_{BE4}}{R} \quad (IV.30'.)$$

como el proyecto se encara haciendo $I_R \gg (2 \cdot I_{B3-4})$ y al tratarse de una configuración espejo: $I_R = I_{CQ4} = I_{CQ3}$.

Luego por conexión directa de colector de T_3 con la unión de los emisores de T_1 y T_2 y además por la simetría de los circuitos de estos dos transistores, especialmente de sus mallas de entrada o base-emisor:

$$I_{CQ1} = I_{CQ2} = \frac{I_{CQ3}}{2} \quad (IV.45.)$$

Desde el punto de vista dinámico, dado que T_3 tiene su emisor a masa y atento a los valores típicos de tensión de Early de estos transistores NPN integrados (100 á 120 V), la resistencia de salida de este fuente de corriente resulta ser:

$$R_{o3} = r_{o3} = \frac{1}{\eta_{NPN} \cdot gm_3} = \frac{1}{2,5 \cdot 10^{-4} \cdot gm_3} = \frac{4 \cdot 10^3}{gm_3} = \frac{10^2}{I_{CQ3}} \quad (IV.46.)$$

Considerando la expresión (IV.16.) y dado los valores de R_{B1-2} en todo proyecto en principio puede estimarse que la C.M.R.R. se aproxime a:

$$\rho = \frac{R_{o3}}{h_{ib1-2}} = gm_{1-2} \cdot R_{o3} = 40 \cdot I_{CQ1-2} \cdot R_{o3}$$

reemplazando R_{o3} por (IV.46.) y teniendo en cuenta (IV.45.):

$$\rho = 40 \cdot I_{CQ1-2} \cdot \frac{10^2}{I_{CQ3}} = 2 \cdot 10^3 = 66 \text{ dB}$$

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

resultado este último muy importante, ya que nos expresa que seleccionada la fuente de corriente espejo como fuente de polarización de un amplificador diferencial, independientemente de la corriente de polarización, la Relación de Rechazo de Modo Común queda fijada como una constante dependiente únicamente de la tensión de Early del transistor T_3 que conforma a dicha fuente espejo. Así con transistores NPN como en nuestro caso el mejor valor esperable oscila en los 66 dB aclarándose que si se tratara de transistores PNP, que en el mismo tipo de circuito integrado presentan tensiones de Early inferiores (50 a 60 V) típicamente, se obtendrían C.M.R.R. del orden de los 60 dB (10^3) que aún así cumpliría con el requerimiento del proyecto.

Concluimos entonces que una etapa diferencial polarizada con fuente de corriente tipo espejo opera con valores típicos de C.M.R.R. del orden de 60 dB (1000 veces) independientemente de la corriente de polarización.

Para continuar con la valorización de los componentes del circuito procedemos a considerar el otro dato suministrado, es decir la ganancia A_{vd} , la que de acuerdo con la ecuación (IV.14.) y despreciando nuevamente el término dependiente de R_{B1-2} resulta:

$$A_{vd} = \frac{-R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = - \frac{gm_{1-2}}{2} \cdot R_d = -20 \cdot I_{CQ1-2} \cdot R_d \quad (IV.47)$$

expresión esta última que por su simplicidad resulta muy útil para la resolución de los problemas de proyecto. En nuestro caso y sin considerar la fase, introduciendo el valor de la ganancia pedida se obtiene:

$$I_{CQ1-2} \cdot R_d > 2,5 \quad (A)$$

Hasta aquí se han considerado la totalidad de datos del proyecto y a partir de (A) es posible plantear una ecuación pero la misma posee dos incógnitas: I_{CQ1-2} y R_{C1-2} (ya que $R_d = R_{C1-2} // R_L$). Esta situación que como sabemos es muy común en todo problema de proyecto nos obliga a plantear otras relaciones (condiciones estáticas de trabajo por ejemplo) y adoptar con criterio algún otro componente de modo tal de poder llegar a plantear otra ecuación más con las mismas dos incógnitas y conseguir la resolución del sistema.

En tal sentido del estudio del comportamiento estático de las mallas de salida de T_1 y T_2 y teniendo en cuenta la ecuación (IV.3.):

$$I_{CQ1-2} \cdot R_{C1-2} = V_{CC} + 0,6 (V) - V_{CEQ1-2}$$

que, como se observa, nos permitiría plantear la otra ecuación buscada si se valoriza numéricamente su segundo miembro. Por ello a partir de la información del Manual consideramos que al ser $BV_{CEomin} = 15 V$ y al tener en cuenta que si T_1 o T_2 quedaran cortados la máxima tensión a la que estarían sometidos sería ($V_{CC} + 0,6 (V)$), con el acostumbrado factor de seguridad adoptamos:

$$V_{CC} + 0,6 (V) < 0,7 \cdot BV_{CEomin} = 0,7 \cdot 15 = 10,5 V, \text{ es decir } V_{CC} < 10 V$$

Asimismo y dado que para la condición de corte de T_3 su máxima tensión colector-emisor sería ($V_{EE} - 0,6 (V)$) para una alimentación simétrica, la misma limitación es válida para V_{EE} . Con dicho criterio y con la condición de verificar luego su consistencia, tal como ocurre en todo proceso de aproximaciones sucesivas, es posible adoptar:

$$V_{CC} = V_{EE} = 9 V$$

Como veremos más adelante, a los fines de conservar un funcionamiento lineal el par de transistores diferenciales deben observar una excursión muy limitada alrededor de su punto de reposo. Asimismo debe considerarse el bajo valor de tensión colector-emisor de saturación que los fabricantes aseguran para estos transistores (del Manual $V_{CEsat} < 0,23 V$). Esto motiva la inquietud de asegurar que con solo 2 ó 3 V de tensión V_{CEQ1-2} se haría operar a los mismos lo suficientemente alejados de la zona de saturación permitiendo simultáneamente un aceptable modo común de pico positivo (V_M^+).

En consecuencia, a partir de la ecuación (IV.3.) en nuestro caso se puede considerar:

$$V_{CC} + 0,6 (V) - V_{CEQ1-2} = (9 + 0,6 - 3) = 6,6 V \text{ por lo tanto } I_{CQ1-2} \cdot R_{C1-2} < 6,6 \quad (B)$$

Se logra así plantear un sistema de dos ecuaciones (A) y (B) con dos incógnitas (I_{CQ1-2} y R_{C1-2}) que debe ser resuelto mediante algún método eficaz. En nuestro caso elegimos el camino de dividir (B) por (A):

$$\frac{I_{CQ1-2} \cdot R_{C1-2}}{I_{CQ1-2} \cdot R_d} = \frac{6,6}{2,5} \quad \text{o sea :} \quad R_{C1-2} = 2,64 R_d = 2,64 \cdot \frac{R_{C1-2} \cdot R_L}{R_{C1-2} + R_L}$$

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

con lo que en definitiva:

$$R_{C1-2} = 1,64 R_L \quad \text{y como } R_L = 10 \text{ KOhm} \quad R_{C1-2} = 16,4 \text{ KOhm}$$

Para adoptar el valor comercial debemos tener presente que si adoptamos por exceso privilegiamos el cumplimiento de la condición (A) vale decir mayor facilidad para cumplir con la ganancia, mientras que se adoptamos por defecto facilitamos el hecho de que el par de transistores del diferencial operen adecuadamente separados de la zona de saturación (condición (B)). Supongamos privilegiar esto último y adoptemos:

$$R_{C1-2} = 15 \text{ KOhm}$$

Continuando ahora con la resolución del sistema de dos ecuaciones determinamos $R_L = \frac{10 \cdot 15 \cdot 10^3}{(10 + 15)} = 6 \text{ KOhm}$

y de la ecuación (A) $I_{CQ1-2} > \frac{2,5}{R_d} = \frac{2,5}{6 \cdot 10^3} = 0,42 \text{ mA}$ por lo que adoptamos un valor superior: $I_{CQ1-2} = 0,5 \text{ mA}$

En consecuencia la fuente de corriente espejo debe diseñarse para una corriente $I_{CQ3} = 2 \cdot I_{CQ1-2} = 1 \text{ mA}$ por lo que a partir de la ecuación (IV.30') calculamos:

$$R = \frac{V_{EE} - V_{BEu4}}{I_{CQ3}} = \frac{9 - 0,6}{10^{-3}} = 8,4 \text{ KOhm}$$

entonces elegimos un valor comercial cercano, por ejemplo $R = 8,2 \text{ KOhm}$ y llevamos a cabo todo el proceso de verificación de lo planteado hasta aquí.

$$I_{CQ3} = \frac{V_{EE} - V_{BEu4}}{R} = \frac{9 - 0,6}{8,2 \cdot 10^3} = 1,024 \text{ mA} \quad ; \quad I_{CQ1-2} = \frac{I_{CQ3}}{2} = \frac{1,024 \text{ mA}}{2} = 0,512 \text{ mA}$$

$$V_{CEQ1-2} = V_{CC} + 0,6 \text{ (V)} - I_{CQ1-2} \cdot R_{C1-2} = 9 + 0,6 - 0,512 \cdot 10^{-3} \cdot 15 \cdot 10^3 = 1,92 \text{ V}$$

que si bien es inferior a lo previsto, aún así hace operar al par diferencial dentro de su zona lineal por lo que continuamos la verificación. Para tal fin a partir del manual:

Para $f = 1 \text{ KHz}$, $V_{CE} = 3 \text{ V}$ e $I_C = 1 \text{ mA}$ se especifica $h_{ie} = 3,5 \text{ KOhm}$ - $h_{fe} = 100$ - $h_{oe} = 15,6 \cdot 10^{-6} \text{ (A/V)}$

mientras que para $I_C = 0,5 \text{ mA}$ y $V_{CE} = 3 \text{ V}$: $h_{ie} = 1,8 \cdot 3,5 \text{ KOhm} = 6,3 \text{ KOhm}$ y $h_{fe} = 1 \cdot 100 = 100$ luego la ganancia de tensión diferencial resultará:

$$A_{vd} = \frac{-R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = \frac{-6 \cdot 10^3}{2 [63 + (100/100)]} = \frac{-60}{1,28} = -46,9$$

constatándose que también en este parámetro estamos por debajo de lo previsto. Por ello en tanto la aplicación del factor de seguridad lo permite y continuando con el procedimiento de aproximaciones sucesivas, reajustamos los valores de las tensiones de alimentación $V_{CC} = V_{EE} = 10 \text{ V}$ y recalculamos:

$$I_{CQ3} = \frac{V_{EE} - V_{BEu4}}{R} = \frac{10 - 0,6}{8,2 \cdot 10^3} = 1,146 \text{ mA} \quad ; \quad I_{CQ1-2} = \frac{I_{CQ3}}{2} = \frac{1,146 \text{ mA}}{2} = 0,57 \text{ mA}$$

$$V_{CEQ1-2} = V_{CC} + 0,6 \text{ (V)} - I_{CQ1-2} \cdot R_{C1-2} = 10 + 0,6 - 0,57 \cdot 10^{-3} \cdot 15 \cdot 10^3 = 2 \text{ V}$$

ahora, para $I_C = 1,2 \text{ mA}$ y $V_{CE} = 3 \text{ V}$: $h_{ie} = 0,9 \cdot 3,5 \text{ KOhm} = 3,15 \text{ KOhm}$ - $h_{fe} = 1 \cdot 100 = 100$ y

$$h_{oe} = 15,6 \cdot 10^{-6} \cdot 1,1 = 17,16 \cdot 10^{-6} \text{ (A/V)} \quad \text{y } r_o = 58 \text{ KOhm}$$

y para $I_C = 0,6 \text{ mA}$ y $V_{CE} = 3 \text{ V}$: $h_{ie} = 1,5 \cdot 3,5 \text{ KOhm} = 5,25 \text{ KOhm}$ y $h_{fe} = 1 \cdot 100 = 100$ luego:

$$h_{oe} = 15,6 \cdot 10^{-6} \cdot 0,65 = 10,14 \cdot 10^{-6} \text{ (A/V)} \quad \text{y } r_o = 98,6 \text{ KOhm}$$

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

$$A_{vd} = \frac{-R_d}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = \frac{-6 \cdot 10^3}{2 [53 + (100/100)]} = \frac{-60}{1,08} = -55,5$$

que ahora si supera el valor mínimo solicitado. Por otro lado la C.M.R.R. con los conceptos de verificación resultará ser:

$$\rho = \frac{R_{o3}}{h_{ib1-2} + (R_{B1-2} / h_{fe1-2})} = \frac{58 \cdot 10^3}{53 + (100/100)} = 1074 = 60,6 \text{ dB}$$

Para completar la verificación de la etapa determinaremos la resistencia de salida del amplificador diferencial R_{oAd} y la resistencia de entrada diferencial R_{id} .

$$R_{oAd} = r_{o2} // R_{C2} = \frac{98,6 \cdot 15 \cdot 10^3}{98,6 + 15} = 13 \text{ KOhm}$$

$$R_{id} = 2 \cdot h_{ie1-2} = 2 \cdot 5,25 \cdot 10 = 10,5 \text{ KOhm}$$

IV.5.2.- Como nuevo ejemplo de aplicación supondremos enfrentar la necesidad de incrementar la ganancia diferencial a un valor de 100 como mínimo, manteniendo el valor de la resistencia de entrada diferencial verificada precedentemente y sin utilización de otro componente activo que no sea el circuito integrado de cinco transistores CA3086 que empleamos en el problema anterior.

En primer término verificamos si con la estructura de circuito utilizada en el ejemplo anterior es posible lograr dicho comportamiento:

- de acuerdo con la ecuación (IV.47.) la ganancia solicitada solo se podrá obtener únicamente si se aumenta I_{CQ1-2} o bien R_d .
- dado que h_{ie} es inversamente proporcional a I_{CQ} y habiéndose requerido mantener $R_{id} = 2 \cdot h_{ie1-2}$ debe descartarse la solución por el camino de aumentar I_{CQ1-2} .

Así entonces en el mismo circuito proyectado en el apartado anterior, la resistencia de carga dinámica mínima R_d que satisface el nuevo requerimiento de ganancia será:

$$R_d > \frac{A_{vd}}{2 \cdot I_{CQ1-2}} = \frac{100}{20 \cdot 0,57 \cdot 10^{-3}} = 8,8 \text{ KOhm}$$

y considerando que $R_L = 10 \text{ KOhm}$ significa el requerimiento de un R_C mínimo del orden de unos 73 KOhm sobre los cuales se desarrollaría una caída de C.C. ($I_{CQ1-2} \cdot R_{C1-2}$) del orden de unos 42 V imposibles de suministrar ya que como se ha visto precedentemente por condiciones de ruptura colector-emisor las fuentes de alimentación se encuentran limitadas por debajo de 10 V. La solución se torna impracticable con la estructura de circuito que fue calculada en el apartado anterior.

Por tal motivo puede pasarse a utilizar el quinto transistor que dispone el circuito integrado que se esta usando, de modo de "separar" la carga mediante una etapa que presente elevada resistencia de entrada. El circuito que se propone entonces, se indica en la figura IV.27.

Para un primer cálculo manteniendo las fuentes de alimentación ya seleccionadas $V_{CC} = V_{EE} = 10 \text{ V}$, las corrientes de reposo $I_{CQ1} = I_{CQ2} = 0,57 \text{ mA}$ y con el objetivo de incrementar las tensiones de reposo $V_{CEQ1} = V_{CEQ2}$ propiciamos una disminución de las resistencias de colector $R_{C1} = R_{C2}$ a un valor de 12 KOhm en lugar de los 15 KOhm que se habían seleccionado en el problema anterior. Así las nuevas tensiones de reposo se ubicarán en:

$$V_{CEQ1-2} = V_{CC} + 0,6 \text{ (V)} - I_{CQ1-2} \cdot R_{C1-2} = 10 + 0,6 - 0,57 \cdot 10^{-3} \cdot 12 \cdot 10^3 = 3,8 \text{ V}$$

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

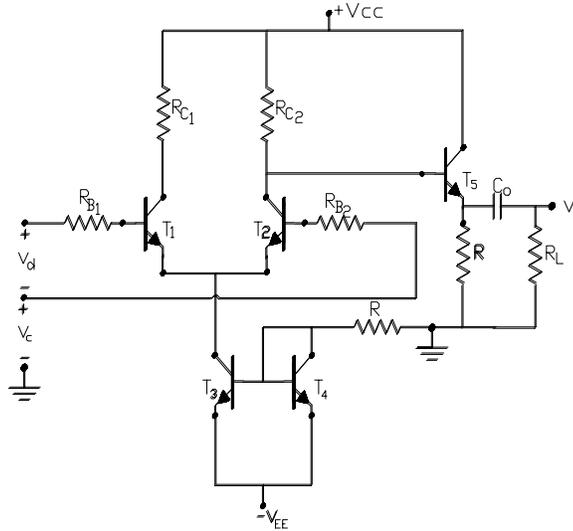


Figura IV.27.

Según se determinó con anterioridad, para la nueva ganancia $R_d > 8,33 \text{ KOhm}$. Con la modificación circuital el cambio es que ahora dicha resistencia de carga se compone por el paralelo de la R_{C2} recién reajustada con la resistencia de entrada del transistor T_5 en su configuración colector común (R_{i5}). Por lo tanto:

$$R_{i5} > \frac{R_d \cdot R_{C2}}{R_{C2} - R_d} = \frac{8,3 \cdot 12 \cdot 10^3}{12 - 8,3} = 27 \text{ KOhm} \quad \text{perfectamente posibles con la etapa C.C. propuesta.}$$

Desde el punto de vista de las condiciones de reposo, para T_5 se puede adoptar una $I_{CQ5} = 0,5 \text{ mA}$. Por otra parte en la malla de salida de T_2 se tiene:

$$V_{CT2} = V_{BT5} = V_{CC} - I_{CQ2} \cdot R_{C2} = 10 - 0,57 \cdot 10^{-3} \cdot 12 \cdot 10^3 = 3,16 \text{ V}$$

luego en la malla de entrada de T_5 :

$$V_{ET5} = V_{BT5} - V_{BEu5} = V_{R5} = 3,16 - 0,6 = 2,56 \text{ V} \quad \text{y}$$

$$V_{CEQ5} = V_{CC} - V_{ET5} = 10 - 2,56 = 7,44 \text{ V}$$

en consecuencia:

$$R_{E5} = \frac{V_{R5}}{I_{CQ5}} = \frac{2,56 \text{ V}}{0,5 \cdot 10^{-3} \text{ A}} = 5,12 \text{ KOhm} \quad \text{siendo su comercial mas cercano } R_{E5} = 4,7 \text{ KOhm}$$

$$\text{La resistencia de carga dinámica de esta etapa agregada resulta: } R_{d5} = R_{E5} // R_L = \frac{4,7 \cdot 10^4}{4,7 + 10} = 3,2 \text{ KOhm}$$

en consecuencia la resistencia de entrada de esta etapa resultará:

$$R_{i5} = h_{ie5} + h_{fe5} \cdot R_{d5} = 6,3 \cdot 10^3 + 100 \cdot 3,2 \cdot 10^3 = 326 \text{ KOhm}$$

y su ganancia:

$$A_{v5} = \frac{h_{fe5} \cdot R_{d5}}{R_{i5}} = \frac{320}{326} = 0,98$$

por lo que en la etapa diferencial se tendrá:

$$R_{d2} = \frac{R_{i5} \cdot R_{C2}}{R_{C2} + R_{i5}} = \frac{326 \cdot 12 \cdot 10^3}{12 + 326} = 11,6 \text{ KOhm}$$

$$- R_{d2} \quad -11,6 \cdot 10^3 \quad -116$$

IV - Multietapas de Bajo Nivel: Amplificador Diferencial y Fuentes de Corriente

$$A_{vd1-2} = \frac{\dots}{2 \cdot [h_{ib1-2} + (R_{B1-2} / h_{fe1-2})]} = - \frac{\dots}{2 [53 + (100/100)]} = \frac{\dots}{1,08} = -107,5$$

y la ganancia del sistema amplificador:

$$A_{vtot} = A_{vd1-2} \cdot A_{v5} = -107,5 \cdot 0,98 = -105,35 = 40,4 \text{ dB con fase } 180^\circ$$

que satisface los requerimientos del proyecto.

El circuito propuesto queda así totalmente definido, con el conocimiento de todos sus componentes, con la verificación del cumplimiento de la R_{id} y la ganancia solicitada. Cabe agregar asimismo que, dado que no se ha modificado la estructura de la fuente espejo, la C.M.R.R. se ha mantenido en su valor antes verificado y comprendido entre los 60 y 66 dB, cosa que igualmente hubiera ocurrido aún si se hubiera modificado la corriente de dicha fuente.

Es frecuente que del esquema estudiado también interese conocer la magnitud de la resistencia de salida. En el último ejemplo, dado que la etapa de salida es del tipo seguidora, se tendrá:

$$R_{os5} = R_{d5} // (h_{ib5} + \frac{R_{C2}}{h_{fe5}}) = 3,2 \cdot 10^3 // (63 + 120) = 173 \text{ Ohm}$$

IV.5.3.- Continuando el ejemplo de aplicación, supondremos tener la necesidad de modificar el circuito precedente de modo de incrementar la resistencia de entrada diferencial (R_{id}) por encima del valor de 60 KOhm.

Recordemos que $R_{id} = 2 \cdot h_{ie1-2}$ por lo que $h_{ie1-2} > (R_{id} / 2) = 30 \text{ KOhm}$.

En consecuencia dado que $h_{ie1-2} = h_{fe1-2} / g_{m1-2} = h_{fe1-2} / (40 \cdot I_{CQ1-2})$ deberá imponerse una corriente de reposo en T_{1-2} que no supere el valor de:

$$I_{CQ1-2} < \frac{h_{fe1-2}}{40 \cdot h_{ie1-2}} = \frac{100}{40 \cdot 30 \cdot 10^3} = 0,08 \text{ mA}$$

por lo que puede adoptarse un valor cercano a $I_{CQ1-2} = 0,05 \text{ mA}$ y por lo tanto al ser $I_{CQ3} = 2 \cdot I_{CQ1-2} = 0,1 \text{ mA}$

Para permitir el gobierno de una corriente de tan baja magnitud es necesario modificar la estructura de la fuente de corriente usada para la polarización de la etapa diferencial, pasando a una fuente tipo WIDLAR tal como se aprecia en la figura IV.28. En el mismo circuito puede observarse la modificación incluida en la etapa colector común de salida, en la cual ahora su resistencia de emisor se retorna conectada a la fuente de alimentación negativa y mediante un sistema potenciométrico se conecta la carga R_L sin la utilización del condensador de acoplamiento en un punto con nivel de continua nulo.